

통계적 실험계획법을 이용한 액정표시기용 다결정 실리콘 박막트랜지스터의 최적화 설계

이 현중, 배 경진, 이 종근, 박 세근
인하대학교 전자재료공학과
인천광역시 남구 용현동 253
sgpark@inha.ac.kr

Robustic Design of Poly-Si TFT for LCD Using Statistical Design of Experiment

H. J. Lee, K. J. Bae, J. G. Lee, S.-G. Park
Dept. of Electronic Materials and Devices Engineering, Inha University
253 Yonghyun-Dong, Nam-Ku, Incheon 402-751
sgpark@inha.ac.kr

Abstract

Performance of AMLCD pixels depends on the electrical characteristics of thin film transistor switches. The high quality of LCD can be obtained by minimizing the process and device variations of TFT. The effect of process and device factors on poly-Si TFT characteristics are calculated by ATHENA and ATLAS, and the optimized design windows based on statistical design of experiment are suggested for high performance 20 inch LCD monitors.

서론

최근에 HDTV나 Notebook computer monitor 등에 사용되는 Active Matrix Liquid Crystal Display (AMLCD)에 대한 연구개발이 활발해지면서 기존의 비정질 실리콘보다 전기적 특성이 우수한 다결정 실리콘을 이용한 박막트랜지스터에 관해 많은 연구가 이루어지고 있다.^[1] 다결정 실리콘 박막트랜지스터 분야에서 주요한 연구과제는 ON-current 향상과 OFF-current 감소에 초점이 맞춰져 왔는데^[2], 이는 화소와 주변회로의 성능향상에 필요한 것이다. 일반적으로 다결정 실리콘 박막트랜지스터는 비정질 실리콘 박막트랜지스터에 비해 on current는 매우 크지만 grain을 갖고 있기 때문에 상대적으로 큰 누설전류를 갖는다.^[3] 이것은 박

막트랜지스터가 pixel의 switching 소자로 사용되므로 심각한 문제가 된다. 즉, 높은 해상도와 gray scale을 얻기 위해 scanning period 사이에 signal level을 일정하게 유지해야 하는데 이것은 누설전류가 비정질 실리콘 박막트랜지스터 수준으로 작아야함을 의미한다. 본 연구에서는 20인치 워크스테이션용 AMLCD에 대한 pixel TFT의 사양을 결정하고 통계적 실험 계획법의 하나인 다구치 방법을 이용하여 설계인자와 잡음인자의 영향을 분석하였으며, 공정과 소자의 특성을 ATHENA와 ATLAS를 이용하여 계산하였다.

본론

Fig. 1은 AMLCD pixel의 schematic이다. Pixel TFT 소자의 gate는 gate line을 통해 scanning signal이 걸리며, data line은 drain 단자에 연결되어 있다. TFT의 source에는 pixel의 ITO pad와 storage capacitance, C_{st} 가 연결되어 있다.

본 연구에서는 engineering workstation의 20 inch monitor를 대상으로 하였으며, 1280×1024 pixel의 engineering workstation급 display에 85Hz의 scanning frequency를 가정한다면, frame time, $t_{frame} = 11.8ms$ 가 되며 scanning duration time per line, $t_s = 17\mu s/line$ 이 된다. 그리고 pixel capacitance, $C_{pixel} = 6.2pF$ 과 potential to liquid crystal, $V_{LC} = 10V$ 일때 ON-current는 $16\mu A$ 이상이어야 pixel이 요구하는 rising

time 내에 on이 된다. TFT의 off 전류는 pixel voltage

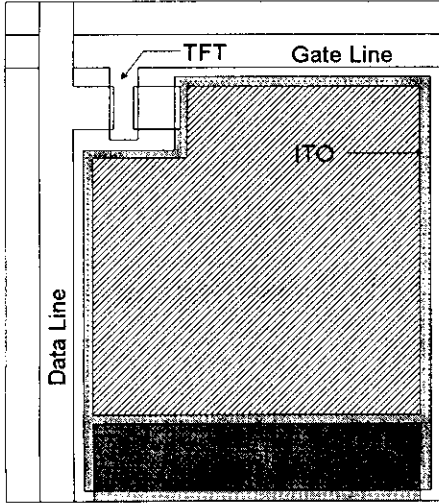
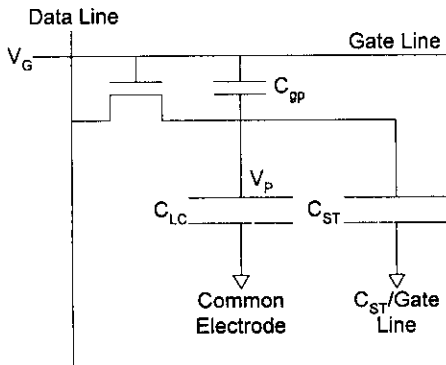


Fig. 1 An example of pixel layout for TFT-LCD.

의 변화량, feedthrough voltage와 관계되며, gray scale의 시간에 따른 변화를 최소화하기 위해 256 gray level을 가정하고 그 값의 변화량을 40mV 이하로 유지하여 이로부터 약 21pA로 예측할 수 있다.^[4]

Pixel에 scan signal과 data signal이 걸리고 이에 따른 pixel 전압의 변화과정을 simulation 하였다. simulation에 사용한 등가회로는 Fig. 2에 나타나 있다.



- C_{gp} : parasitic gate to pixel capacitance
- C_{lc} : liquid crystal capacitance
- V_P : pixel voltage
- C_{lc} : storage capacitance

Fig. 2 Equivalent circuit of a pixel.

본 연구에서는 누설전류를 줄이기 위하여 LDD region을 갖는 coplanar 구조의 TFT를 simulation 하였으며 그 공정의 순서는 Fig. 3에, TFT 소자의 구조는 Fig. 4에 각각 나타나 있다. TFT 소자를 최적화하기

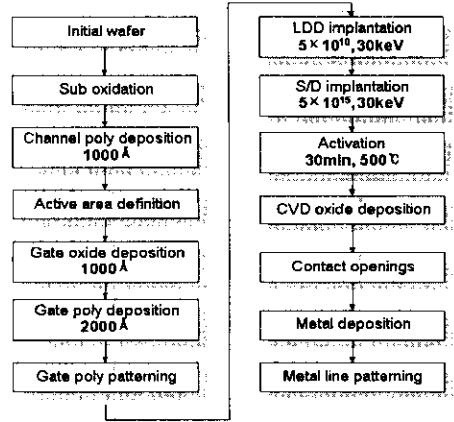


Fig. 3 The process flow of TFT with LDD.

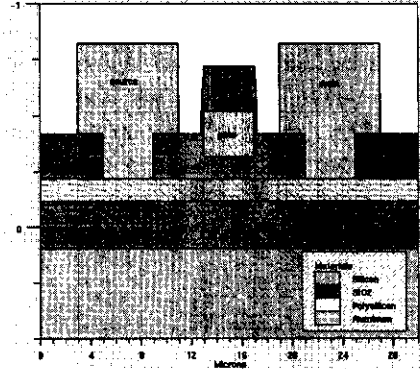


Fig. 4 Mesh structure of TFT with LDD region.

위한 설계인자와 잡음인자의 영향을 보기위하여 Table 1과 Table 2에 각각 그 종류와 수준별 조건을 나타내었다. 실험배열을 구한 다구치의 실험 설계법은 robust design을 적용한 한 예로써 linear graph를 이용한 직교배열법을 사용함으로써 인자의 주효과와 교호작용을 효율적으로 배치시킬 수 있어 실험수를 줄일 수 있는 장점이 있다. 또한 인자의 최적 수준을 결정함에 있어 noise를 고려한 parameter 설계를 가능케하여 robust한 결정을 내릴 수 있다.^[5] 설계변수는 TFT

소자의 ON과 OFF-current에 영향을 주는 것이며, 잡음변수는 전류값에 영향은 주지만 실제 제작공정에서 제어할 수 없는 변수들을 말한다.

Table 1. Control factors and their levels.

Control factor	Level 1	Level 2	Level 3
Gate length (μm)	4	5	6
LDD region length (μm)	0.2	0.5	0.8
Channel poly-Si thickness (\AA)	800	1000	1200
Gate oxide thickness (\AA)	800	1000	1200
LDD dose amount ($\#/\text{cm}^2$)	1×10^{10}	5×10^{10}	1×10^{11}
LDD accel. voltage (keV)	25	30	35
Activation time (min)	30	50	70
Activation temp. ($^{\circ}\text{C}$)	450	500	550
Electron mobility ($\text{cm}^2/\text{V}\cdot\text{sec}$)	50	150	250

Table 2. Noise factors and their levels.

Noise factor	Level 1	Level 2	Level 3
Gate width (%)	-10	0	10
Gate length (%)	-10	0	10
LDD region length (%)	-10	0	10
Channel poly-Si thickness (%)	-10	0	10
Gate oxide thickness (%)	-10	0	10
LDD dose amount (%)	-5	0	5
Activation time (%)	-1	0	1

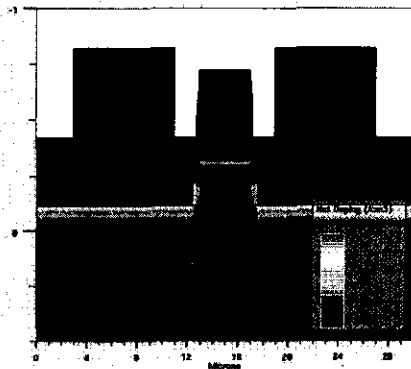


Fig. 5 Doping profile of TFT with LDD region.

Level 2에 대한 simulation 결과를 Fig. 5와 Fig. 6에 각각 나타냈다. LDD 구조는 누설전류를 감소시키는 구조로써 Fig. 6에 그 차이가 나타나 있다. OFF-current는 LDD 구조에서 약 $0.55\mu\text{A}/\mu\text{m}$ 를 나타내고 있으나 LDD 구조가 없는 coplanar 구조에서는 $0.23\text{nA}/\mu\text{m}$ 정도로 큼을 알 수 있다. ON-current는 LDD 구조의 경우에는 약 $1.94\mu\text{A}/\mu\text{m}$ 를, 그리고 LDD 구조가 없는 coplanar 구조에서는 $9.4\mu\text{A}/\mu\text{m}$ 를 나타내고 있다.

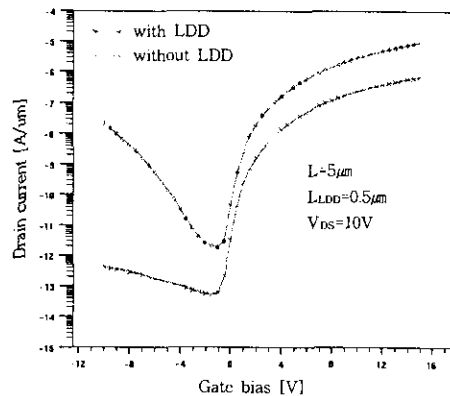


Fig. 6 I_D - V_G curve of TFT with and without LDD.

결론

20인치 AMLCD에 대한 pixel TFT의 사양은 ON-current가 $16\mu\text{A}$ 이상, OFF-current가 21pA 이하이어야 하며, 이러한 특성을 얻을 수 있는 소자구조와 공정조건을 얻기 위하여 설계인자와 잡음인자의 영향을 분석하였다. 공정과 소자의 특성을 ATHENA와 ATLAS를 이용하여 계산한 결과, LDD 구조의 TFT 소자의 OFF-current는 약 $0.55\text{pA}/\mu\text{m}$, ON-current는 약 $1.94\mu\text{A}/\mu\text{m}$ 를 나타내어 gate width가 $10\mu\text{m}$ 이면 pixel에 충분히 이용할 수 있음을 알 수 있다.

참고문헌

- [1] I-Wei Wu, "High-definition displays and technology trends in TFT-LCDs", J. SID, 1994.
- [2] M. K. Han, "A novel LDD-structured poly-Si thin film transistor with high on/off ratio", Jpn. J.

Appl. Phys., 1997.

[3] G. K. Giust, "High-performance thin-film transistors fabricated using excimer laser processing and grain engineering", IEEE, 1998.

[4] S.-G. Park, "Low temperature poly-Si for LCD", RETCAM, 1995.

[5] Madhav S. Phadke, "Quality engineering using robust design", Prentice-Hall, 1989.

[6] Silvaco International, "ATHENA user's manual", 1998.

[7] Silvaco International, "ATLAS user's manual", 1998.