

# Monolithic High voltage IC를 위한 BCD 공정 및 소자설계에 관한 연구

곽원영, 구용서\*, 안철  
서강대학교 전자공학과  
\*서경대학교 컴퓨터 공학과

## A Study on the BCD Process and Device Design for Monolithic HV-ICs

faith11@unitel.co.kr

Won-Young Kwak, Yong-Seo Koo\*, Chul-An

Dept. of Electronic Eng. Sogang Univ.

\*Dept. of Computer Eng. Seokyeong Univ.

### 요약

본 연구에서는 정보통신 시스템 및 전자 제어 시스템, automobile 전자부문의 핵심부품으로 사용가능한 HV-IC용 BCD 공정 및 소자를 설계하였다. 60V이상의 고내압 power DMOS 와 20V/3GHz급 이상의 analog용 bipolar, 20V급 HV-CMOS 소자기술을 one-chip에 구현하는 고내압 BCD 소자구조를 제안, 설계하고 시뮬레이션을 통하여 고안된 소자구조를 검증하여 최적화된 공정 및 소자 변수를 추출하였다

지금까지 여러 논문에서 BCD 소자가 제안, 설계 되었다[1,2]. 보고된 논문들의 경우 대개 기존의 BiCMOS 공정과 양립가능한 LDMOS공정을 개발하는데 중점이 두어졌으며, breakdown voltage가 큰 BiCMOS공정이 포함된 결과는 거의 없었다. 본 논문에서는, 0.8 $\mu$ m급 BiCMOS 기술과 양립하며 60V / 수 GHz급 특성을 갖는 monolithic BCD 소자구조를 구현하며, 공정 및 소자 simulator인 ATHENA와 ATLAS를 이용해 시뮬레이션을 반복 수행하여 최적의 공정조건을 확립하고 device의 SPICE parameter 추출하고자 하였다. 구현된 소자는 20V/수GHz급 고내압 npn 소자 및 pnp 소자, 0.8 $\mu$ m CMOS, 15V급 HV-CMOS, 60V급 LDMOS 및 수 A급 VDMOS 이다.

### 1. 서론

현재 이동통신 및 위성통신과 같은 정보통신 기술 및 서비스의 발전에 따라 이와 관련된 부품 기술의 확보가 필히 요구되고 있다. 다기능화된 고전압-지능형 소자 및 IC 기술은 이러한 정보통신 기술 및 가전제품 등의 전자 산업, 고성능 컴퓨터 시스템, 자동차의 전자제어 시스템 등의 핵심 부품 기술이 되고 있다. 이러한 관점에서 볼 때 구동회로, 보호회로, 인터페이스 회로 등을 one-chip화 하기위한 소자 기술을 개발하는 것이 시급하다. 이러한 소자 기술의 대표적인 것이 바로 BCD (Bipolar-CMOS -DMOS) 기술이다.

제안된 소자의 구조적 특징은 다음과 같다. 첫째, 고내압 고주파용 아나로그 바이폴라 소자, 디지털 회로용 CMOS 소자, 고내압용 LDMOS 및 대전류용 VDMOS 소자를 one-chip화하는 공정기술을 구현하였으며, 둘째, 20V급 이상의 고내압 바이폴라 소자 및 vertical pnp 트랜지스터의 공정과정을 수용하였다. 셋째, 집적화가 용이하도록 VDMOS의 드레인 전극을 기판이 아닌 평면위에서 배선하도록 공정설계를 하였다. 그림 1에 고안된 소자구조를 나타내었다.

### 3. 공정 및 소자 시뮬레이션 및 분석

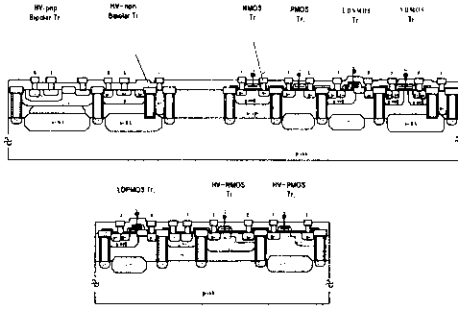


그림 1. BCD 소자구조

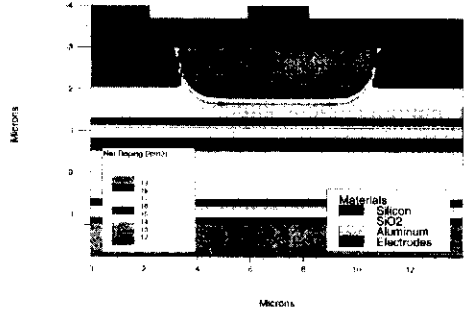


그림 2. NPN bjt의 doping profile

가. 20V/3GHz급 바이폴라 npn 트랜지스터

트랜지 공정을 사용함으로써 베이스-콜렉터 간의 집합용량 감소 및 콜렉터-기판 용량 감소 등의 효과에 의한 수 GHz급 고속 스위칭 특성을 얻고자 하였다. 아울러 20V급의 고내압 특성을 확보하기 위하여 에피층을 10 $\mu$ m 두께로 설정하였으며 베이스-콜렉터의 역바이어스에 의한 REACH-THROUGH 효과 최소화를 위하여 에피층 농도를 2E15/cm<sup>2</sup> 정도로 설정하였다.

베이스는 바이폴라 소자의 전기적 특성 저하를 막기 위해 별도의 마스크를 사용하여 보론을 이온주입한 후 확산공정을 수행한다. 또한 에미터 형성을 위하여 확산 계수가 큰 인(phosphorous)을 높은 양으로 이온주입하였다. SUPREM-IV의 2D 공정 시뮬레이션 결과, 에미터 접합깊이는 약 1.5 $\mu$ m 정도이며 표면농도는 5E19~1E20/cm<sup>2</sup>로 나타났다. 또한 베이스 폭은 약 0.5 $\mu$ m이며 베이스-에미터 접합근처에서의 표면농도는 약 1E17/cm<sup>2</sup>로 예측되었다. 그림 2는 20V/3GHz급의 바이폴라 npn 트랜지스터의 2D 공정 시뮬레이션 결과를 나타내고 있다.

이러한 공정 시뮬레이션 결과로부터 소자의 전기적 특성을 분석하였다. 소자 시뮬레이션시 에미터 폭을 6 $\mu$ m로 설정하였으며, contact size는 3 $\mu$ m로 set-up하여 공정조건을 변화시켜가며 소자 시뮬레이션을 수행하였다. 그 결과 진류이득은 IB=0.5 $\mu$ m 일 때 약 70의 값을 얻을 수 있었다. 또한 파괴전압 VCE0는 약 24V의 특성을 보여주고 있다. 최대 f<sub>T</sub>는 2.31GHz로 예상되었다.

나. 20V급 아날로그 pnp 바이폴라 트랜지스터

HV-IC의 아날로그 part에 적용될 수 있는 20V급

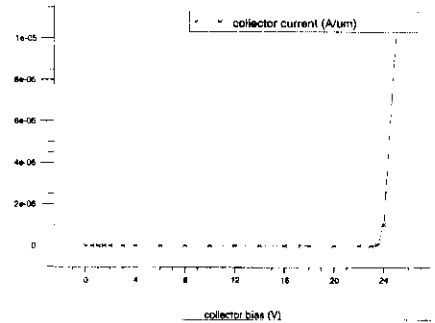


그림 3. npn BJT의 breakdown voltage

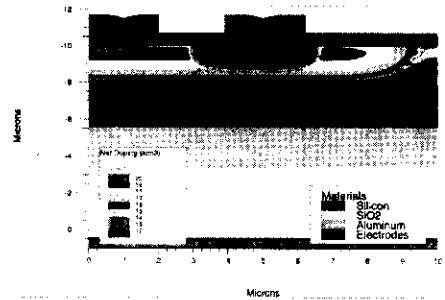


그림 4. PNP bjt의 doping profile

800MHz 이상의 pnp 소자를 구현하기 위하여는 lateral pnp가 아닌 vertical pnp 구조를 채택하여야 한다. 한편 n형 베이스 영역을 형성하기 위하여 NMOS/LDMOS 소자 제작시 요구되는 n-drift 공정을 이용하여 n- 영역을

만들어준다. p+ 에미터 공정은 PMOS 소자의 소스-드레인 공정과 동일하게 수행하였다. 공정 시뮬레이션을 수행한 결과 에미터 접합깊이 및 표면농도는 약 1.5 $\mu\text{m}$ ,  $2\sim 4E19/\text{cm}^2$ 이며 베이스 폭 및 접합근처에서의 표면농도는 약 0.4 $\mu\text{m}$ ,  $1E17/\text{cm}^2$ 이다. 그림 4는 20V급 아날로그 pnp 바이폴라 트랜지스터의 2D 공정 시뮬레이션 결과를 보이고 있다. 위의 공정 결과를 토대로 소자 시뮬레이션을 수행한 결과, BVCE0는 약 20V 정도의 양호한 특성을 얻었고, 전류이득은 약 80( $I_B=0.1\mu\text{A}$ )의 특성을 보여주었다. 최대  $f_T$ 는 1.17GHz로 예상되었다.

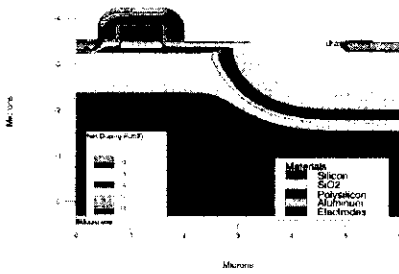


그림 5. HV-NMOS의 doping profile

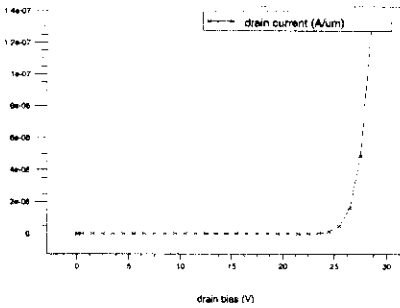


그림 6. HV-NMOS breakdown voltage

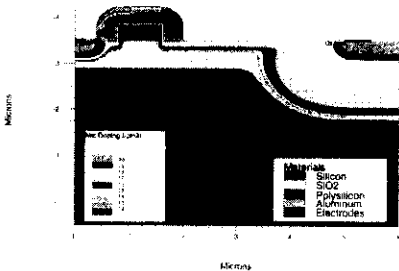


그림 7. HV-PMOS의 doping profile

### 다. 20V급 HV-NMOS 트랜지스터

p-well 공정 및 n+ 소스-드레인 형성과정 등은 LV-MOS 공정조건과 동일하나 n- drift 영역을 형성하는 점이 다르다고 볼 수 있다.

p-well 공정은 LDNMOS 공정과 동일하게 보론을  $8E12/\text{cm}^2$  이온주입한 후  $1150^\circ\text{C}$ 에서 약 800분간 열처리를 수행하며, n-drift 영역형성을 위하여 인(phosphorous)을 이온주입한 후 HV-PNP 베이스 공정/HV-NPN 베이스 공정의 열처리 과정시와 동일한 공정 조건으로 확산시킨다.  $R_{on}$  저항과 파괴전압 향상을 위하여 NLDD 공정을 수행하였다. 공정 시뮬레이션 결과 n- 드리프트 영역의 최대 농도 및 접합깊이는 각각  $0.5\sim 2E18/\text{cm}^2$ ,  $1.5\sim 2\mu\text{m}$  정도로 예측되었다. 그림 5는 HV-NMOS 소자의 doping profile을 나타내고 있다.

소자설계시 gate edge로부터 drift region까지의 길이는 약  $3\mu\text{m}$ 로 설정하였고  $0.8\mu\text{m}$  설계물을 적용하였다. 마스크 수를 줄이기 위하여, HVNMOS / LDNMOS / HVPMOS의 VT control 이온주입이 동시에 되도록 ( $BF_2$ ,  $1.5\sim 2E12/\text{cm}^2$ )하였다.

소자 시뮬레이션 결과, VGS=2V일 때  $I_D$ 는 약  $40\mu\text{A}$ 로 나타났으며, BVDS는 약 28V로 예측되었고 VT는 약 0.84V로 예측되었다.

### 라. 20V급 HV-PMOS 트랜지스터

HV-NMOS 트랜지스터의 구조와 같다. NLDD영역을 PLDD로 만들고, 소스와 드레인을 p영역으로 만들어 주면된다. n- 에피층 위에 보론을 이온주입후 HV-NMOS 공정과 마찬가지로 열처리한다. PLDD 공정은 HV NMOS와 마찬가지로  $R_{on}$  저항과 파괴전압 개선을 위하여 수행되었다.

시뮬레이션 결과 p- drift 영역의 접합깊이 및 최대표면 농도는 각각 약  $1.5\sim 2\mu\text{m}$ ,  $1\sim 5E18/\text{cm}^2$ 으로 n-drift 영역의 특성과 비슷하게 나타났으며, p+ 드레인-소스 최대농도는 약  $8E19/\text{cm}^2$ 을 보여주고 있다.

그림 7은 HV PMOS의 doping profile을 나타내고 있다. 소자 시뮬레이션에 BVDS는 약 25V로 나타났다. I-V 특성의 소자 시뮬레이션 결과는, VGS=-2V일 때 약  $6\mu\text{A}$ 의  $I_D$  특성을 보여주고 있으며, VT값은 약 -0.95V 정도로 예측되었다.

### 마. 5V급 LVNMOS 및 LVPMOS 트랜지스터

저전압용 CMOS에서 NMOS의 경우, 소스-드레인 접

합깊이 및 최대표면농도는 약  $0.3\mu\text{m}$ ,  $1E20/\text{cm}^3$ 을 나타내었으며, PMOS의 경우 접합깊이 및 최대표면농도는 약  $0.8\mu\text{m}$ ,  $4E19/\text{cm}^3$ 을 보여주었다. PMOS의 경우 VT control 이온주입을 하지 않았기 때문에 채널길이 가  $0.6\mu\text{m}$ 가 되었다. 이는 device특성에 좋지않은 영향을 미칠것으로 판단된다. 소자 시뮬레이션 결과 NMOS의 경우 VT가  $0.85\text{V}$ , subthreshold swing은  $106\text{mV}/\text{dec.}$ , DIBL parameter는  $0.033\text{V}/\text{V}$ 로 나타났으며 PMOS의 경우 VT가  $-0.96\text{V}$ , subthreshold swing은  $79.4\text{mV}/\text{dec.}$ , DIBL parameter는  $0.067\text{V}/\text{V}$ 로 나타났다.

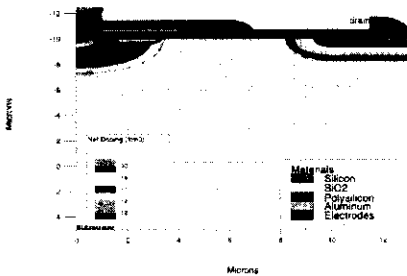


그림 8. LDNMOS의 doping profile

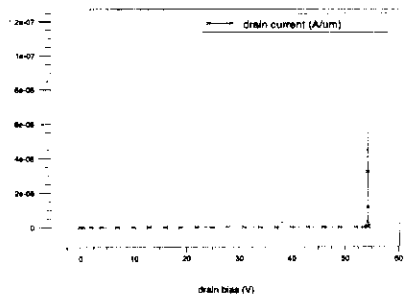


그림 9. LDNMOS의 BVDS

그림 8은 LDNMOS 소자의 doping profile을 나타내고 있다. p-well과 gate edge의 길이는  $3\mu\text{m}$ 로 설계하였고, 소자 시뮬레이션 결과 LDPMOS의 경우 약  $60\text{V}$ , LDNMOS의 경우 약  $55\text{V}$ 의 breakdown voltage를 얻었다. 그림 9는 LDNMOS의 BVDS 특성을 나타내고 있다. VDMOS의 경우 채널길이를  $3\mu\text{m}$ 로 하였다. 소자 시뮬레이션 결과  $V_{ds}=4\text{V}$ ,  $V_{gs}=20\text{V}$ 에서  $200\mu\text{A}/\mu\text{m}$ 의 특성을 얻었다.

#### 4. 결론

정보통신 소자 및 컴퓨터 시스템, 자동차 전자장치의 smart power IC에 사용할 수 있는 BCD 공정 및 소자를 개발하였다. 고내압 BiCMOS 소자 구현에 중점을 두었으며, 시뮬레이션 결과  $2.3\text{GHz}/20\text{V}$ 의 bipolar 트랜지스터,  $20\text{V}$  HV-CMOS,  $60\text{V}$ 의 LDMOS 소자를 구현할 수 있었다. 고성능의 analog function을 갖는 smart power IC를 구현하기 위해서는 SBC 공정이 아닌 PSA 공정을 사용한 BCD 소자를 개발하는 것이 필요하다고 생각된다.

#### 5. 참고문헌

- [1] Paul G. Y. Tsui, Percy V. Gilbert, Shih Wei Sun, "Integration of Power LDMOS into a Low-Voltage  $0.5\mu\text{m}$  BiCMOS Technology," *IEDM-92*, pp.27-30, 1992
- [2] Taylor Efland, Theresa Keller, Steve Keller, John Rodriguez, "Optimized Complementary  $40\text{V}$  LDMOS-FETs Use Existing Fabrication Steps In Submicron CMOS Technology," *IEDM-94*, pp.399-402, 1994
- [3] Apples, J.A., M.G. Collet, P.A.H. Hart, "Thin layer high-voltage devices, Resurf devices," *Phillips J. Res.*, 35(1):1-13, 1980

#### 바. LDMOS 및 VDMOS 트랜지스터

전형적인 LDMOS 구조를 채택하였으며, drift region 공정은 마스크수를 줄이기 위해 바이폴라 트랜지스터의 베이스와 같이 공정하였다. 본래 파괴전압을 높이고 drift region의 저항을 낮추기 위해 RESURF[3] 공정을 계획했지만 시뮬레이션 결과 step gate oxide를 사용하지 않아도  $60\text{V}$  정도의 파괴전압을 얻을 수 있었다.