

속도포화 효과를 고려한 Caughey-Thomas 이동도 모델의 구현

윤석성 이은구 윤현민 김태한 김철성
인하대학교 전자공학과
인천광역시 남구 용현동 253번지

An Implementation of the Caughey-Thomas Mobility Model with Velocity Saturation

Seok-Seong Yoon Hyun-Min Yun Eun-Gu Lee Tae-Han Kim Cheol-Sung Kim
Dept. of Electronics Eng., Univ. of Inha
#253 YongHyeon-Dong Nam-Ku, Incheon, Korea

요 약

단 채널 MOSFET 소자의 드레인 전압-드레인 전류 특성을 예측하기 위해서 Caughey-Thomas 이동도 모델을 수치적으로 구현하는 방법을 제안한다.

구현된 Caughey-Thomas 모델의 정확한 특성을 검증하기 위해서 0.5 [μm]의 설계규칙을 갖는 ASIC 용 공정으로 n-MOSFET과 p-MOSFET을 제작하였다.

전자 및 정공의 포화속도 값이 각각 6.2×10^6 [cm/sec]과 1.034×10^7 [cm/sec]인 경우에 채널길이가 0.5 [μm] 이상인 n-MOSFET과 p-MOSFET의 드레인 전압-드레인 전류특성의 모의실험 결과는 측정값에 비하여 10% 이내의 상대오차를 보였다.

1. 서 론

소자 시뮬레이터에 의한 채널길이가 짧은 MOSFET의 드레인 전압-드레인 전류 특성을 정확하게 예측하기 위해서 속도포화 모델의 구현이 필수적이다. 반전층 내부를 이동하는 반송자의 이동도가 게이트 바이어스의 증가에 따라 Surface roughness 산란에 의해 감소하는 현상^[1]도 고려해야 한다.

이동도 모델은 전계를 고려한 모델과 전류밀도를

고려한 모델이 존재하며 일반적으로 반송자는 전류의 흐름과 동일한 방향에서만 가속에 필요한 운동 에너지를 받으므로 $E_{||,p}$ ^[1]는 전류밀도의 함수가 된다. 전류밀도를 고려한 이동도 모델의 구현 결과는 전계만의 함수로 구현된 이동도로부터 얻어진 단자전류와 큰 차이를 보이지 않은 반면에 매우 불량한 수렴특성^[2]을 보인다.

MOSFET 드레인 근처에 고 전계가 인가되면 반송자는 carrier heating과 속도포화 현상을 경험하고 이때 드레인 전압-드레인 전류특성을 정확하게 예측하기 위해서 속도포화 모델 구현이 필요하다.

속도포화를 고려한 모델에는 Yamaguchi 이동도 모델^[3], Hewlett Packard 이동도 모델^[4], A.F. Tasch 이동도 모델^[5], Caughey-Thomas 이동도 모델^[6]들이 있으며 각각의 이동도 모델은 드레인 전계의 함수가 된다.

본 논문에서는 Caughey-Thomas 이동도 모델을 자체 개발된 시뮬레이터인 BANDIS^[7]에 구현하고 최적화된 포화속도 값을 제시한다.

Caughey-Thomas 이동도 모델은 속도포화 효과만을 모델링 할 수 있으므로 게이트 바이어스에 따른 드레인 전류특성을 정확하게 예측하기 위하여 Lombardi 이동도 모델^[1]을 동시에 사용한다.

모의실험의 정확성을 검증하기 위해 채널길이가 0.5 [μm]이상인 n-, p-MOSFET에서 드레인 전압-드레

인 전류특성을 실험 데이터와 비교 검토한다.

II. Caughey-Thomas 이동도 모델

채널길이가 짧은 MOSFET의 드레인 전압-드레인 전류특성을 예측할 때 사용되는 모델로 전자 및 정공에 사용되는 Caughey-Thomas 이동도 모델¹⁶⁾은 식 [2.1]로 주어진다.

$$\mu = \frac{\mu_S}{\left[1 + \left(\frac{\mu_S E_{\parallel}}{v_{sat}}\right)^{BETA}\right]^{1/BETA}} \quad [cm^2/Vsec] \quad [2.1]$$

	전자	정공
μ_S	Lombardi 이동도 ¹¹⁾	
E	수평 전계	
BETA	BETA1	BETA2
$v_{sat}(T)$	$\frac{2.4 \times 10^7}{1 + 0.8 \cdot \exp\left(\frac{T}{600}\right)}$	

III. 전계 계산 방법

그림 [3.1]의 실리콘 영역에서 전계는 전위의 공간에 대한 미분으로 표현된다. 식 [3.1]은 각각의 전자와 정공에 대해서 Bandgap narrowing 효과¹⁶⁾를 고려한 전위와 전계의 관계를 나타내며, 여기서 ϕ 는 그림 [3.2]의 요소 각 절점에서 절점간의 전위가 지수 함수로 선형적인 변화를 한다고 가정하고 전하 적분행렬¹⁶⁾을 연산함으로서 결정¹⁷⁾된다.

$$\bar{E}_n = -\nabla\left(\phi + \frac{kT}{q} \ln n_{ie}\right) \quad [3.1a]$$

$$\bar{E}_p = -\nabla\left(\phi - \frac{kT}{q} \ln n_{ie}\right) \quad [3.1b]$$

식 [3.2]는 전계를 성분 벡터로 나타낸 것이다.

$$\bar{E} = -(E_x a_x + E_y a_y) \quad [3.2]$$

그림 [3.2]에서와 같이 채널 영역에서 흐르는 전류와 전류 흐름과 동일한 방향을 갖는 수평 전계는 범표상의 소스에서 드레인 방향인 x축 방향이므로 수평 전계는 x축 방향 성분만을 포함한다. 식 [3.3]은 수평 전계를 나타낸다.

$$E_{\parallel} = E_x \quad [3.3]$$

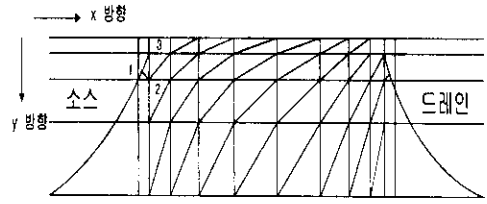


그림 3.1 채널과 소스-드레인 근처에서의 요소

요소 내부의 전위는 공간에 대한 1차원 근사 함수이고 전위의 미분으로 구해지는 수평 전계는 해석이 진행되는 요소 내부에서 상수 벡터이다.

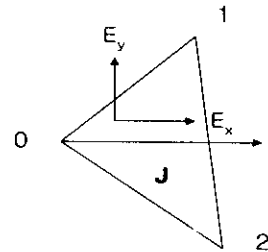


그림 3.2 임의의 요소에서의 전계 성분의 구성

IV. 시료 제작

모의실험 결과의 검증에 사용되는 MOSFET은 0.5 μm 의 설계 규칙을 갖는 ASIC용 공정으로 제작되었다.

결정구조가 <100>방향으로 제작된 실리콘 기판 위에 산화막을 형성하고 마스크를 사용하여 각각의 n-웰과 p-웰의 영역을 정의하고 드라이브-인(drive-in)공정으로 웰 구조를 형성한다. 각각의 n-웰 구조와 p-웰 구조는 Active 영역을 형성하기 위해 산화막을 모두 식각한 후 재성장시킨다.

성장된 2차 산화막은 새로운 마스크 공정을 적절히 사용하여 Active 영역을 형성하고 채널 스톱(channel stop) 이온을 주입한다. 그 다음 LOCOS 공정으로 필드 산화막을 성장시키고 문턱전압 조절 이온 주입을 행한다.

전극을 형성하기 위해서 게이트 산화막을 성장시키고, N형 폴리 마스크를 이용하여 폴리 실리콘을 증착하여 게이트 단자를 형성시킨다. 그리고, N^- 이온을 전면적으로 주입하고 마스크를 사용하여 N^+ 영역의 포토레지스트를 식각하고 N^+ 이온(phosphorus)을 주입한다. 반면에 p-MOSFET에서는 P^+ 이온(boron)을 주입한다. 이 과정을 통해 각각의 n-MOSFET와

p-MOSFET의 소스와 드레인을 형성하였다.

V. 결과 및 고찰

본 논문에서는 Caughey-Thomas 이동도 모델을 구현하였고 게이트 바이어스에 따른 드레인 전류특성을 예측하기 위해 Lombardi 이동도 모델^[6]을 동시에 사용하였다.

그림 [5.1a]는 0.5 [μm]의 채널 길이를 갖는 n-MOSFET의 드레인 전압-드레인 전류특성이며 드레인 전압은 3.6[V]이하 범위에서 기판 바이어스는 0[V]인 조건에서 결과를 비교하였다. 실선은 측정값을 나타내며 점선은 BANDIS^[7]에 구현된 Caughey-Thomas 이동도 모델을 사용하여 모의실험을 수행한 결과이다. 속도포화 효과가 나타나는 높은 게이트 바이어스에서 측정값과 큰 오차를 보이고 있다.

그림 [5.1b]는 포화속도 값이 6.2×10^6 [cm/sec]인 경우에 드레인 전압-드레인 전류특성을 모의실험한 결과로 측정값에 비하여 10% 이내로 일치함을 보인다.

그림 [5.2]는 0.5 [μm]의 채널 길이를 갖는 p-MOSFET에 대한 드레인 전압-드레인 전류특성이다. n-MOSFET에서와 마찬가지로 최적화된 포화속도 값($v_{sat} = 1.034 \times 10^7$ [cm/sec])을 이용하여 드레인 전압-드레인 전류특성을 모의 실험한 결과는 측정값에 비하여 10% 이내로 일치하였다.

그림 [5.3]은 채널 길이가 0.1 [μm]인 n-MOSFET의 드레인 전압-드레인 전류특성이며 그림 [5.4]는 채널 길이가 0.1 [μm]인 p-MOSFET의 드레인 전압-드레인 전류특성이다. 각각 10% 이내의 상대오차를 보이고 있다.

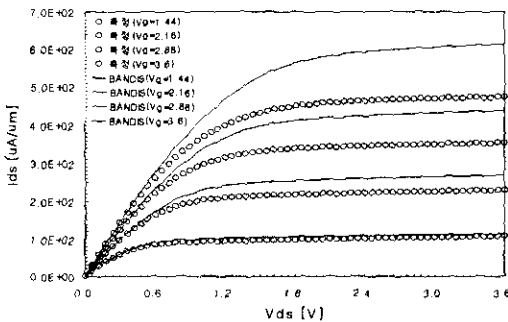


그림 5.1a $L_m = 0.5 [\mu\text{m}]$ 인 n-MOSFET의 드레인 전압-드레인 전류특성 ($v_{sat} = 1.034 \times 10^7$ [cm/sec])

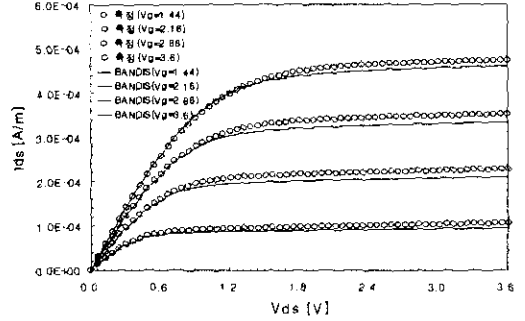


그림 5.1b $L_m = 0.5 [\mu\text{m}]$ 인 n-MOSFET의 드레인 전압-드레인 전류특성 ($v_{sat} = 6.2 \times 10^6$ [cm/sec])

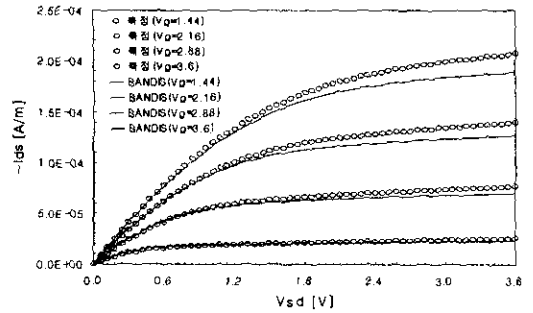


그림 5.2 $L_m = 0.5 [\mu\text{m}]$ 인 p-MOSFET의 드레인 전압-드레인 전류특성

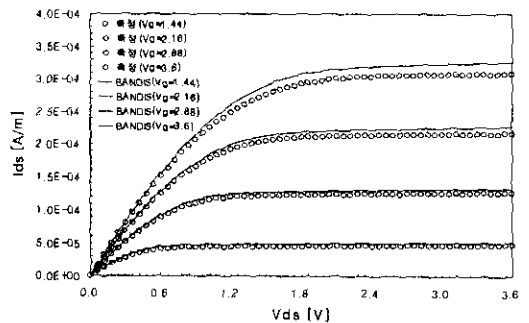


그림 5.3 $L_m = 1.0 [\mu\text{m}]$ 인 n-MOSFET의 드레인 전압-드레인 전류특성 ($v_{sat} = 6.2 \times 10^6$ [cm/sec])

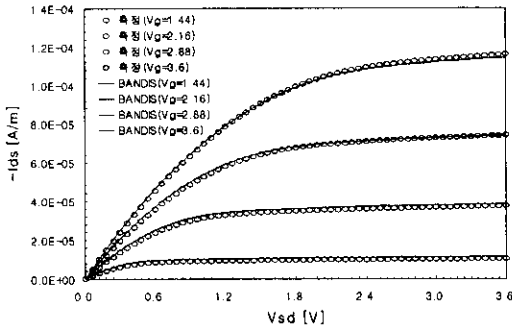


그림 5.4 $L_m = 1.0[\mu m]$ 인 p-MOSFET의 드레인 전압-드레인 전류특성

VI. 결론

속도포화 현상을 고려하여 Caughey-Thomas 이동도 모델을 구현하였다. 2차원 요소 내부에서 전계 계산 방법을 제시하였고 모의실험의 검증용 위해 $0.5[\mu m]$ 의 실제규칙을 갖는 ASIC용 MOS 소자로 제작하였다.

Caughey-Thomas 이동도 모델의 최적화 된 포화속도 값(n-MOSFET에서 $6.2 \times 10^6 [cm/sec]$, p-MOSFET에서는 $1.034 \times 10^7 [cm/sec]$)을 제시하였고 이 값을 이용하여 드레인 전압-드레인 전류특성을 모의실험한 결과는 p-, n-MOSFET의 채널길이가 $0.5[\mu m]$ 이상에서 측정 값에 비하여 10%이내의 오차를 보였다.

차후과제는 Caughey-Thomas 이동도 모델에 전류 방향을 고려한 모델을 추가하여 보다 정확한 드레인 전압-드레인 전류 특성을 예측할 것으로 기대된다.

참고 문헌

[1] 권혁우, 김태한, 윤현민, 김철성, "횡전계 의존 이동도 모델을 고려한 3차원 소자의 모의실험", *대한전자공학 학회 하계종합학술대회 논문집*, 제 20권 제 1 호 1997년 6월.
 [2] MEDICI manual, *Technology Modeling Associates*, Vol. 1, 1995.
 [3] Ken Yamaguchi, "Field-Dependent Mobility Model for Two-Dimensional Numerical Analysis of MOSFET's", *IEEE Trans. on Electron Dev.*, Vol. ED-26, No. 7, pp. 1068-1074, July 1979.
 [4] Kit man Cham, Soo-Young Oh, Daeje Chin and John L. Moll, *Computer-Aided Design and VLSI*

Development, Kluwer Academic Pub., 1986.

[5] H. Shin, G. M.Yeric, A. F. Tasch, and C. M. Maziar, "Physically-based Models for Effective Mobility and Local-field Mobility of Electrons in MOS Inversion Layers," *Solid State Electron*, 1990.
 [6] Seigfrid Selberherr, Analysis and simulation of Semiconductor Device, *Springer-Verlag Wien*, New York, 1984.
 [7] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드리프트-확산 방정식의 해석 프로그램 개발", *대한전자공학회*, 제 34권 D편 제 8 호 1997년 8월.
 [8] David K. Cheng, "Field and Wave Electromagnetics", 2nd edition, Addison Wesley, 1989.
 [9] 김태한, 이은구, 김철성, "우수한 수렴특성을 갖는 3차원 포아송 방정식의 이산화 과정", *대한전자공학회지*, 제 34권 D편 제 8 호 1997년 8월.