

Si_{1-x}Ge_x/Si 구조에서의 Hall 이동도

강대석* · 신창호* · 박재우** · 송성해**

* 금오공과대학교 대학원 전자공학과

** 금오공과대학교 전자공학과

Hall Mobility in Si_{1-x}Ge_x/Si Structure

Dae-sok Kang* · Chang-ho Shin* · Jae-woo Park** · Sung-hae Song**

* Graduate student, Dept. of Electronic Engineering

** Dept. of Electronic Eng., Kumoh National University of Technology

Abstract

The electrical properties of Si_{1-x}Ge_x/Si samples have been investigated. The sample structures were grown by MBE(Molecular Beam Epitaxy) with Ge mole-fraction of x=0.0, x=0.05, x=0.1, and x=0.2. To examine the influence of the thermal processing, the O₂ and N₂ process were performed at 800 [°C] and 900 [°C], respectively.

After this thermal process, Hall measurements have been done over a wide range of the ambient temperature between 320[°K] and 10[°K] to find the temperature dependence using the compressed-He gas system. The Ge-rich layer has been formed at the SiO₂/SiGe interface and it has an effect on the Hall mobility. And it has been found that Hall mobility was increased by the N₂ annealing process comparing with dry oxidation process at both 800[°C] and 900[°C].

I. 서론

첨단 정보화 시대의 주역이 전자 산업이고, 그 기초가 반도체 산업이라는 것은 그 누구도 부인 할 수 없는 현실이 되었다. 실리콘 반도체 소자의 급속한 발전과 더불어 각종 화합물 반도체 연구가 활발히 진행되었으며,

Si_{1-x}Ge_x(Silicon Germanium)는 기존의 III-V 족이나 II-VI 족 화합물 반도체의 여러 제한 사항을 쉽게 극복할 수 있는 가능성을 보여주었다. 이것은 기존의 실리콘 제조공정 및 설비를 이용할 수 있고, 동작속도나 소비전력을 고려할 때 III-V 족 반도체와 비교될만한 특성을 보이고 있다. 따라서 BJT(Bipolar Junction Transistor)나 MOS(Metal Oxide Silicon) 기술을 기초로 보다 향상된 소자개발의 가능성을 보여주고 있다. Si_{1-x}Ge_x을 이용한 HBT(Hetero Bipolar Transistor)의 경우 약 75[GHz]의 f_T(cut-off frequency)특성이 보고되었으며[1][7], MOS-FET에 있어서는 Si_{1-x}Ge_x 합금층을 채널로 이용하여 높은 캐리어(carrier) 이동도를 기대할 수 있다[2].

고 집적화를 위한 얇은 접합 기술이나 미세 패턴(pattern)의 형성에서 중요한 요소기술중 한가지가 산화와 확산공정이다. 이러한 과제를 좀더 효과적으로 해결하기 위해 비교적 저온에서 소자에 대한 열적인 충격을 줄이고, 표면의 상태를 안정하게 하면서 원하는 소자 구조를 구현하는 갖가지 기술들이 제시되고 있다.

하지만 지금까지 Si_{1-x}Ge_x 층에서의 열공정의 조건 변화에 따른 이동도 변화는 측정되지 않았으며 이에 대한 연구도 아직 미비한 상태이다.

본 논문에서는 Ge 몰분율(mole fraction)이 각각 x=0.0, x=0.05, x=0.1 그리고 x=0.2인 Si_{1-x}Ge_x 시료를 준비하여 800[°C]와 900[°C]에서 분위기(O₂, N₂)와 시간의 변화를 주면서 열처리를 실시한 후, van der Pauw 구조의 시료를 제작하여 저온에서 Hall 이동도를 측정하고 그 결과에 대한 원인을 고찰하였다.

II. 실험 방법

본 실험에 사용된 시료는 비저항이 25~40[Ω·cm]인 p형 실리콘 웨이퍼(wafer)에 버퍼 층(buffer layer)을 형성한 후, $Si_{1-x}Ge_x$ 에피택셜 층을 MBE(Molecular Beam Epi-taxy)로 성장하였다. 즉, 550[um] 정도의 실리콘 기판에 0.2[um]의 n형 실리콘 에피택셜 층을 형성한 후, 1000[A]의 $Si_{1-x}Ge_x$ 에피택셜 층을 성장시켰다. 이 때 성장온도는 600[°C]로 하였으며, Ge 물분율(mole fraction)은 5[%], 10[%] 그리고 20[%]로 설정하였다. 시편의 크기는 각 조건 별로 1.5×1.5[cm²]로 제작하였으며, 모든 시료들은 건식 산화전 아세톤(acetone)에 담구어 초음파 세척(supersonic wave cleaning)을 실시한 후, 10[%] 불산(HF)용액에 담구어 자연 산화막을 제거하고, 알코올(alcohol)에 세척하여 건조시켰다. 열처리는 O₂와 N₂분위기에서 온도와 시간에 따른 Hall 이동도의 변화를 관찰하기 위하여, 800[°C]와 900[°C]의 상압 전기로(furnace)에서 각각 0.67[시간]과 12[시간]동안 처리하였다. 열처리가 완료된 시료들은 알루미늄-호일 테이프(Al-foil tape)를 이용하여 마스킹을 실시한 후 1[um] 두께로 알루미늄을 증착(evaporation)하고, Lift-off 공정으로 필요한 부분에만 알루미늄을 남긴 후 오믹 콘택(ohmic contact)을 위해 470[°C]의 H₂ 분위기에서 열처리를 실시하였다. 처리된 시편들을 각각 4×4[mm²]의 크기로 자른 다음, 세라믹 패키지(Ceramic package)에 장착하여 전극용 와이어(Au-wire)를 연결하였다.

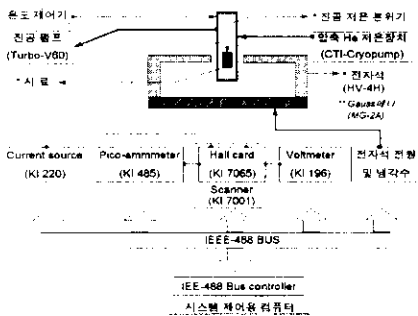


Fig. 1 Hall measurement system

제작된 van der Pauw 구조의 시료를 저온장치의 용기내에 장착하고, 10⁻⁵[Torr]의 진공에서 압축된 헬륨(He) 저온장치를 작동시켜 Hall 측정을 실시하였다. 컴퓨터로 제어되는 Hall 측정 시스템의 구성을 Fig 1.에 나

타내었다. 저온장치(compressed He cryostat)내에 있는 시료에 10~320[°K]의 온도 변화를 주면서 전류를 공급하여, 공급전류와 전압을 측정하고 필요한 변수들을 환산할 수 있도록 하였다[3].

III. 실험 결과 및 고찰

전기장 내에서 캐리어의 거동을 살펴보기 위하여 단위 체적 내 전자 q의 수를 n이라 하고, 입자의 평균속도를 μ 라 하면, 거시적으로 측정되는 전기전도도 σ 는 반도체에서 이동도(mobility; μ)가 전자 및 정공에 의한 혼합전도방식으로 기술되므로 식(1)과 같이 표현된다[3].

$$\sigma = q\mu_n n + q\mu_p p \quad (1)$$

여기서, n과 p는 각각 전자와 정공의 농도이고, μ_n 과 μ_p 는 각각의 이동도이다.

본 실험에서는 측정온도를 변화시키면서 Ge 물분율 및 처리 분위기에 따른 Hall 이동도의 영향을 조사하였다. 그리고 비저항과 Hall 계수 그리고 캐리어 농도가 Hall 이동도와 어떤 관계를 갖는지 조사했다. 오믹 콘택(ohmic contact)을 위하여 470[°C] H₂분위기에서 처리된 시료들은 대부분 700~1000[Ω]으로서 대부분 양호한 특성을 보였는데, 800[°C] O₂ 및 N₂ 분위기에서 처리된 x=0.1의 시료는 오믹 저항이 806~942[Ω]이었고, 900[°C]에서 처리된 시료는 820~864[Ω]의 값을 보였다. Hall 이동도에 반비례하는 비저항은 자계를 인가하지 않은 상태에서 측정되는데, 800[°C]에서는 2.1~2.7[Ω-cm]이었고, 900[°C]의 경우 2.2~2.6[Ω-cm]으로 나타났다. Ge 물분율에 따른 비저항은 전체적으로 O₂ 보다 N₂ 분위기에서, 그리고 900[°C]보다 800[°C]에서 더욱 양호한 결과를 보였다.

Hall 계수는 3000[Gauss]의 자계를 인가한 상태에서 측정하였으며, 앞에서 측정된 비저항과 함께 Hall 이동도를 환산하였다. 측정된 Hall 계수는 10¹⁷ K에서 열처리 온도나 분위기에 따라 -1770~-16600 [cm³/C]의 값을 보였다. Hall계수가 "-"로 나타난 것은 $Si_{1-x}Ge_x$ 에피택셜 층의 아래에 형성한 n-type 실리콘 버퍼(Buffer) 층에 있는 인(Phosphorus)의 영향에 의한 것으로 판단되며, 실제 Hall 이동도의 계산에서는 절대값으로 사용하

였다. van der Pauw method에 의한 Hall 이동도 μ_{Hv} 는 식(2)와 같이 표현된다.

$$\mu_{Hv} = \frac{R_{Hv}}{\rho_v} = \frac{R_{HA} + R_{HB}}{\rho_A + \rho_B} \quad (2)$$

여기서, R_{Hv} 는 평균 Hall 계수로서 $(R_{HA} + R_{HB})/2$ 이며, ρ_v 는 $(\rho_A + \rho_B)/2$ 를 나타내며, 평균 저항률을 의미한다. 그리고 캐리어의 농도 산출을 위하여 Hall 계수의 역수를 취하고 전자전하의 값을 적용하여 구한다[4].

Hall 이동도 μ_{Hv} 는 식(2)에서 나타낸 것 같이 Hall 이동도가 증가함에 따라 감소하는 경향을 보이며, 그 값들은 실험의 각 조건에 따라 $4.0E14 \sim 1.1E15$ [atoms/cm³]의 특성을 보인다. Fig 2.는 x=0.1인 시료를 800[°C]로 열처리한 다음 측정된 Hall 이동도를 나타낸 것이다.

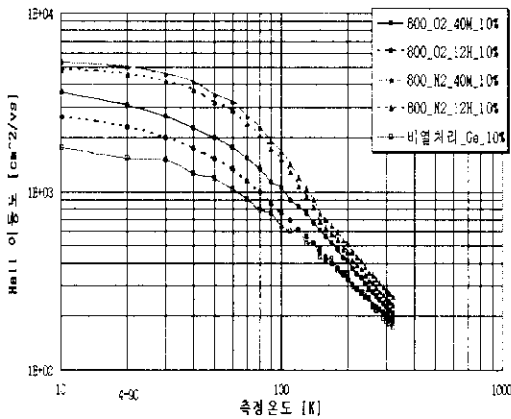


Fig 2. Hall mobility of Si_{0.9}Ge_{0.1} annealed at 800[°C]

Fig 2.에서 보인 것처럼 320[°K]부터 10[°K]까지 측정된 시료들은, 대부분 고온에서의 불순물 산란으로 실험 조건에 따른 영향을 크게 받지 않았으며, 약 100[°K]부터 서운 격자산란 특성의 지배를 보이기 시작했다. 특히 70[°K]이하부터는 실험조건에 따라 상당한 차이를 나타내었다. 처리온도, 분위기 그리고 시간에 따라서 약간의 차이는 있으나, Ge 불분율이 증가할수록 Hall 이동도는 증가하는 경향을 보였고, N₂ 분위기에서 처리된 시료가 O₂ 분위기의 것보다 높은 Hall 이동도를 보였다. 그리고, 불분율에 따라서 다른 특성을 보이는데, Si_{1-x}Ge_x/Si 에너지 밴드갭은 불분율에 따라서 식(3)과 같다[5][8][9].

$$E_g(x) = 1.08 + \frac{x * (0.945 - 1.08)}{0.245} \quad (3)$$

Hall 이동도는 분위기 및 처리시간에 따라서 800[°C]의 경우 1860~9770[cm²/vs]이었고, 900[°C]에서는 1860~6760[cm²/vs]로 나타났다. Hall 이도의 시간에 대한 의존성을 살펴보면, 두 분위기 모두 0.67[시간]보다 12[시간] 처리된 시료에서 감소된 값을 보였다. 이것은 Si_{1-x}Ge_x의 열 산화 시 산화막 아래에 축적되는 Ge 층의 농도와 두께가 Ge의 물분율과 열처리 시간에 의존하기 때문이라고 판단된다. 산화막 아래에 축적된 Ge 층은 농도 기울기가 표면에서부터 감소하는 분포를 보이는데, 이는 표면 전류의 채널로 기여할 수 있으며, Si_{1-x}Ge_x의 특성상 900[°C]이상의 고열에서 장시간 동안 열처리시 strain된 에피택셜 층은 이완되어서 결국 Hall 이동도 감소등 소자특성에 악영향을 가져올 수 있다[6]. x=0.1의 시료를 기준해서 보면, 800[°C], 12[시간]열처리에서는 11~13 [%] 감소되었고, 900[°C]의 경우에는 22~38[%] 감소되었다. 즉, O₂ 분위기의 것이 N₂ 분위기의 것보다 더 큰 감소를 보였으며, 900[°C]가 800[°C]보다 더욱 큰 감소를 보였다. 특히 x=0.2의 경우, 900[°C] N₂ 분위기에서 12[시간] 열처리된 것의 Hall 이동도가 급격히 감소하는데, 이는 고온에서 장시간 산화시 발생하는 격자구조의 변형 및 표면 상태의 불안정에 의한 것으로 추정되며, N₂ 분위기에서의 시료가 더 높은 Hall 이동도를 보인 것은 N₂ 분위기에서의 어닐 효과로 계면이 좀더 안정한 상태로 되었기 때문이라고 본다.

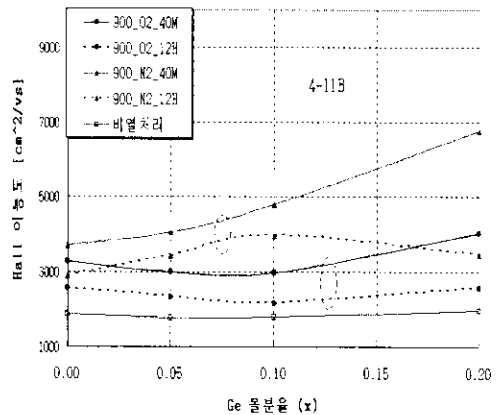


Fig 3. Hall mobility of Si_{1-x}Ge_x annealed at 900[°C]

Fig 3.은 실험에서 구한 Hall 이동도를 10[°K]를 기준으로 Ge 불분율에 따라 정리한 것이다. Fig 4.는 800

[°C]에서 열처리된 시료의 비저항과 Hall 이동도를 10[°K]에서 Ge 몰분율에 따라 나타내 것이다.

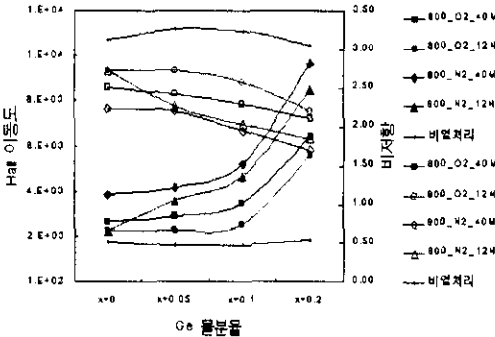


Fig 4. Hall mobility and resistivity of $Si_{1-x}Ge_x$ annealed at 800[°C]

5. 결 론

본 실험에서는, 캐리어 전도에 영향을 미치는 요인으로서 열적인 측면과 산화시 형성되는 Ge 함금 층의 의존성에 대해 조사하였다. 실험의 각 조건별로 측정된 Hall 이동도에 관계된 비저항과 Hall 계수 그리고 캐리어농도의 관계에서, 열처리 시간과 분위기가 큰 요인으로 작용함을 알 수 있었다.

측정된 시료들은 약 100[°K]에서 이동도의 현저한 차이가 발생되었으며, 이것은 고온에서의 불순물 산란(scattering)과 저온의 포논(phonon) 산란에 의한 것으로 추정된다. 또한 비열처리 시료는 열처리를 거친 것에 비해 상대적으로 낮은 이동도를 나타내었다. 이것은 순수 실리콘(x=0.0) 시료를 제외한 모든 시료가 도핑을 행하지 않은 저 농도의 진성(intrinsic) 반도체로서, 열처리된 시료보다 높은 콘택 저항(≈1.3[KΩ])이 비저항 값을 증가시켰기 때문이다.

Ge 몰분율, 시간 그리고 분위기에 따라서 $Si_{1-x}Ge_x$ 에 피택설 층의 Hall 이동도가 다른 이유는 산화 계면에 축적되는 Ge에 기인한다. 먼저, Hall 이동도의 Ge 몰분율 의존 특성은 산화시 형성되는 함금 층의 Ge 농도가 산화시간에 비례하고, 이 함금 층은 캐리어의 전도에 상당한 영향을 준다. 두 번째, Hall이동도의 시간 의존성은 strain된 $Si_{1-x}Ge_x$ 에피택설 층의 특성상 900[°C]이상의 고온에서 장시간의 열처리시 이완(relax)이나 격자의 부정합이 발생할 수 있고, 이는 Hall 이동도의 감소를 초래한다. 마지막으로, 분위기 의존성은 실험 결과에서 알 수 있듯이, N_2 분위기에서 어닐(anneal)한 시료가 O_2

분위기에서 산화된 것보다 높은 Hall 이동도 값을 보였다. 이는 고온에서 장시간 산화시 발생하는 격자구조의 변형 및 표면 상태의 불안정에 의한 것으로 추정되며, N_2 분위기의 시료가 더 높은 Hall 이동도를 보인 것은 N_2 분위기에서의 어닐 효과로 인한 계면의 안정화에 기인한 것으로 판단된다.

아직 $Si_{1-x}Ge_x$ 에피택설 층에 대한 산화 메커니즘은 밝혀지지 않은 바가 많지만, 기존 실리콘 공정과의 호환성 및 그 응용범위 등을 감안해 볼 때 발전 가능성이 매우 높으며, 지속적인 연구사 이루어져야 한다고 본다.

참 고 문 헌

- [1] G. L. Patton et all, "75-GHz f_T SiGe Base Heterojunction Bipolar Transistors", *IEEE Electron Lett.*, vol, 11, pp. 171, (1990)
- [2] P. M. Garone et all, "Hole Mobility Enhancement in MOS-Gated Ge_xSi_{1-x}/Si Heterostructure Inversion Layers", *IEEE Electron Device Letters*, vol. 10, (1992)
- [3] Keithley, "Hall Effect Card Instruction Manual", pp. 3-5 ~ 3-9, (1989)
- [4] DAVID C.LOOK, "Electrical Characterization of GaAs Materials and Devices", pp.1~131, (1989).
- [5] R. People and J. C. Bean "Calculation of critical layer thickness versus lattice mismatch for Ge_xSi_{1-x}/Si strained layer heterostructure", *Appl. Phys. Lett.*, vol .47, p322, (1985).
- [6] B. L. Weiss, "Properties of Strained and Relaxed Silicon Germanium", EMIS Databreviews Series N0. 12, pp. 135 ~ 142 (1995).
- [7] Andreas Gruhle, "The Influence of Emitter-Base Junction Design on Collector Saturation Current, Ideality Factor, Early Voltage, and Device Switching Speed of Si/SiGe HBT's", *IEEE Transactions on Electron Devices*, 41 (2), pp.198~203, (1994).
- [8] S. C. Jain, R. Bullough, and J. Willis,"A review of theoretical and experimental work on the structure of Ge_xSi_{1-x} Strained Layers and Superlattices", *Adv. Phys.* 39, pp.127~190, (1990).
- [9] Silvaco International, "ATLAS User Manual ver. 2.0.0.R", pp. 250 ~ 255, (1995).