

고에너지 이온 주입을 이용한 latch-up 면역에 관한 구조 연구

노병규, 안태준, 강희원, 조소행, 오환술
 건국대학교 전자공학과

A Study on Latch-up Immune Structure by High Energy Ion Implantation

Byeong-Gyu Roh, Tae-Jun Ahn, Hee-Won Kang, So-Hyang Cho, Hwan-Sool Oh
 Dept. of Electronic Engineering Kon-Kuk

Abstract

This paper is concerned with researching latch-up immune CMOS structure by phosphorus 1MeV ion implantation. The simulation using the buried layer and connecting layer structure was performed. By the simulation results, the connecting layer had more effect than the buried layer to latch-up immune. When the connecting layer was the dose $1 \times 10^{14}/\text{cm}^2$ and the energy 500KeV, the trigger current was more $0.6\text{mA}/\mu\text{m}$ and the trigger voltage was 6V. The more the connecting layer dose was lower, the more the latch-up immune characteristics was better.

I. 서 론

현재 고에너지 이온 주입법(High Energy Ion Implantation)은 고집적 메모리 소자 제조를 위한 공정으로 각광을 받고 있다. 1MeV이상의 에너지를 이용하는 고에너지 이온 주입법은 retrograde well을 제작하여 CMOS 구조에서 latch-up현상을 줄이거나^[1], buried layer를 형성하여 기판과의 결함들을 제거할 수 있는 능력을 제공한다. 또한 소자의 고집적에 따른 소자간의 거리가 짧아지므로 웰 형성시 측면확산(lateral diffusion)이 심한 확산로(furnace)에 의한 방법으로는 미세하게 웰을 형성할 수 없으므로 측면확산을 줄일 수 있는 고에너지 이온 주입법은 고집적화 반도체 시대에 필수적인 공정이라 할 수 있다. 래치업을 줄이는 방법으로는 buried layer를 이용하는 방법, guard ring을 이용하는 방법, trench isolation을 이용하는 방법, epi 레이어를 사용하는 방법, 급 도핑이나 중성자를 방사시

키는 방법등이 있으며 래치업 저감을 위해 사용되는 MeV를 이용한 buried layer는 도즈량이 $1 \times 10^{14} \sim 1 \times 10^{15}/\text{cm}^2$ 이어야 한다. 그러나 도즈량이 $5 \times 10^{13}/\text{cm}^2$ 이상, $1 \times 10^{15}/\text{cm}^2$ 이하인 경우에는 leakage current를 악화시키는 이온 주입 결함이 발생하는 것으로 보고되고 있다^[2]. 이러한 이온주입에 의한 결함의 상태를 확인한 후 결함을 제거할 수 있는 최적의 열처리 조건을 얻은 후, 고집적 CMOS 소자제작 공정에 적용하여 소자의 래치업 특성을 개선시키는 것이 본 연구의 목적이다.

II. 실험 방법

본 실험에서 사용한 시료는 p-type (100) 10 Ωcm Si 웨이퍼에 이온 주입을 위해 산화막을 100Å 성장시키고, 이온주입은 GENUS사의 G1510을 사용하였고 에너지는 1MeV, 도펀트는 인(phosphorus)을 사용하였다. 도즈량은 $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ 으로 변화시켰다. 이온 주입 후 열처리는 공정시간이 오래 걸리는 furnace 열처리 대신 thermal budget이 좋은 RTA(Rapid Thermal Annealing)를 사용하였다. RTA는 텅스텐-할로겐 램프를 열원으로 하는 Heatpulse사의 AG-2146을 사용하였다. 실험은 N₂ 분위기에서 열처리온도는 1000~1100°C, 열처리 시간은 10~40초로 변화를 주어 진행하였다. 시료제작 후 면저항은 Prometrix사의 Omnimap RS53c를 사용하여 측정하였고, SRP와 SIMS분석을 실시하고, XTEM시료는 D500i를 사용하여 dimpling하여 준비한 후 JEOL사의 JEM-2000EXII를 사용하여 결과를 얻었다. Silvaco사의 Athena와 Atlas Tool을 이용하여 실험 조건과 같은 조건으로 소자를 제작하여 모의 실험을 실시하고 래치업 특성을 저감시킬 수 있는 조건을 조사하였다.

III. 실험 결과 및 고찰

1. 면저항 측정 결과

면저항은 도즈량이 증가할수록 면저항이 감소하는 것으로 나타났다. 면저항의 실험 결과와 시뮬레이션 결과는 표 1에서 비교를 하였다. 시뮬레이션 결과와 일치하는 이러한 결과는 RTA로 어닐링을 실시하였을 경우, 도즈량이 높을수록, 열처리 실시 후 주입한 도펀트의 활성화가 잘 이루어진다는 것을 알 수 있다. 그러므로 이온 주입후 furnace에 의한 열처리보다는 RTA를 이용하여 열처리하는 것이 공정시간의 측면에서 보면 더욱 효과적이라고 볼 수 있다.

표1. 실험과 시뮬레이션에 의한 면저항 결과

Table1. Results of Rs in experiment and simulation

도즈량(/cm ²)	실험결과	시뮬레이션결과
	면저항(Ω/\square)	면저항(Ω/\square)
1×10^{13}	933.1	954.3
5×10^{13}	332.4	323.4
1×10^{14}	227.5	225.5

2. SRP 측정 결과

그림 1은 각 도즈량별로 1050℃, 10초간 열처리를 실시한 결과이다. 도즈량이 $1 \times 10^{13}/\text{cm}^2$ 일 때 접합깊이는 $1.3\mu\text{m}$, $5 \times 10^{13}/\text{cm}^2$ 의 도즈량은 접합깊이가 $1.70\mu\text{m}$, $1 \times 10^{14}/\text{cm}^2$ 의 도즈량은 접합깊이가 $1.65\mu\text{m}$ 로 측정되었다. 도즈량을 $1 \times 10^{13}/\text{cm}^2$ 에서 $5 \times 10^{13}/\text{cm}^2$ 으로 증가시킨 경우에는 접합깊이가 더 깊어졌지만, $1 \times 10^{14}/\text{cm}^2$ 인 경우에는 $5 \times 10^{13}/\text{cm}^2$ 보다 약간 감소하는 것으로 나타났는데 공정상의 오차로 사료된다. 이 경우의 변화정도가 $0.05\mu\text{m}$ 의 아주 극소한 차이를 보이고 있기 때문에, $5 \times 10^{13}/$

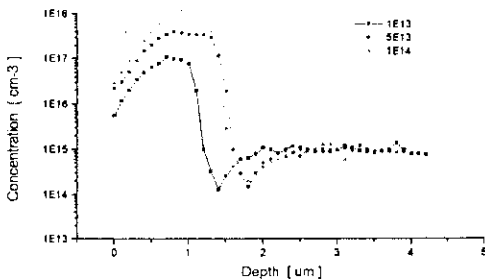


그림 1. 깊이에 따른 도펀트 농도변화

Fig 1. Dopant concentration profile as the depth

cm²이상에서는 접합깊이의 변화가 큰 차이가 없는 것으로 보아도 무관할 것이다. Rp값은 $1 \times 10^{13}/\text{cm}^2$, $5 \times 10^{13}/\text{cm}^2$, $1 \times 10^{14}/\text{cm}^2$ 에서 각각 $0.73\mu\text{m}$, $0.8\mu\text{m}$, $0.9\mu\text{m}$ 로 나타났다. 같은 조건으로 공정을 실시하고 불순물의 도즈량만 변화를 주었을 경우, 불순물의 도즈량이 증가할수록 Rp의 위치는 표면으로부터 깊은 곳에 생성되는 것을 알 수 있다.

3. SIMS 측정 결과

그림 2는 인을 도즈량 $5 \times 10^{13}/\text{cm}^2$ 으로 이온 주입 후 RTA 열처리 온도를 1050℃, RTA 공정 시간을 10초, 20초, 40초로 열처리를 실시한 후 SIMS를 측정한 결과이다. 이 결과를 보면 열처리를 오래할수록 도핑 프로파일의 폭이 넓게 나타난다는 것을 알 수 있다. 이것은 이온 주입된 도펀트들이 열처리 과정에서 받은 에너지로 활성화가 되어, 이온주입시 도펀트에 의해 발생하는 lattice disorder를 이완시키기 때문인데 열처리 공정시간이 길어질수록 도펀트들이 더욱 이완된다는 것을 알 수 있다. 또한 인 농도의 최대치 역시 열처리 시간이 길어질수록 낮아지고 있는 것을 확인할 수 있다. Rp의 위치는 열처리 시간이 길어질수록 표면으로부터 깊어지는 것으로 측정되었다.

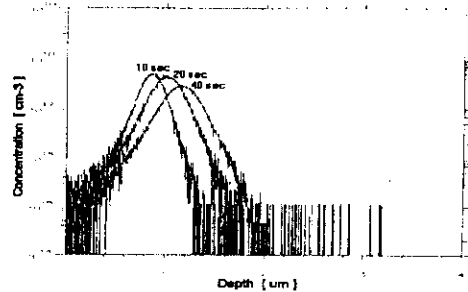


그림 2 열처리 시간에 대한 SIMS 프로파일

Fig. 2. SIMS profile for RTA time

4. XTEM 결과

Lattice disorder는 이온주입에 의해 실리콘 기판내로 도펀트를 주입함으로써 발생한다. 만약 lattice disorder의 정도가 충분히 높지만 amorphization threshold 이하라면 어닐링을 실시하는 도중에 이차결합이 생성되는 것으로 알려져 있다^[3]. 본 실험에서는 도즈량 $1 \times 10^{14}/\text{cm}^2$ 으로 이온주입을 한 후, 열처리를 실시하지 않은 경우와 1050℃에서 20초간 열처리를 실시

한 경우를 조사하였다. 그림 3(a)의 경우, 열처리 전에는 결함이 관측되지 않았으나, 그림 3(b)와 같이 열처리 후 극히 소량의 이차결합이 Rp값 근처에 형성되었다. 이것은 열처리 과정에서 미세 결함이 성장하여 이차결합으로 된 것으로 사료된다. 또한 RTA 열처리를 1050°C, 10초 이상으로 실시한 시료에서는 어떠한 결함도 관찰되지 않았는데 damage가 모두 복구된 것으로 추정된다. 도즈량을 $1 \times 10^{14}/\text{cm}^2$ 이하로 이온주입을 실시한 경우에는 결함이 발견되지 않았다. 이것은 격자에 결함을 생성하기에는 도즈량이 너무 적고, 결함 자체의 크기가 너무 작아서 측정이 불가능하였던 것으로 사료된다.



그림 3(a). 도즈량 $1 \times 10^{14}/\text{cm}^2$ 이온 주입 후 열처리 전

Fig. 3(a) XTEM before RTA for $1 \times 10^{14}/\text{cm}^2$ after ion implantation



그림 3(b). (a)를 1050°C, 10초간 열처리 후
Fig. 3(b) XTEM results of Fig. 4(a) after RTA for 1050°C, 10sec.

5. 래치업 특성 조사 결과

래치업 특성을 조사하기 위하여 n 웰은 retrograde well 구조로 형성하고 p 웰 구조 하단부에 connecting layer를 갖도록 하였다^[4]. 그림 4는 buried layer가 없는 경우 connecting layer를 도즈량 $1 \times 10^{14}/\text{cm}^2$, 에너지는 0.5~1.5MeV로 변화를 주었을 때의 결과이다. 이온주입 에너지가 0.5MeV인 경우 trigger current는 약 $0.6\text{mA}/\mu\text{m}$ 로 나타났고, connecting layer의 이온 주입 에너지가 낮을수록 trigger current가 높게 나타나고 있다.

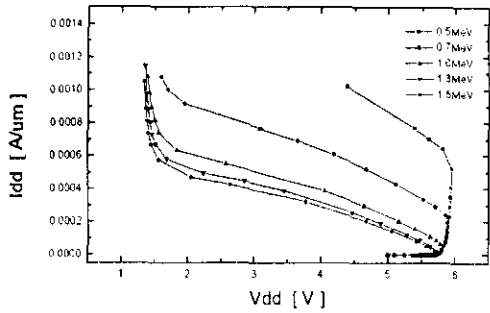


그림 4 buried layer가 없는 경우 에너지에 따른 래치업 특성

Fig. 4 Latch-up characteristics as energy without the buried layer

그림 5는 도즈량 $1 \times 10^{14}/\text{cm}^2$, 에너지는 2.3MeV로 buried layer를 형성한 후 connecting layer의 에너지를 변화시켰을 때 결과로서 buried layer가 없는 그림 4와 거의 같은 결과를 얻었다.

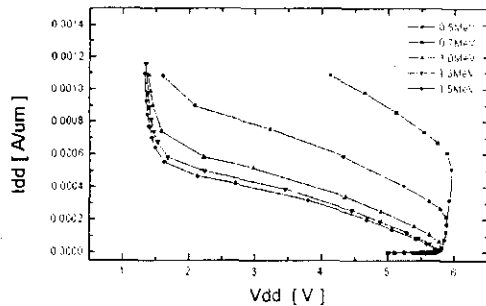


그림 5 buried layer가 있는 경우 에너지에 따른 래치업 특성

Fig. 5 Latch-up characteristics as energy with the buried layer

그림 6은 connecting layer가 없는 경우 buried layer의 에너지 변화에 따른 결과이다. connecting layer가 없는 경우에는 래치업 특성이 큰 차이가 나타났고, buried layer의 이온 주입 에너지를 변화시키거나 도즈량을 변화시켰을 때도 같은 결과를 얻었다. 그러므로 buried layer보다는 connecting layer가 래치업 저감에 더 많은 영향을 미치는 것으로 판명되었다.

그림 7은 connecting layer의 이온 주입 에너지를 1MeV로 고정시키고 buried layer 이온 주입 에너지를 변화시켰을 때의 결과이다. 그림 6보다는 trigger current가 미약하지만 약간 증가하였다.

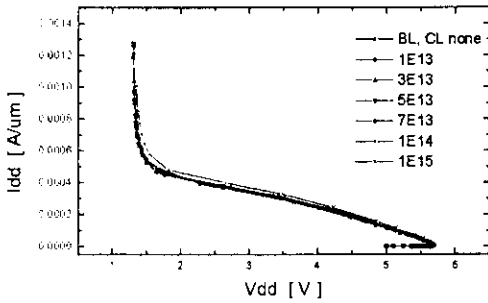


그림 6 connecting layer가 없는 경우 에너지에 따른 래치업 특성

Fig. 6 Latch-up characteristics as energy without the connecting layer

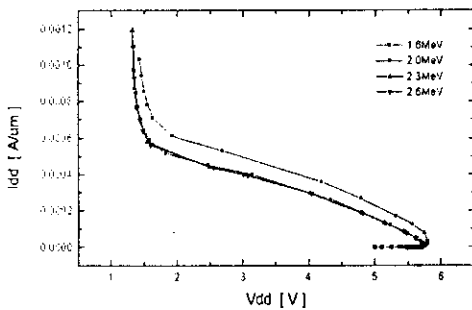


그림 7 connecting layer가 1MeV일 때 래치업 특성

Fig. 7 The latch-up characteristics for connecting layer energy 1MeV

지금까지의 결과를 고찰해보면 connecting layer를 형성하는 이온 주입 에너지가 낮을수록 더 좋은 trigger current를 얻을 수 있는 것으로 판명되었다.

IV. 결론

본 논문에서는 실리콘 기판 위에 인을 1MeV의 에너지로 이온 주입한 후 면저항, SRP, SIMS와 XTEM 특성을 조사하였다. 면저항은 도즈량이 증가할수록 낮아지는 특성을 보이는 것으로 나타났다. 또한 SIMS 프로파일은 열처리 시간이 길어지고 도즈량이 많을수록 더 넓게 퍼지고, Rp값은 표면으로부터 깊어지는 것으로 나타났다. 고에너지 이온 주입후 결함을 XTEM을 실시하여 관찰해본 결과, 거의 찾아볼 수가 없었다. 이것은 고에너지 이온주입시 power heating에 의한 self annealing 때문인 것으로 사료된다. 1050℃, 10초간 RTA 열처리를 실시한 후에는 이온주입의 충격으로 발생하는 점결함들이 성장하여 이차결함이 된다는 것을 확인할 수 있었다. 그러므로 이러한 점결함이 이차결함으로 성장하는 것을 방지하기 위해서는 RTP를 이용하

여 열처리 할 경우, 20초 이상 열처리하거나, 1050℃ 이상으로 열처리를 하여야 됨을 본 논문에서 제시하고 있다. 따라서 누설전류를 약화시키지 못하도록 이온 주입 후 발생하는 결함을 제거하여 우수한 전기적인 특성을 갖는 소자를 제작할 수 있다. 또한 buried layer와 connecting layer의 래치업과의 연관관계를 모의 실험을 통해 규명하였는데, buried layer보다는 connecting layer의 형성조건에 래치업 특성이 더욱 민감하다는 것으로 조사되었고 connecting layer 형성용 이온 주입 에너지가 낮을수록 더 높은 trigger 전류가 흐르는 것으로 판명되었다. 그러므로 connecting layer를 갖는 CMOS 구조에서 retrograde well은 고에너지로, connecting layer는 저에너지로 형성하면 래치업에 효과적인 소자를 만들 수 있다고 사료된다.

參考文獻

[1] K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka, "High-energy ion implantation for ULSI", *Nuclear Instruments and Method in Physics Research*, B59/60, pp584-591, 1991.

[2] John O. Borland, Thomas E. Seidel, "Epi replacement in manufacturing using MeV implantation", *Solid State Technology*, Vol. 39, No.6, pp89-92, June, 1996.

[3] R.J. Schreutelkamp, W.X. Lu, J.R. Liefting, V. Raineri, J.S. Custer and F.W. Saris, "Reduction of Secondary Defect Formation in MeV As ion implanted Si(100)", *Nuclear Instruments and Method in Physics Research*, B59/60, pp614-618, 1991.

[4] Wesley Morris, Leonard Rubin, Dirk Wristers, "Buried Layer/Connecting Layer High Energy Implantation for Improved CMOS Latch-Up", *Proceeding of the Eleventh Internation Conference on Ion Implantation Technology*, pp796-799, 1996.