

GIDL과 SILC가 DRAM refresh 회로의 성능저하에 미치는 영향

이병진, 윤병오, 홍성희, 유종근, 전석희, 박종태
인천대학교 전자공학과, 402-749, 인천시 남구 도화동 177번지
g971127@lion.inchon.ac.kr

The effect of GIDL and SILC on the performance degradation of the refresh circuit in DRAM

Byoung J. Lee, Byung O. Yun, Sung H. Hong,
Chong G. Yu, Seok H Jeon, Jong T. Park
Univ. of Incheon, Electronic Eng., 177 Tohwa-dong, Namgu, 402-749, Korea

Abstract

The impact of hot carrier induced gate leakage current on the refresh time of memory devices has been examined. The maximum allowable supply voltage for cell transistor has been determined from the degradation of the refresh time. The design guideline for cell capacitors and refresh circuits has been suggested.

I 서론

Deep submicrometer 소자에서는 게이트 SiO₂ 두께가 초박막이 사용되고 소오스/드레인 접합깊이가 매우 얇게 되며 플라즈마공정 등의 damage가 많은 공정을 사용하

므로 누설 전류가 증가한다[1, 2]. 특히 소자의 크기가 매우 작으므로 hot carrier 생성으로 인한 누설 전류의 증가가 셀의 신호전하량을 결정하는데 큰 영향을 미치게 된다[3, 4]. Hot carrier 생성으로 인한 GIDL 및 SILC 증가가 기억소자의 refresh 시간에 미치는 영향과 refresh 시간 변화에 따른 셀의 공급전압 결정 방법을 측정·분석하였으며 hot carrier 현상으로 인한 누설전류를 고려하여 셀 capacitor 와 refresh 회로를 설계할 수 있게 설계 가이드라인을 설정하였다[5].

II 실험방법 및 결과

2-1. 누설전류가 refresh 시간에 미치는 영향

본 논문에서 $T_{ox}=55\text{\AA}$, $L_{eff}=0.15\mu\text{m}$, $W=10\mu\text{m}$ 인 NMOS 소자를 사용하여 누설전류가 refresh에 미치는 영향을 분석하기 위하여 그림1과 같은 refresh 회로를 사용하였다.

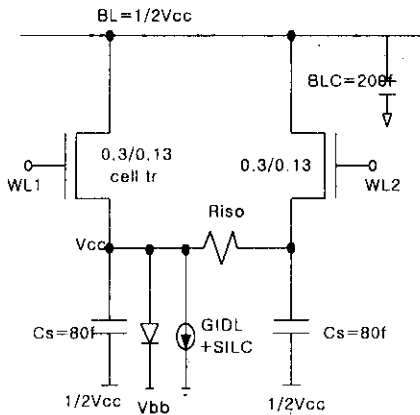


그림 1. Refresh 시간을 시뮬레이션 하기 위한 회로

셀 트랜지스터의 크기는 채널길이가 0.13 μm 폭이 0.3 μm 로 4G 비트 DRAM급으로 결정하였으며 공급전압 V_{cc} 는 1.8V로 하였다. 셀 capacitor는 80fF 정도를 선택 하였는데 이것은 사용된 셀 트랜지스터의 초기 누설전류가 예상보다 크므로 refresh 시간(T_{ref})을 크게하기 위하여 약간 크게하였다. 셀 트랜지스터에 스트레스를 인가하기 전의 트랜지스터의 p-n접합 누설전류와 subthreshold 누설전류의 합은 0.2pA 정도였다. Refresh 시간은 셀 capacitor의 전압이 $\frac{2}{3} V_{cc}$ 되는 시간으로 정의하였으며 SPICE 시뮬레이션으로 구한 T_{ref} 은 108.1 msec이다. 셀 트랜지스터가 hot carrier로 열화가 되면 누설전류가 증가하게 되고 그 결과 스트레스후에는 T_{ref} 가 감소하게 된다.

2-2 GIDL이 refresh 시간에 미치는 영향

초박막 SiO_2 로 인한 MOSFET의 누설전류 메커니즘은 게이트 SiO_2 를 통한 터널링전류와 드레인전류로 나눌 수 있다. 셀 capacitor의 데이터가 "1" 인 상태 즉 capacitor의 전압이 높을 때 OFF 상태인 셀 트랜지스터의 게이트를 통하여 전하가 손실되거나 드레인과 기판 사이를 통하여 전하가 손실된다. 드레인과 게이트의 전압차이가 커지면 게이트와 드레인이 overlap되는 드레인 영역에 deep depletion이 형성된다. 이때 드레인의 valence band에 있는 전하가 기판의 conduction band로 터널링하면서 드레인과 기판사이에 (GIDL) 전류가 흐르

게 된다. 만일 hot carrier 스트레스로 SiO_2 내에 trap이 생성되거나 SiO_2 -Si 계면상태를 생성하게 되면 band-to-band 터널링 전류가 증가하게된다. 결국 hot carrier로 인하여 GIDL이 증가하게된다. 본 논문에서는 hot carrier현상으로 인한 (GIDL) 특성을 측정하기 위하여 2가지의 스트레스를 인가하였다. 첫번째는 기판전류가 최대가 되는 worst condition ($V_d > V_g$)에서 스트레스를 인가하였고 두번째는 드레인과 게이트전압이 같은 즉 $V_d = V_g$ 조건에서 스트레스를 인가하였다. (GIDL측정은 $V_{dr} = 4V$ 에서 하였다.

2-2-1 $V_d > V_g$ 조건에서 GIDL 특성

기판전류가 최대가 되는 worst condition에서 스트레스 시간과 스트레스 전압에 따른 GIDL 특성을 보면 스트레스 전압과 시간이 증가할수록 GIDL이 증가한다. 특히 스트레스 시간이 증가 할수록 높은 스트레스 전압에서는 GIDL 증가가 매우 큰 것을 알 수 있다. 스트레스를 인가하기 전의 트랜지스터의 누설전류가 0.2pA 이었으므로 hot carrier 현상으로 GIDL 증가가 0.2pA 되는 시간을 GIDL에 의한 소자의 수명시간으로 정의하였다. 그림2는 스트레스 시간과 전압에 따른 GIDL 을 고려하여 그림1의 회로에 GIDL에 의한 누설 전류성분을 추가하여 SPICE 시뮬레이션으로 refresh 시간을 계산한 것이다.

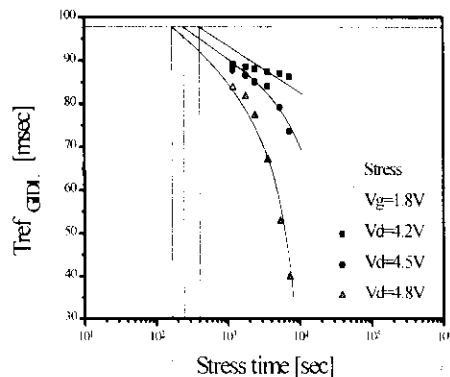


그림 2. (GIDL에 의한 refresh 시간변화 ($V_d > V_g$))

hot carrier 현상으로 refresh 시간이 많이 감소 함을 알 수 있다. 그림 2에서 refresh 시간 변화에 의한 수명시

간을 결정 하기 위하여 수명시간을 $\Delta T_{ref} / T_{ref} = 10\%$ 되는 시간으로 정의하였다.

2-2-2 $V_d = V_g$ 조건에서 GIDL 특성

$V_d = V_g$ 조건에서 스트레스를 인가한 후의 GIDL 특성을 보면 스트레스 전압과 시간이 증가할수록 GIDL이 증가함을 알 수 있다. $V_d > V_g$ 조건에서와는 달리 GIDL 증가가 스트레스 시간과 비할수록 관계에 있음을 알 수 있다. 앞에서와 같이 GIDL에 의한 소자의 수명 시간 정의는 GIDL이 0.2pA되는 시간으로 정의하였다.

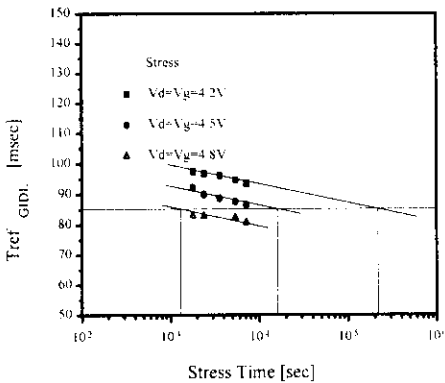


그림 3. GIDL에 의한 refresh 시간변화 ($V_d = V_g$)

그림 3은 $V_d = V_g$ 조건에서 구한 스트레스시간에 따른 refresh 시간변화를 나타낸 것으로 스트레스전압과 시간이 증가할수록 refresh 시간이 감소함을 알 수 있다. 그림 2에서와 같이 refresh 변화에 의한 수명시간은 $\Delta T_{ref} / T_{ref} = 10\%$ 로 정의하였다. 기억소자의 셀 트랜지스터가 ON되는 동안 드레인과 게이트전압의 과형을 고려하여 AC 스트레스에서의 GIDL 증가를 측정하고 이로 인한 refresh 시간 변화를 계산하는 것이 현실성이 있을 것이다. 그러나 외부에서 AC 스트레스를 인가할 시 발생하는 잡음을 완전히 차단하기에는 어려움이 있어 DC 스트레스의 대표적인 조건에서만 GIDL 특성을 측정하였다.

2-3 SILC가 refresh 시간에 미치는 영향

셀 capacitor에 전하를 저장하거나 읽어 낼 때 word line인 게이트에 $V_{CC} + V_p$ 의 높은 전압이 인가되므로

게이트 SiO_2 내의 전계는 크게 된다. 이로 인하여 SiO_2 내에 trap이 생성되므로 누설전류가 증가하게 된다. 게이트 SiO_2 두께가 5.5nm 소자에서는 SILC가 GIDL에 비하여 크지 않음을 알 수 있다. 스트레스 시간에 따른 SILC의 증가를 나타낸 것을 보면 스트레스 전압이 증가하거나 스트레스 시간이 증가할 때 SILC가 증가함을 보여준다. 그러나 그림 2와 그림 3의 GIDL에 비하면 몇 배 이상 작은 것을 알 수 있다. SILC에 의한 누설전류 증가는 refresh 시간에 GIDL보다 영향을 적게 미치게 된다. 기억소자의 셀 트랜지스터의 V_{d0} 와 V_{g0} 는 셀이 데이터 "1" 또는 "0"을 write, read 하거나 stand-by상태에 있을 때 따라 인가되는 전압이 다르기 때문에 모든 조건에서의 hot carrier 생성으로 인한 GIDL과 SILC의 누설전류 성분을 고려해야 한다. 그러나 정확히 모든 상태에서의 누설전류를 고려하기가 어렵기 때문에 $V_d = V_g$ 조건에서의 GIDL과 SILC성분을 합한 누설전류성분을 고려하였으며 GIDL과 SILC를 합한 누설전류에 의한 refresh 시간변화를 그림 4에 나타내었다.

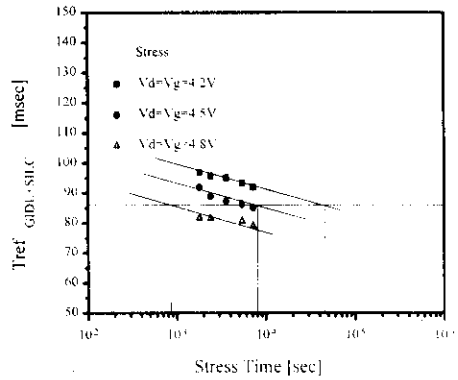


그림 4. GIDL+SILC에 의한 refresh 시간 변화

2-4 셀 설계의 가이드라인

Hot carrier 현상으로 인한 누설전류를 고려하여 기억소자의 셀을 설계할 시 다음의 두 가지 사항을 우선적으로 고려해야 될 것이다. 첫 번째는 셀의 최적공급전압 결정이고 두 번째는 cell capacitor 크기 및 refresh 회로 설계 방법이다. 셀의 최적공급은 셀 트랜지스터의 드레인전류, 문턱전압 및 트랜스컨덕턴스의 변화에 의한

소위 소자의 수명시간에 의하여 결정될 수 있지만 GIDL 과 SILC의 누설전류 증가가 더 큰 영향을 미치므로 이를 고려한 공급전압을 고려해야 한다. GIDL 과 SILC에 의한 누설전류가 p-n접합과 subthreshold 누설전류의 합인 0.2pA와 같게 되는 시간을 수명시간으로 정의하였을 때의 소자의 최적 공급전압을 그림 5에 나타내었다.

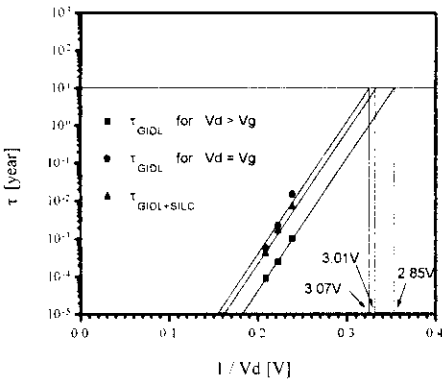


그림 5. GIDL과 SILC에 의한 최대허용공급전압 결정

그림으로부터 GIDL과 SILC를 모두 고려한 경우 최대허용공급전압이 2.85V이다. 그리고 GIDL 과 SILC에 의하여 refresh 시간 변화가 10%인 것을 수명시간으로 정의한 경우의 최대허용공급전압을 그림 6에 나타내었다.

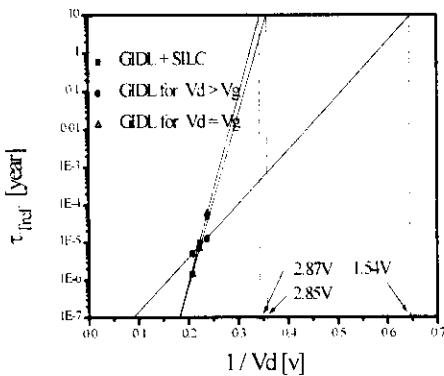


그림 6. refresh 시간변화를 고려한 최대허용 공급전압 결정

그림으로부터 GIDL과 SILC를 합한 경우의 공급전압이 2.7V로써 그림 5에서 구한 것 보다 약간 낮음을 알 수 있다. 그림 6은 셀 설계오차를 고려하여 cell capacitor 크기와 공급전압 또는 refresh회로를 설계해야 됨을 보여 주고 있다. 그림 5와 6에서 구한 공급전압은 식 (1)의 방법으로 구한 4V보다 큰 것을 알 수 있다[6].

$$V_{CC} = V_{FB} + 1.12 + 5.23(MV/cm) \cdot T_{ox} \quad (1)$$

III 결론

GIDL과 SILC에 의하여 refresh 시간변화가 매우 큰 것을 알 수 있었으며 refresh 시간 변화에 의한 최대허용공급전압은 드레인 전류 변화로 구한 공급전압보다 작을 수도 있음을 알 수 있다.

References

- [1] David J. Dumin et al, "Correlation of Stress-Induced Leakage Current in Thin Oxides with Trap Generation Inside the Oxides" IEEE Trans. Electron devices, Vol.40, No.5, pp.986-992, 1995
- [2] Michel Depas et al, "Soft Breakdown of Ultra-Thin Gate Oxide Layers" IEEE Trans. Electron devices, Vol.43, No.9, pp.1499-1502, 1996
- [3] Reza Meazzami et al, "STRESS-INDUCED CURRENT IN THIN SILICON DIOXIDE FILMS" IEDM, pp.139-142, 1992
- [4] G. Q. Lo et al "Hot-Carrier-Stress Effect on Gate-Induced Drain Leakage Current in n-Channel MOSFET's" IEEE Trans. Electron devices, Vol.12, No.1, pp.5-7, 1991
- [5] J. De Blauwe et al, "A new quantitative model to predict SILC-related disturb characteristics in Flash E2PROM device" IEDM, pp.343-346, 1996
- [6] Hsing-jen Wann et al "Gate Induced Band-to-band Tunneling Leakage Current in LDD MOSFET's" IEDM, pp.147-150, 1992