

높은 선형동작을 위한 새로운 DAC 오차보정 기법에 관한 연구

이승민, 궤계달
한양대학교 전자공학과
133-791 서울시 성동구 행당동 17
smlee@shira.hanyang.ac.kr

A DAC Calibration Technique for High Monolithic Operation

Seung Min Lee and Kae Dal Kwack
Dept. of Electronic engineering, Hanyang University
133-791 Haengdang-dong, Sungdong-gu, Seoul, Korea
smlee@shira.hanyang.ac.kr

Abstract

This paper presents a DAC calibration technique for high resolution and monolithic operation. The calibration technique consists of basic source, current memory cell(C.M) and current substrator. Current memory supplies the error current to Basic Source. Current substrator extracts the error current from the main source. It is simple and needs no special calibration period. The proposed current cell has high calibration performance and guarantees 100MHz operation.

I. 서론

고속-고해상도의 D/A 변환기의 수요가 증가함에 따라 여러 가지의 D/A 변환기가 개발되어 사용되어지고 있다. 응용 분야로는 고선명 TV, 캠코더, 스캐닝 그래픽 시스템 및 MPEG 카드 등에 필수적으로 사용되고 있다. 초기에는 고속-고해상도를 위해 BJT 또는 BiCMOS 공정으로 제작되어져 왔으나 최근 고속 고집적, 저전력화 및 공정 가격 등에서 BJT보다 유리한 CMOS공정이 일반적으로 사용되어지고 있다. 또한 하나의 칩위에 하나의 시스템을 모두 설계하는 아날로그

-디지털 혼성모드 설계의 경향으로 고집적 디지털회로 CMOS공정을 사용한 D/A 변환기 설계의 중요성이 대두되게 되었다. CMOS 전류 모드 D/A 변환기는 고속-고집적 설계가 가능하면서도 디지털 공정으로 구현이 가능하다는 장점이 있지만, 공정변수의 변화와 진류원의 부정합 등으로 인한 INL 에러(Integral Nonlinearity Error), 스위칭시 발생하는 디글리칭 에러(Deglitching Error) 및 MSB(Most Significant Bit)의 진류원 스위칭시에 일어나는 DNL 에러(Differential Nonlinearity Error)등으로 인하여 해상도의 제한을 받아 왔다. 그래서 이를 보정하기 위하여 레이저 트리밍 같은 별도의 추가 공정이 사용되었다[1][2]. 이는 소자의 제작 가격을 상승시킬 뿐만 아니라 보정된 소자 또한 시간에 따른 특성변화의 가능성을 가지므로 반영구적으로 오차를 보정할 수 있는 방법이 필요하다. 본 연구에서는 DAC의 기본적인 내용과 이러한 오차를 보정하는 방법에 대해서 알아보고 개선된 새로운 오차보정 기법을 제안 한다.

II. DAC 구조

1. 기본 구조

그림 1은 전류 모드 DAC의 기본적인 블록도를 나

타낸다. 디지털 코드를 입력으로 받아 디코더에서 입력 코드 값만큼의 전류원 셀을 선택한 후 레지에서 신호레벨을 확실하게 한다. 그리고 나서 선택된 셀들로 부터 입력 코드값 만큼의 전류를 출력한다.

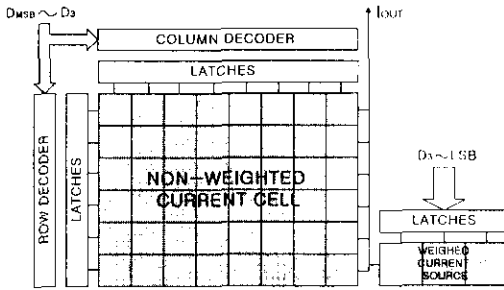


그림 1. DAC 구조

2. 매트릭스 디코딩(Matrix Decoding)

그림 1.에서 보는 것처럼 상위 전류원들은 매트릭스 형태로 배열되어 있어 전류원 선택 시간을 줄일수가 있고, 디코더에서 신호를 보내 전류원을 선택할 때 가운데에서부터 양쪽 바깥 방향으로 전류원들을 동작 시켜서 전류원들이 켜졌을 때 생길 수 있는 선행적인 에러(INL)를 최소화 한다.[3]

3. 전류원 (Current Cell)

그림 2는 기존에 사용되어져 왔던 전류원으로써 입력코드에 해당하는 전류를 출력에 전달하는 기능을 한다. 그림 2-(a)는 간단하지만 스위칭 시 입력값 진이에 의한 영향을 출력에 연결된 드레인 전류에 직접적으로 영향을 주므로 출력 전류가 불안하다는 단점이 있다.

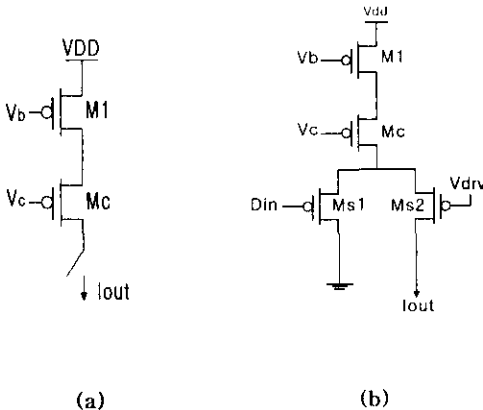


그림 2. 전류원 셀

그림 2-(b).는 이러한 단점을 보완하여 트랜지스터를

쌍으로 연결하여 V_{drv} 를 적당한 값으로 고정시키고 반대편 트랜지스터의 게이트에 입력단을 연결하여 입력 변화에 따른 출력 트랜지스터의 에러를 최소한으로 줄여준다. 또한 M_c 를 더함으로써 전류원 출력 저항을 $G_m \cdot R_{c,eq}$ 배 만큼 크게 하여 전류원이 안정적으로 동작할 수 있게 한다. 하지만, 계속적인 사용으로 인한 특성 변화와 공정의 정밀도 문제, 글리칭 에러 등 소자 파라미터들의 변화에 의한 오차를 가질 수 있는 가능성이 있다.

III. 오차보정기법 (Self-Calibration Technique)

기존의 오차보정기법으로는 첫 번째, 특별한 회로적인 테크닉이 없이 소자를 만든 후 전기적 또는 레이저 트리밍(Laser Trimming)에 의해 직접적으로 폴리-실리콘 저항값을 보정하는 방법[1][2], 두 번째로, 트랜지스터의 C_{gs} 를 이용하여 일정 주기로 기준전류를 기억시켜서 기준 전류값을 유지시키는 방법[4]과 세 번째로 기준 전류원의 오차값을 추출하여 이를 ADC (Analog to Digital Converter)를 이용하여 디지털 코드로 변환 후 이 코드값 만큼의 전류를 보정하는 방법[5] 등이 있다.

본 논문에서 제안하는 오차보정기법을 그림 3.에 나타내었다. 이 방법은 오차값에 대한 디지털적인 과정이 없어 간단하다는 장점과 오차값에 대해서 직접적으로 보정을 하므로 이상적인 경우에는 100%에 가까운 보정 효율을 얻을 수가 있어 상당한 성능을 가질 뿐만 아니라 보조 전류원을 사용하여 부가적인 오차보정 주기가 필요 없다는 장점을 가진다.

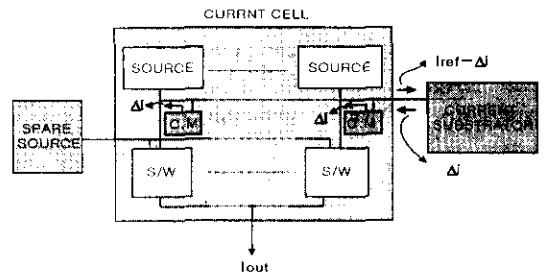


그림 3. 제안하는 오차보정기법

A. 기본 동작

본 논문에서 제안하는 오차보정기법을 탑재한 DAC 전류원 셀을 그림 4.에서 보여주고 있다. 제안하는 전류원은 기본적인 전류원과 전류기억회로(Current

Memory Cell), 전류감산기(Current Substrator), 보조 전류원(Spare Current Source)으로 구성되어 있다.

동작은 다음과 같이 이루어진다. 먼저, 전류원이 동작중에 Calibration 신호가 들어오면 Mc는 꺼지고, Msp가 켜져서 전류스위치에는 보조 전류원에 의한 전류가 흐르게 되어 기존의 동작을 유지하면서 기존 전류원에 흐르던 전류는 스위치 M4를 통해서 전류감산기로 흐르게 된다. 전류감산기에서는 정확히 설계된 전류원과의 감산을 통해서 사용되던 전류원(I_{Msm})과 오차보정용 전류원(I_{ref})과의 오차를 구해서 전류기억회로로 보낸다. 전류기억회로에서는 이 오차값을 기억하여 오차보정 주기가 끝날과 동시에 기본 전류원에 공급함으로 사용되던 전류원의 오차를 보정한다.

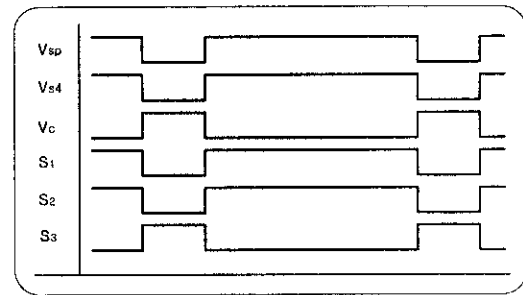
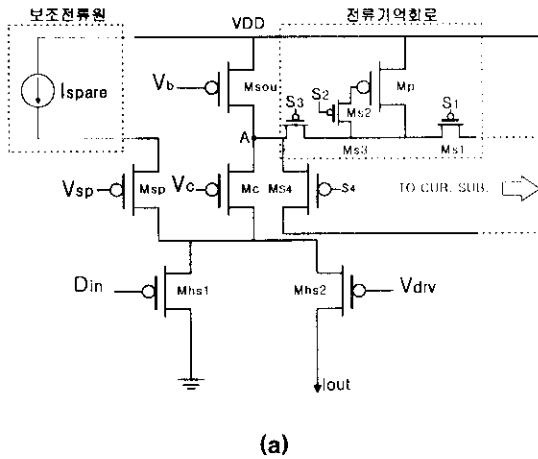


그림 4. (a)제안하는 오차보정 기법을 탑재한 전류원 셀과 (b)오차보정 신호

전류기억회로를 살펴보면, 먼저 스위치 Ms1, Ms2가 켜지고, 스위치 Ms3가 꺼지면, 오차값에 해당하는 입력전류는 Mp에 흐르게 되고 트랜지스터 Mp의 게이트에 이 전류에 해당하는 전압값이 충전된다. 다음에 스위치 Ms2가 오프되면 게이트-소스간의 커패시터에 이 값이 저장되고 Mp의 게이트 전압은 일정하게 유지된

다. 이때, 스위치 Ms3가 온 되면서 기억하던 전류를 노드A로 보낸다. 이 회로는 모의실험 상에서는 거의 오차가 발생하지 않았지만, 실제로 트랜지스터 Mp의 Cgs에 충전되어 있던 전하가 시간이 지남에 따라 점점 감소하여 Vm2의 전압레벨이 떨어져 I_{M0}가 감소하는 문제점이 있다[3]. 이 문제점은 보정주기를 일정하게 반복적으로 주어서 Mp의 게이트에 주기적으로 전하를 공급하여 전압레벨을 유지시켜서 해결할 수가 있다. 오차보정 신호를 그림 4-(b)에 나타내었다. 보정주기는 모의실험상에서 1mS까지 실현한 결과, 전류 감소가 거의 발생하지 않아서 짧은 필요가 없으며 전류원 동작속도에 비해서 상당히 느리게 동작한다.

그림 5의 전류감산기는 2단의 전류 비례와 전류셀의 주 전류원(Msou)과 같은 값을 가지는 전류원으로 구성된다. 전류원으로부터 공급되어지는 전류가 Mem1, Mem2에 흐르면 Mem3에는 Ical과 Icm1의 차이만큼 흐르게 되어 감산기의 출력은

$$\Delta i = I_{cal} - I_{cm1} \quad (1)$$

이 된다. 이 값이 주 전류원의 오차값이 되고, 전류기억회로의 입력값이 된다.

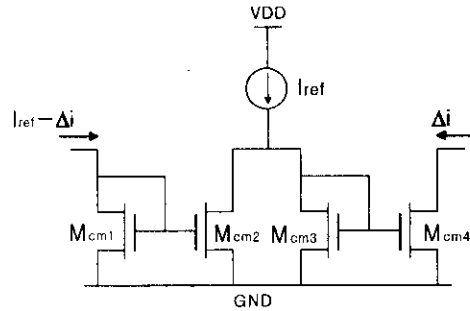


그림 5. 전류 감산기

IV. 모의실험(Simulation) 결과

모의실험 결과를 그림 6, 그림 7. 과 표 1.에 나타내었다. 0.8μm CMOS공정에서 설계를 하였고, HSPICE를 사용하여 실험을 하였다. 설계한 회로의 주 전류원(I_{Msm})에 여러 가지의 에리값을 주어서 각각의 값에 대한 오차보정의 정도를 실험하였다. 입력 에리값들은 LSB의 1%~15%사이의 값을 사용하였으며, 오차값 보정정도를 표와 그래프로 나타내어 그 경향성을 파악하였다. 큰 오차값에 대해서는 비교적 높은 보정율을 보였고, 1%~5%사이의 오차값들에 대해서는 보정율이 비교적 낮은 경향을 보였다.

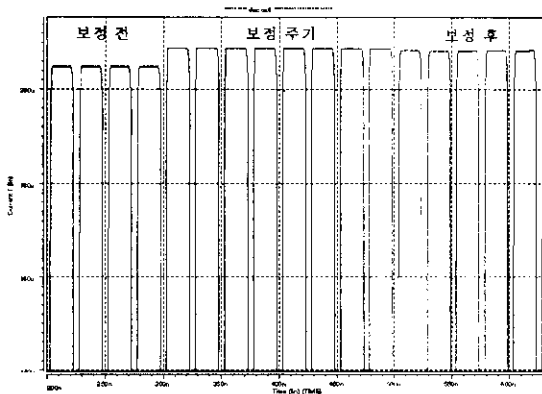


그림 6. 결과 파형

주전류원 오차(%) (오차전류/LSB)	오차보정율(%)
14.6	90
11.9	95.15
9.5	95.16
3.9	88.23
1.1	71.43

표 1. 오차보정율

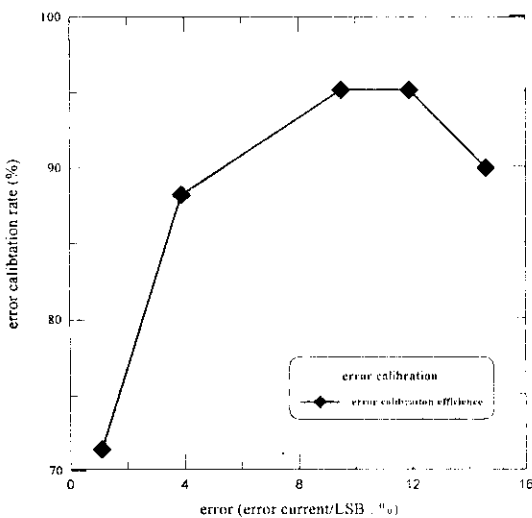


그림 7. 오차보정율

V. 결론 및 고찰

본 논문에서 높은 선형능력과 고해상도를 위한 DAC 오차보정 기법을 제안하였다. 비교적 간단한 회로기법을 이용하여 반영구적으로 사용할 수가 있으며, 높은 보정율을 가짐을 확인하였다. 모의실험 결과 표 1과 같이 비교적 큰 오차에 대해서 보정율이 높게 나타났고, 미세한 오차인수록 낮게 나타나는 경향을 보였다.

참고문헌

- [1] Y. Amemiya, T. Ono, and K. Kato, "Electrical trimming of heavily doped polycrystalline silicon resistors," *IEEE Trans. Electron Devices*, Vol. ED-26, p.1738, 1979
- [2] DOTARO DATO, et al. "A Monolithic 14 Bit D/A Converter Fabricated with a New Trimming Technique(DOT)" *IEEE JOURNAL OF SOLID OF STATE CIRCUITS*, Vol. sc-19, No.5 OCTOBER 1984.
- [3] Yasuyuki Nakamura, Takahiro Miki, et al "A 10-b 70-MS/s CMOS D/A Converter." *IEEE OF JOURNAL SOLID-STATE CIRCUITS*, Vol. 26, No.4, APRIL 1991
- [4] D.WOUTER J. GROENEVELD, et al "A Self-Calibration Technique for Monolithic High-Resolution D/A Converters", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, Vol. 24, No.6 DECEMBER 1989.
- [5] 김 욱 "고속 고해상도 디지털-아날로그 변환기의 설계에 관한 연구" 서울대학교 박사학위 청구 논문, 1994