

Muller 및 regular falsi 방법에 의한 CMOS 반전 증폭기의 정상상태 해석

유은상 이은구 김태한 김철성
 인하대학교 전자공학과

Analysis of CMOS inverter by Muller and regular falsi method under the Steady-State

Eun-Sang Yoo Eun-Gu Lee Tae-Han Kim Cheol-Sung Kim
 Dept. of Electronics Eng., Univ. of Inha
 #253 YongHyeon-Dong Nam-Ku, Incheon, Korea

요약

본 논문에서는 Muller법과 regular falsi법에 의한 CMOS 반전 증폭 회로를 해석하는 방법을 제안한다.

Muller법과 regular falsi법을 이용하여 회로의 절점 전압과 branch 전류를 예측하였고 회로의 출력 절점에서 KCL을 만족하도록 하였다.

CMOS 반전 증폭 회로의 모의실험을 수행한 결과 MEDICI에 사용된 결합법에 비해 전압특성과 전류특성은 각각 5%와 5.4%의 최대상대오차를 보였다.

I 서론

최근의 반도체 기술의 발달로 인하여 소자의 크기가 감소하고 구조가 복잡해지면서 회로의 모의실험에 요구되는 모델 파라미터의 부정확도 혹은 정확한 모델의 부재로 인하여 제품의 개발기간이 지연되고 있다. 이에 따라 반도체 소자의 전기적인 특성을 직접적으로 분석하고 예측할 수 있는 혼합 모드 소자-회로 시뮬레이터의 필요성이 점차 증대되고 있다.

혼합모드 소자-회로의 모의실험에서 수치해석을 요하는 소자의 전기적인 특성과 회로를 구성하는 소자간의 결합관계인 회로 방정식은 키르히호프의 전압법칙(KVL)과 키르히호프의 전류법칙(KCL)으로 표현된다.

본 논문에서는 Muller^[1] 및 regular falsi^[2]법을 이용하여 회로 방정식을 해석하고 알고리즘의 정확도와 효율성을 검증하기 위한 방법으로 정상상태에서 CMOS 반전 증폭 회로의 모의실험을 수행한 후에 MEDICI^[3]의 모의실험 결과와 비교하였다.

II CMOS 반전 증폭기의 회로 해석

그림 [2.1]은 CMOS 반전 증폭기의 회로도이며 그림 [2.2]는 입력전압이 고정된 상태에서 출력전압 대비 p-MOSFET과 n-MOSFET에 유입하는 출력전류 특성이다.

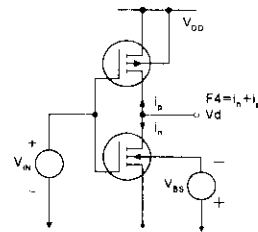


그림 2.1 CMOS 반전 증폭기의 회로도

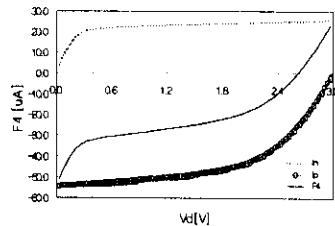


그림 2.2 CMOS 반전 증폭기의 출력전압 - 출력전류 특성

CMOS 반전 증폭기와 같이 해석하는 회로의 출력단에 2개 이상의 소자가 연결되고 p-MOSFET과 n-MOSFET의 게이트에 인가되는 입력 전압이 고정된 조건에서는 출력전류의 변화에 대한 출력전압의 변화는 2개 이상의 변곡점을 가지므로 Newton-Raphson 방법을 이용한 해석으로는 불량한 수렴특성을 보이거나 수렴하지 못하는 문제점이 있다. 그러므로 혼합모드 소자-회로의 모의실험에서 수렴특성을 향상시키기 위

해서는 2개 이상의 변곡점을 갖는 회로를 해석할 수 있는 방법이 필요하다.

CMOS 반전증폭기에서 수치 해석을 요하는 소자 내부의 초기 해의 설정과 반도체 방정식의 해석은 BANDIS^[4]에 의해 수행되며 회로 방정식은 Muller 및 regular falsi법을 이용하여 계산된다.

그림 [2.3]은 혼합모드 소자-회로 모의실험을 위한 전체적인 흐름도이다.

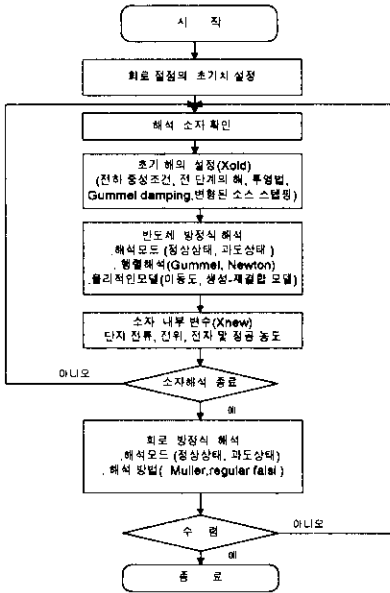


그림 2.3 혼합모드 소자-회로의 모의실험을 위한 전체적인 흐름도

III CMOS 반전 증폭기의 해석을 위한 Muller법 및 regular falsi법

regular falsi법은 2개의 초기조건을 필요로 하며 변곡점을 포함한 함수에서도 수렴특성을 유지할 수 있는 해석 방법이다. 그림 [3.1]은 regular falsi법을 이용한 F_4 의 근사화 과정을 나타내며 해를 구하는 절차를 설명하면 다음과 같다.

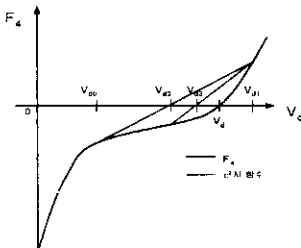


그림 3.1 regular falsi법을 이용한 F_4 의 근사화

F_4 를 1차 선형 방정식으로 근사화 하면 식 [1]이 구해진다.^[2]

$$F_4 = aV_d + b \quad [1]$$

2개의 초기 조건 $(V_{d0}, F_{40}), (V_{d1}, F_{41})$ 을 식 [1]에 대입하고 연립하여 풀면 식 [2]가 구해진다.

$$a = \frac{F_{41} - F_{40}}{V_{d1} - V_{d0}} \quad [2a]$$

$$b = \frac{V_{d1}F_{40} - V_{d0}F_{41}}{V_{d1} - V_{d0}} \quad [2b]$$

식 [2]를 식 [1]에 대입하면 근사해 V_{d2} 를 얻는다.

$$V_{d2} = -\frac{b}{a} \quad [3]$$

초기조건을 이용하여 구해진 근사해 (V_{d2}, F_{42}) 를 2개의 초기조건으로 설정하여 수렴조건을 만족하도록 식 [1]에서 식[3]의 과정을 반복하면 해를 구할 수 있다.

Muller법은 해를 구하는 과정에 적어도 3개 이상의 초기 조건이 필요하므로 최소 4회 이상의 반복해석이 필요하며 회로의 미지 변수가 2개 이상인 경우에는 사용될 수 없다.

그림 [3.2]는 Muller 방법을 이용하여 함수 F_4 를 근사화하는 과정을 설명하며 해를 구하는 절차는 다음과 같다.

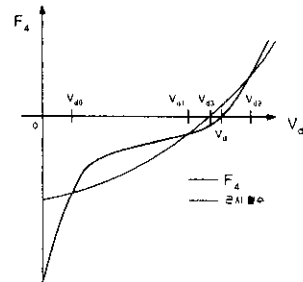


그림 3.2 Muller 방법을 이용한 F_4 의 근사화

F_4 를 2차원으로 근사화 하면 식 [4]가 구해진다.^[11]

$$F_4 = a(V_d - V_{d2})^2 + b(V_d - V_{d2}) + c \quad [4]$$

먼저 3개의 초기조건 $(V_{d0}, F_{40}), (V_{d1}, F_{41}), (V_{d2}, F_{42})$ 를 식 [4]에 대입하고 계수 a,b,c를 정리하면 식 [5]가 구해진다.

$$c = F_{42} \quad [5a]$$

$$b = \frac{(V_{d0} - V_{d2})^2 [F_{41} - F_{42}] - (V_{d1} - V_{d2})^2 [F_{40} - F_{43}]}{(V_{d0} - V_{d2})(V_{d1} - V_{d2})(V_{d0} - V_{d1})} \quad [5b]$$

$$a = \frac{(V_{d1} - V_{d2})[F_{40} - F_{42}] - (V_{d0} - V_{d2})[F_{41} - F_{42}]}{(V_{d0} - V_{d2})(V_{d1} - V_{d2})(V_{d0} - V_{d1})} \quad [5c]$$

식 [5]를 식 [4]에 대입하고 해석구간을 V_{d1} 과 V_{d2} 로 제한하면 근사 해를 얻을 수 있다.

$$V_{d3} = V_{d2} + \frac{-2c}{b + \sqrt{b^2 - 4ac}} \quad [6]$$

초기조건과 초기조건을 이용하여 구해진 근사 해를 다음 단계의 초기조건으로 설정하여 수렴조건을 만족 하도록 식 [4]에서 식 [6]까지의 과정을 반복하면 해를 구할 수 있다.

그림 [3.3]은 그림 [2.3]의 혼합모드 소자-회로의 모의실험을 위한 전체적인 흐름도에서 Muller 방법과 regular falsi법을 이용하여 해를 구하는 과정을 나타낸 흐름도이다.

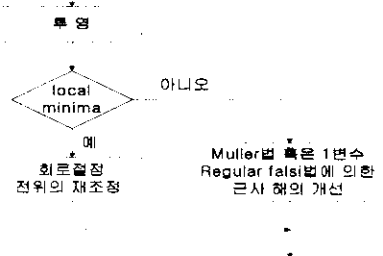


그림 3.3 1개의 미지 변수를 구하는 흐름도.

Muller 방법은 해석하는 회로레벨의 절점 수가 1개 인 경우에만 적용할 수 있으며 프로그램에서는 이전 2 단계의 해만 존재할 경우에는 regular falsi 알고리즘을 이용하여 회로를 해석한 후에 해가 수렴하지 못하면 3 단계부터는 Muller 방법으로 변경된다.

IV 혼합모드 소자-회로레벨 시뮬레이 터에서 CMOS 반전 증폭기의 정상상태 해석

그림 [4.1]은 회로의 전기적인 특성을 정상상태에서 해석할 경우의 전체 흐름도이다.

CMOS 반전 증폭기의 정상상태 해석 동안에 Newton법을 이용하는 MEDICI에서는 참값에 가까운 초기 해를 설정하지 않은 경우에 해를 구할 수 없었던 반면에 BANDIS^[5]에서는 초기 해가 참값에 비해 많은 차이가 있음에도 언제나 해를 구할 수 있었다.

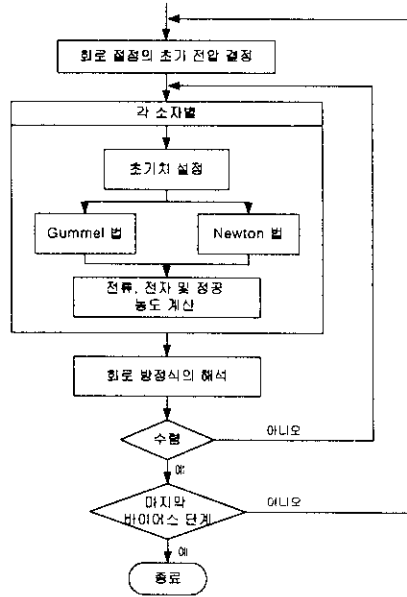


그림 4.1 정상상태에서 혼합모드 소자-회로 모의실험을 위한 흐름도

V 결과 및 고찰

CMOS 반전증폭기의 모의실험은 BANDIS는 DEC의 alpha EWS 433에서 실행 되었고 MEDICI는 HP 9000/715 workstation에서 실행 되었다.

CMOS 반전증폭기에서 구동회로에는 n-형 표면채널 MOSFET을 사용하고 부하회로에는 p-형 채널채널 MOSFET을 사용하였으므로 수치해석을 요하는 소자의 수는 2개이고 회로레벨의 해석에 사용되는 절점의 수는 1개이다.

표 [1]은 n-MOSFET과 p-MOSFET의 절점수, 요소수 및 전진폭을 나타낸다.

	절점수	요소수	전진폭
n-MOSFET	5247	10132	83
p-MOSFET	3161	6052	84

표 1 회로해석에 사용된 모의실험 구조의 절점의 수, 요소의 수 및 전진폭

그림 [5.1]은 정상상태에서 BANDIS와 MEDICI의 모의실험으로부터 구한 V_{in} 대비 V_d 이다. 입력전압이 1.3 volt인 부근에서 출력전압이 급격히 감소함을 볼수 있고 5%의 최대 상대오차를 보인다.

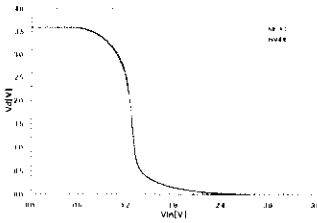


그림 5.1 정상상태에서 CMOS 반전 증폭기의 Vin 대비 V_d 특성

그림 [5.2]는 정상상태에서 BANDIS와 MEDICI의 Vin 대비 i_n 특성이다. 전압특성에서와 같이 입력전압이 1.3 volt인 부근에서 전류가 최대치가 되고 5.4%의 최대 상대오차를 보인다.

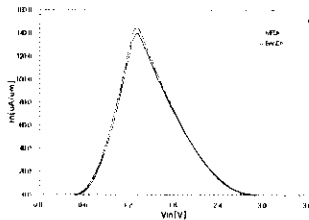


그림 5.2 정상상태에서 CMOS 반전 증폭기의 Vin 대비 i_n 특성

그림 [5.3]은 정상상태에서 BANDIS의 입력전압 대비 회로레벨의 수렴에 필요한 반복회수이다. 두 개의 MOSFET이 동시에 포화영역에서 동작하는 입력전압에서 수렴회수가 증가하는 것을 볼 수 있다.

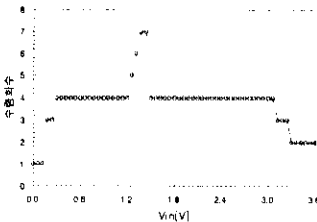


그림 5.3 정상상태에서 CMOS 반전 증폭기의 Vin 대비 회로레벨의 수렴에 필요한 반복회수

CMOS 반전 증폭기의 출력 질점이 고 임피던스 상태인 문턱전압 이하에서는 KVL의 수렴조건이 만족된 후에도 p-MOSFET의 드레인에 흐르는 전류와 n-MOSFET의 드레인에 흐르는 전류에 대한 KCL이 만족하지 않는 특성을 보였다. 이 특성은 SPICE와 같은 기존의 회로 시뮬레이터에 사용되는 수렴조건으로는 만족시킬 수 없으므로 새로운 수렴조건을 설정하여 KCL이 만족하도록 하였다.

그림 [5.4]는 정상상태에서 BANDIS와 MEDICI의 Vin 대비 $i_n + i_p$ 특성이다.

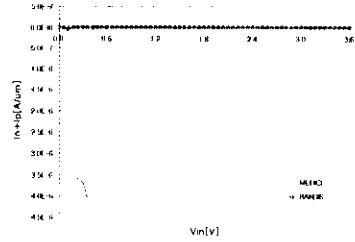


그림 5.4 정상상태에서 CMOS 반전 증폭기의 Vin 대비 $i_n + i_p$ 특성

결합법을 이용하는 MEDICI의 경우에는 저 전류레벨의 해를 정확하게 구할 수 없는 반면에 Muller 방법과 1변수 regular falsi법을 이용한 회로의 해석은 매우 효과적임을 알 수 있다.

VI 결론

혼합모드 소자-회로 시뮬레이터를 이용한 회로레벨의 해석에 Muller 방법과 regular falsi법을 적용하였다.

알고리즘의 정확도와 효율성을 검증하기 위하여 2차원 구조를 갖는 CMOS 반전 증폭 회로의 전압-전류특성을 MEDICI와 비교한 결과 각각 5%와 5.4%이내의 상대오차를 보였고 저 전류레벨에서는 Muller방법과 1변수 regular falsi법을 이용한 회로해석은 KCL이 만족되었다.

참고 문헌

- [1] Burden Faires, Numerical Analysis 5 Ed., PWS, pp. 64-65, 1993.
- [2] Burden Faires, Numerical Analysis 5 Ed., PWS, pp. 88-90 1993.
- [3] J.Gregory Rollins, John Choma Jr., "Mixed-Mode PISCES-SPICE Coupled Circuit and Device Solver," *IEEE Trans. on CAD*, Vol.7, No.8, 1988.
- [4] 윤현민, 김대한, 김대영, 김철성 "3차원 정상상태의 드리프트-확산 방정식의 해석 프로그램 개발", 대한전자공학회 논문지 제34권 D편 제8호 pp.41-51, 1997.