

차세대 CMOS 소자의 래치업 전류 최소화를 위한 모의 모델 해석 (An Analysis on the Simulation Model for Minimization of Latch-Up Current of Advanced CMOS Devices)

조소행*, 강효영*, 노병규*, 강희원*, 홍성표*, 오환술*

(So-Haeng Cho, Hyo-Young Kang, Byeong-Gyu Roh,
Hee-Won Kang, Sung-Pyo Hong, Hwan-Sool Oh)

*전국대학교 전자공학과

요약

차세대 CMOS구조에서 래치업 최소화를 위하여 고에너지 이온주입을 이용한 retrograde well과 매몰층의 최적 공정 설계 변수 값들을 설정하였다.

본 논문에서는 두 가지의 모의 모델 구조를 제안하고 Silvaco 툴에 의한 시뮬레이션 결과를 비교 분석하였다. 첫 번째 모델은 매몰층과 retrograde well을 조합한 구조이며 P+ injection trigger current가 $600\mu A/\mu m$ 이상의 결과를 얻었고, 두 번째 모델은 twin retrograde well을 이용하여 P+ injection 유지전류가 $2500\mu A/\mu m$ 이상의 결과를 얻었다. 시뮬레이션 결과, 두 모델 모두 도즈량이 많을수록 래치업 면적 특성이 좋아짐을 보았다. 시뮬레이션 조건에서 두 모델 모두 n+/p+ 간격은 $2\mu m$ 로 고정하였다.

I. 서론

고속, 고집적도의 VLSI회로를 구현하기 위하여 MOSFET의 단채널 효과에 대한 관심이 높아지고 있으며, 단채널 효과를 억제하면서 고집적도를 얻기 위한 방법의 하나로 고에너지 이온주입 방법이 이용되고 있다. 고에너지 이온주입 방법은 측면 확산이 거의 없는 도핑프로파일 형성이 가능하고 집적도 향상 및 단채널 억제 효과를 얻고 있다.^[1,2]

고에너지 이온주입의 공정상 특징으로는 측면 확산이 거의 없는 well(well)형성이 가능하고, 이렇게 형성된 retrograde well과 매몰층(buried layer)은 기존의 drive-in공정을 이용한 well보다 우수한 래치업(latch-up) 특성을 보이며, 더 쉽고 간단한 방법으로 다양한 도핑 프로파일을 형성할 수 있게 된다.^[3]

본 논문에서는 isolation dimension이 점점 축소되어 감에 따라 부각되어지는 래치업 현상을 최소화하기 위해, 소자 격리와 웰 격리가 용이하고 소프트 에리(soft error)가 개선되며 알파입자(alpha particle) 면역을 높일 수 있다는 특성을 가지면서도 추가적인 마스크공정이 필요 없기 때문에 제조공정 비용이 작은 두 종류의 모의 모델 CMOS구조를 제안하여 래치업 최소화를 위한 시뮬레이션을 실시하여 우수한 래치업 면적특성을 갖는 구조를 구현하였다. 첫 번째 모델은 고에너지 이온주입을 사용한 경우로 매몰층과 retrograde well을 조합한 CMOS구조이고, 두 번째 모델은 고에너지 이온주입을 필요로 하지 않는 경우로 twin retrograde well을 사용한 CMOS 구조이다.

II. 본론

1. 2가지 모의 모델 CMOS구조

1) 매몰층과 retrograde well을 조합한 모델

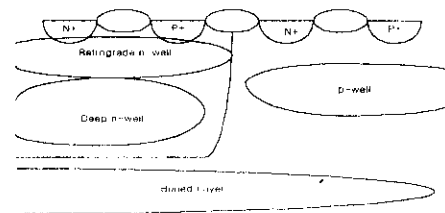


그림 1. 매몰층과 retrograde well을 조합한 모델 구조

Fig. 1. The structure with the buried layer and the retrograde well

그림 1은 매몰층과 retrograde well을 조합한 CMOS구조이며 래지업 면역 특성을 개선하기 위한 다음과 같은 설계 변수 값들을 변화시켜 최적 조건을 얻었다.

- buried layer dose : none, $1 \sim 100 \times 10^{13}/\text{cm}^2$
 - buried layer energy : none, 1600 ~ 2600KeV
 - p-well dose : $0.5 \sim 10 \times 10^{13}/\text{cm}^2$
 - p-well energy : 500 ~ 1500KeV
 - retrograde n-well dose : $1 \sim 5 \times 10^{13}/\text{cm}^2$
 - retrograde n-well energy : 500 ~ 1000KeV
- 2) twin retrograde well을 이용한 모델

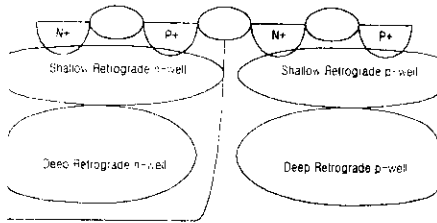


그림 2 twin-retrograde well 구조도

Fig. 2. The structure with twin-retrograde well

- retrograde n-well dose : $1 \sim 10 \times 10^{13}/\text{cm}^2$
- retrograde n-well energy : 500 ~ 1000KeV
- retrograde p-well dose : $1 \times 10^{13}/\text{cm}^2$
- retrograde p-well energy : 300 ~ 1000KeV

그림 2의 twin retrograde well구조로서 각각의 웰에 shallow영역과 deep영역으로 구분하여 이온주입하고, 래지업 특성을 해석하였으며, 각 설계 변수 값들은 다음과 같다.

이 때 shallow retrograde well은 device isolation implant로, deep retrograde well은 웰 격리와 래지업 제어(Rw) 그리고 소프트 에어의 방지와 알과입자 면역용으로 사용되었다.

두 가지 구조 모두 시뮬레이션은 Silvaco 프로그램을 사용하였고, 래지업 특성분석은 n+와 p-관직을 2 μm 로 시뮬레이션 하였다. 전압은 초기에 pMOS쪽의 n- 웰과 p- 트레인에 5V를 인가하였고, nMOS쪽의 p- 웰과 n- 트레인에 0V를 인가하였다.

본 연구는 래지업 최소화를 배하기 위하여 Rs 값과 Rw 값을 제어하도록 2가지 모의 모델 CMOS 구조를 제안하였고 이를 구현하기 위하여 Silvaco 시뮬레이션 툴을 사용하였다. 첫째는 매몰층과 retrograde well을 조합한 구조이고 둘째는 twin retrograde well구조이다.

III. 결과 및 고찰

1. 매몰층과 retrograde well을 조합한 모델

그림 3은 n-웰은 $3 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고 p-웰은 $2 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고 매몰층(buried layer)은 2.3MeV로 이온주입한 후, 매몰층의 도즈량을 변화시켜 시뮬레이션한 결과이다.

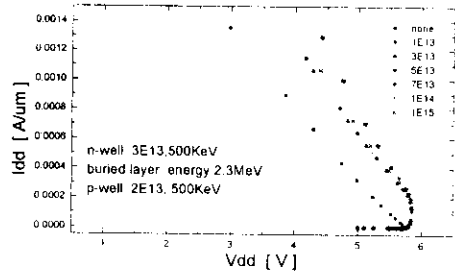


그림 3. 매몰층 도즈량 변화에 따른 래지업 trigger current

Fig. 3. Calculated latch-up trigger current versus buried layer dose

웰만을 사용한 일반적인 구조(none)와 매몰층을 사용한 구조의 특성곡선을 함께 비교하였는데, 모든 매몰층의 도즈량과 비교해 볼 때 trigger current의 차이를 명확히 알 수 있었다. 매몰층의 도즈량이 증가하면 trigger current보다는 holding current가 증가하는 것으로 나타났다. 매몰층의 도즈량 증가를 trigger current를 증가시키는 것만 저형 Rs값을 낮추기 때문이라고 사료된다.

그림 4은 n-웰은 $3 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고, p-웰은 $5 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고, 매몰층은 $1 \times 10^{14}/\text{cm}^2$ 의 도즈량으로 고정시킨 후, 매몰층 에너지만 변화를 주어 얻은 결과이다.

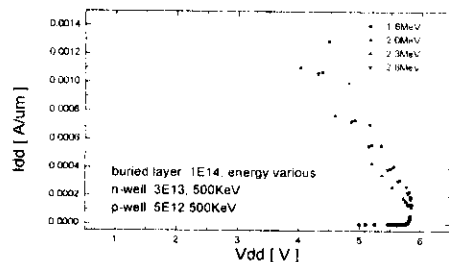


그림 4. 매몰층 에너지 변화에 따른 래지업 trigger current

Fig. 4. Calculated latch-up trigger current versus buried layer energy

그림 4에서는 2MeV로 이온주입한 것이 trigger current와 holding current값을 가장 높게 얻었다. 따라서 여기서 설정한 설계 변수 값이 배물층을 형성하여 래치업을 최소화하기 위한 최적적인 이온주입 에너지라고 사료된다.

그림 5는 n-웰은 $1 \cdot 10^{14}$ cm의 도즈량을 750KeV로 이온주입하고, p-웰은 1300KeV로 이온주입하고 배물층은 $1 \cdot 10^{14}$ cm의 도즈량을 2.3MeV로 이온주입한 후, p-웰의 도즈량만을 변화시킬때 나타낸 결과이다.

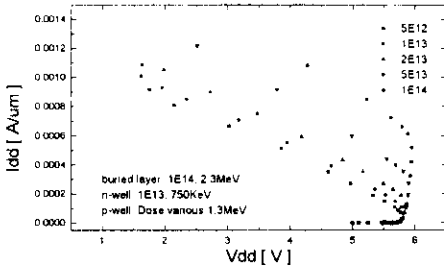


그림 5. p-웰 도즈 변화에 따른 래치업 trigger current
Fig. 5. Calculated latch-up trigger current versus p-well dose

여기서 p-웰의 도즈량이 점차 증가할수록 래치업 trigger current가 개선됨을 알 수 있다. 즉, 래치업 trigger current가 $600 \mu\text{A}/\mu\text{m}$ 이상이 됨을 확인할 수 있었다. 이것은 vss까지 연결되는 기생 저항(parasitic resistance)을 감소시킨 결과라고 사료된다.

이상과 같이 시뮬레이션 결과들을 종합하면 배물층의 이온주입 에너지를 2MeV로 하여 도즈량은 증가할수록, 그리고 p-웰과 n-웰은 이온주입 에너지가 낮고 도즈량이 높을수록 래치업 trigger current값이 $600 \mu\text{A}/\mu\text{m}$ 이상의 우수한 특성을 나타낼 수 확인하였다. 이 값은 최근 IEEE 논문지에 발표된 논문¹¹⁾에서의 결과값($450 \mu\text{A}/\mu\text{m}$)보다 훨씬 좋은 결과이다.

2. twin retrograde well을 이용한 모델

그림 6은 p-웰은 1×10^{13} cm의 도즈량을 300KeV로 이온주입하고 retrograde n-웰의 도즈량은 $1 \cdot 10^{14}$ cm로 고정한 후, 에너지만을 변화시킨 결과이다.

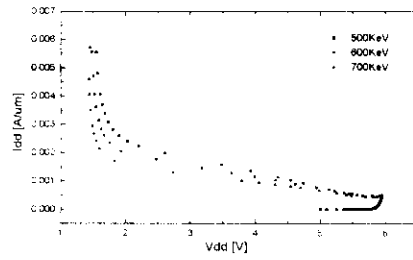


그림 6. retrograde n-well 에너지 변화에 따른 래치업 trigger current
Fig. 6. Calculated latch-up trigger current versus retrograde n-well energy

여기서 이온주입 에너지가 낮을수록 trigger current와 holding current가 낮아짐을 확인할 수 있었다. 이온주입 에너지는 도펀트 종류에 따라 변화하였고, 본 시뮬레이션의 도즈량은 인(phosphorus)으로 설정한 경우이다.

그림 7은 p-웰은 $1 \cdot 10^{13}$ cm의 도즈량을, n-웰은 도즈량을 $5 \cdot 10^{14}$ cm로 600KeV로 이온주입하고 retrograde p-웰의 에너지만을 변화시킨 특성곡선이다.

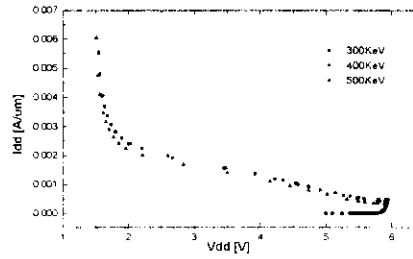


그림 7. retrograde p-well에 에너지 변화에 따른 래치업 trigger current
Fig. 7. Calculated latch-up trigger current versus retrograde p-well energy

이온주입 에너지가 낮을수록 래치업 면역특성이 향상되지만, 에너지가 400KeV 이하로 낮아지면 더 이상 차이가 없다는 것을 알 수 있다. 그림 6과 그림 7에서 알 수 있는 사실은 shallow retrograde well과 deep retrograde well의 주행거리인 Rp 값의 차이가 작을수록 우수한 특성을 보인다는 것이다. 즉, 두 Rp값의 차이가 작을수록 래치업 면역특성이 향상된다는 결론을 얻었다.

그림 8은 p-웰은 $1 \cdot 10^{13}$ cm의 도즈량을 400KeV로 이온주입하고, retrograde n-웰은 500KeV로 이온주입한 후 n-웰의 도즈량만을 변

화시킴 특성곡선이다.

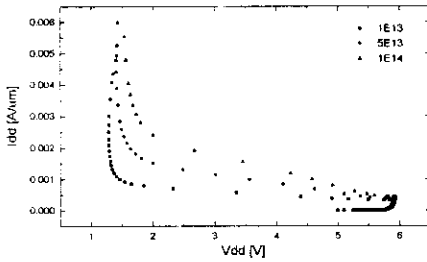


그림 8. retrograde n-well 도즈 변화에 따른 래치업 trigger current
Fig. 8. Calculated latch-up trigger current versus retrograde n-well dose

여기서는 도즈량을 증가시킬 때 래치업 holding current가 증가되는 것을 볼 수 있다.

이상과 같은 시뮬레이션 결과들을 종합하면 이온주입에너지가 웰저항인 R_w 영역에 속하면 에너지보다는 도즈량에 더 의존적임을 보여주고 있다. 전체적으로 래치업 특성은 에너지와 도즈량에 의존적이긴 하지만 도즈량에 더욱 의존함을 확인하였다.

IV. 결론

본 논문에서는 차세대 CMOS구조에서 래치업 현상을 최소화하기 위해 매몰층과 retrograde well을 조합한 모의 모델과 twin retrograde well을 이용한 모의 모델을 제안하였다. 전자는 n-웰을 retrograde well로 형성하였고, 매몰층은 이온주입 에너지가 2~2.3MeV에서 기판저항 R_s 값이 가장 작게되어 래치업 현상을 최소화할 수 있었다. 이 모델에서 얻은 trigger 전류는 $600\mu A/\mu m$ 이상이며 이는 최근 IEEE 논문지에 발표된 결과 값보다 좋은 결과이다.¹⁰⁾ 후자는 twin-retrograde well을 구성시켜 p-웰과 n-웰 모두 retrograde well로 형성하였다. retrograde p-well을 300~400KeV로 이온주입할 경우, retrograde n-well은 500KeV에서 가장 좋은 특성을 보였다. 이것은 웰저항 R_w 값을 줄여 래치업 면역 특성을 개선시킬 수 있었기 때문이라 사료된다. 그러나 도즈량을 변화시킬 때 래치업 특성곡선에 심한 차이가 나타났고 또한 도즈량이 높으면 높을수록 래치업 trigger current와 래치업 holding current가 높아짐을 확인하였다.

결론적으로, 차세대 CMOS구조에서 고에너지 이온주입 장비를 이용하여 매몰층을 설계하거나, 혹은 보다 낮은 이온주입 에너지를 사용하여

twin-retrograde well을 설계하면 래치업 현상을 최소화할 수 있다.

參考文獻

[1] K. Tsukamoto, S. Kuroi and Y. Akasaka, "High energy ion implantation for ULSI" Nuclear Instruments and Methods in Physics Research B59/60, pp.584-591, 1991.

[2] K. Tsukamoto, "Low Thermal Budget, 3.3V DRAM Manufacturing Using MeV Trifle Well Formation", Genus Semicon/west, presentation 1993.

[9] Katsuhiko Tsukamoto, Takashi Kuroi, Shigeki Komori, Yoichi Akasaka, "High Energy Ion Implantation for ULSI : Well Engineering and Gettering", Solid State Technology, June 1992.

[10] Wesley Morris, Leonard Rubin, Dirk Wristers, "Buried Layer/Connecting Layer High Implantation for Improved CMOS Latch-Up", Ion Implantation Technology - Proceeding of the Eleventh International Conference on Ion Implantation Technology, pp.796-799, June 16-21, 1996.