

# 전류 제어 비대칭 하프 브릿지 직류-직류 컨버터의 동특성 해석 및 제어회로 설계

임원석, 최병조  
경북대학교 전자공학과

## Dynamic Analysis and Control Design of Current-Mode Controlled Asymmetrical Half-Bridge DC-To-DC Converters

W.S. Lim and B.C. Choi  
Kyungpook National University

### ABSTRACT

This paper presented practical details about control-loop design and dynamic analysis for a peak current-mode controlled asymmetrical half-bridge(ASHB) dc-to-dc converter. Graphical loop gain method is used to design the feedback compensation and analyze the closed-loop performance of ASHB converter. The results of the control design and closed-loop analysis are validated by experiments on a prototype converter.

### 1. 서 론

시비율이 상보적으로 동작하는 비대칭 하프 브릿지 컨버터는 영전압 스위칭 구동이 용이하여 스위칭 손실을 최소화 할 수 있고, 도통 손실이 낮으며 출력측 필터의 크기를 작게 할 수 있어 저전압 고효율 컨버터 구현을 위해 주목받고 있다[1-2].

이 컨버터가 저전압/고전류/고속스위칭을 요구하는 정보통신기기에 본격적으로 채택되기 위해서는 컨버터의 전류제어 방식과 동특성에 관한 체계적인 연구가 선행되어야 한다. 고전류를 효율적으로 출력하기 위해서는 여러개의 컨버터를 병렬 운전해야 하고, 전류제어방식이 필수적으로 요구 된다. 또한 고속 스위칭하는 정보통신기기에 안정된 전원을 공급하기 위해서는 컨버터의 동특성이 매우 우수하고 과도응답이 빨라야 한다.

본 논문에서는 최대치 전류제어를 적용한 ASHB 컨버터의 동특성을 해석하고 제어회로를 설계한다. ASHB 컨버터의 전원단 소신호 모델로부터 전류루프 이득과 전압 루프이득을 구한다. 이로부터 도식적 루프이득 방법(Graphical loop gain method)을 통해 컨버터가 우수한 페루프 특성을 제공하도록 보상회로와 루프이득을 설계한다[5]. 설계된 루

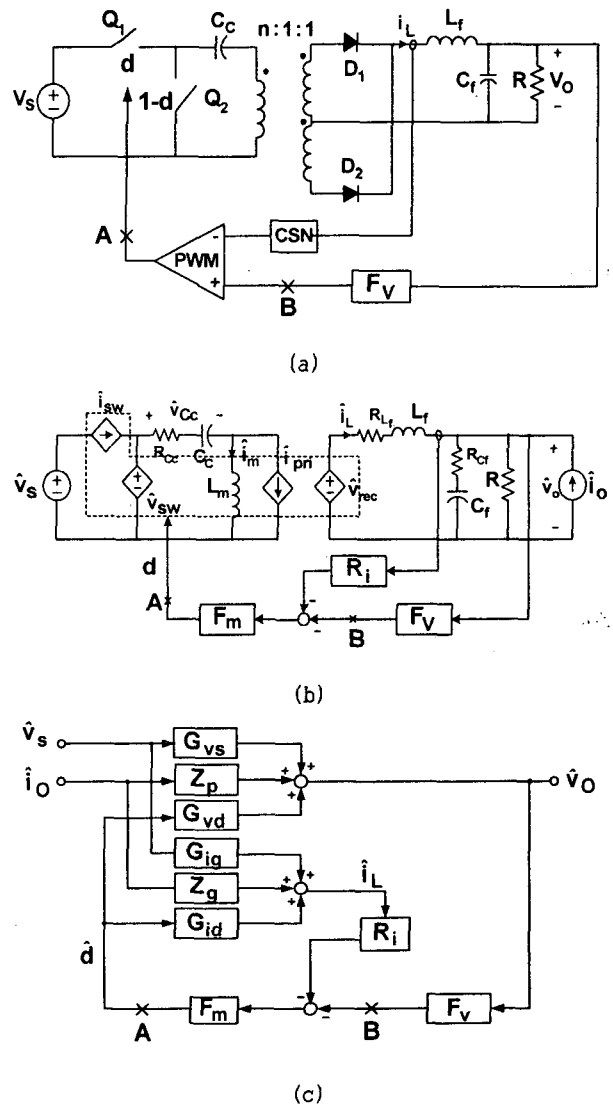


그림 1 전류제어 비대칭 하프 브릿지 직류-직류 컨버터 (a) 회로도 (b) 소신호 모델 (c) 소신호 블록선도

프이득을 이용하여 오디오 서셉터빌리티 출력출력 임피던스, 계단 부하응답을 해석하여 컨버터의 페루프 특성을 평가한다.

## 2. 최대치 전류 제어 비대칭 하프 브릿지 컨버터

### 2.1 보상회로 설계 및 루프이득

그림 1(a)는 최대치 전류 제어 방식을 적용한 ASHB 컨버터의 회로도이다. 컨버터는 전원단과 전류감지회로(CSN), 전압 보상회로(F<sub>v</sub>), 그리고 PWM블럭으로 구성되어 있다. 그림 2는 그림 1(a)를 소신호 모델로 나타낸 것이다. F<sub>m</sub>은 PWM이득이고, R<sub>i</sub>는 CSN의 이득을 나타내며 [4]에 나타낸 식을 이용하였다. 그림 1(c)는 그림 2(b)를 블록 다이어그램으로 나타낸 것이다. 전원단의 소신호 모델과 전달함수는 [3]에 자세한 유도과정이 있다.

제어 대 인덕터 전달함수는 그림 1(b)로부터 다음과 같이 유도된다.

$$G_{id}(s) = K_i \frac{(1 + s/w_{cr})(1 + s/Q_{n1}w_{n1} + s^2/w_{n1})}{(1 + s/Q_{d1}w_{d1} + s^2/w_{d1})(1 + s/Q_{d2}w_{d2} + s^2/w_{d2})} \quad (1)$$

여기서

$$K_i = \frac{2(1-2D)V_s}{n(R_{Lf} + R)}, \quad w_{cr} = \frac{1}{(R_{Cf} + R)C_f}$$

이고, 다른 변수는 [3]에 나타나있다.

그림 1(c)로부터 전류 루프 이득(T<sub>i</sub>)와 전압루프 이득(T<sub>v</sub>)는 다음과 같이 나타낸다.

$$T_i = G_{id}R_iF_m \quad (2)$$

$$T_v = G_{vd}F_vF_m \quad (3)$$

T<sub>i</sub>는 제어 대 인덕터 전류 전달함수(G<sub>id</sub>)와 dc offset 만 차이가 난다. 따라서 T<sub>1</sub>은 T<sub>i</sub>과 T<sub>v</sub>가 만나는 주파수(SO<sub>2</sub>) 이후에는 G<sub>id</sub>의 기울기를 따르므로 컨버터의 안정도를 위해 T<sub>1</sub>가 0dB를 지날 때는 -20dB/dec의 기울기로 지나도록 설계해야 한다. 이로부터 컨버터의 안정화와 동특성 향상을 위해 전압 보상회로(F<sub>v</sub>)를 다음과 같이 설계한다.

$$F_v(s) = \frac{k_m(1 + s/w_{zc})}{s(1 + s/w_{pc})} \quad (4)$$

1) ω<sub>zc</sub>는 컨버터 전원단의 공진 주파수 이전에 위치시킨다.

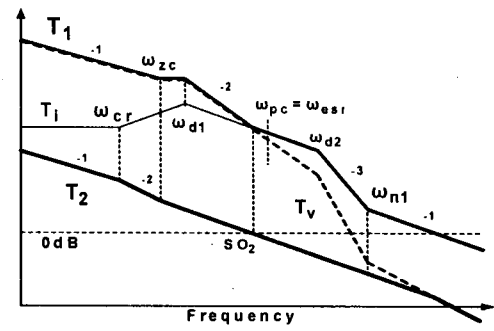
2) ω<sub>pc</sub>는 G<sub>vd</sub>의 esr영점 위치시킨다.

3) k<sub>m</sub>은 컨버터의 페루프 특성과 안정도를 고려하여 적당한 값을 선택한다. 특히 T<sub>1</sub>이 SO<sub>2</sub>에서 갑자기 급격하게 감소하는 구간이 생기지 않도록 설계한다.

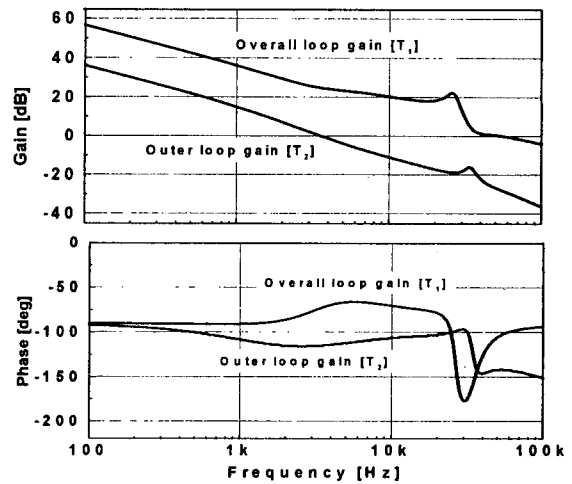
그림 1에서 "A"에서 측정된 루프 이득을 overall 루프이득(T<sub>1</sub>)이라고 하고, "B"에서 측정된 루프이득을 outer 루프이득(T<sub>2</sub>)이라고 하며 다음과 같이 표현된다.

$$T_1 = T_i + T_v \quad (5)$$

$$T_2 = \frac{T_v}{1 + T_i} \quad (6)$$



(a)



(b)

그림 2 Overall 루프이득과 outer 루프이득  
(a) 점근선 (b) 시뮬레이션

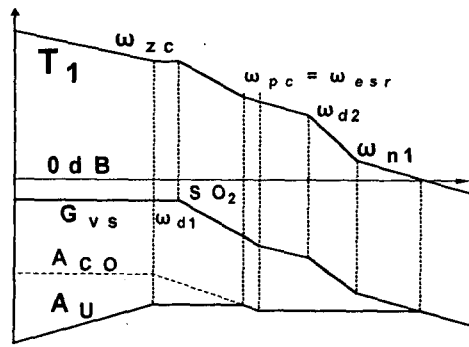
그림 2(a)에 위와 같은 방법으로 보상회로를 설계한 컨버터의 T<sub>1</sub>과 T<sub>2</sub>를 나타내었다. T<sub>1</sub>과 T<sub>2</sub>의 0dB를 지날 때 기울기는 -20dB/dec이 되도록 설계하였다. 특히 T<sub>1</sub>의 crossover 주파수는 전원단의 두 번째 공진주파수를 훨씬 지나서 나타남을 알 수 있다. 그림 2(b)는 실제로 표1에 정리된 컨버터의 회로정수를 이용하여 시뮬레이션 한 결과이다. 설계된 컨버터는 우수한 동특성과 안정된 페루프 특성을 예측할 수 있다.

### 2.2 오디오 서셉터빌리티

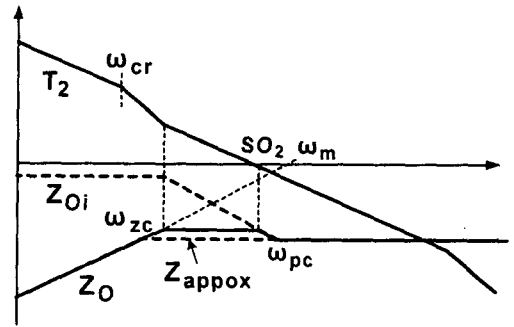
오디오 서셉터빌리티는 컨버터의 입력에 대한 출력의 비를 나타내는 전달함수이다. 그림 1(c)로부터 오디오 서셉터빌리티의 전달함수는 다음과 같이 표현할 수 있다.

$$A_U = \frac{\hat{v}_O}{\hat{v}_s} = \frac{G_{vs}(1 + T_i) - G_{ig}R_iF_mG_{vd}}{1 + T_i + T_v} \quad (7)$$

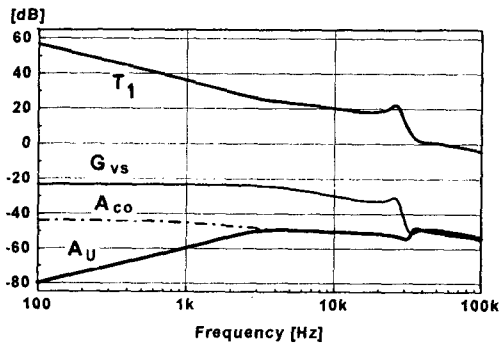
$$= \frac{G_{vs} + T_i \left( G_{vs} - \frac{G_{ig}G_{vd}}{G_{id}} \right)}{1 + T_i + T_v}$$



(a)

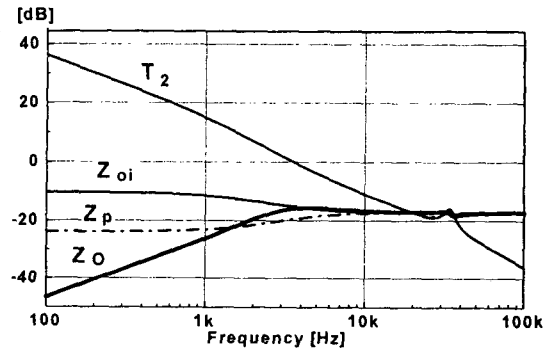


(a)



(b)

그림 3 오디오 서셉터빌리티 (a)점근선 (b)시뮬레이션



(b)

그림 4 출력 임피던스 (a)점근선 (b)시뮬레이션

여기서 하프 브릿지 컨버터는 분자의 두 번째 항이 “영”이 되므로 식 (7)은 다음과 같이 표현된다.

$$A_U = \frac{G_{vs}}{1 + T_1} \quad (8)$$

그림 3에 식 (8)을 점근선과 시뮬레이션 결과를 통해 나타내었다. 그림 3에 나타난  $A_{co}$ 는 전류루프만 닫았을 때의 오디오 서셉터빌리티이다. 전류 루프의 추가로 인해 전압제어를 적용했을 때 보다 컨버터의 페루프 특성이 상당히 향상되었다.

### 2.3 출력 임피던스와 계단부하 응답

오디오 서셉터빌리티와 같은 방법으로 출력 임피던스를 해석하였다. 그림 1(c)로부터 출력 임피던스는 다음과 같이 표현된다[5].

$$Z_O = \frac{Z_1}{1 + T_1} + \frac{\left( Z_P - \frac{G_{vd}Z_y}{G_{id}} \right)}{1 + T_2} \approx \frac{Z_{oi}}{1 + T_2} \quad (9)$$

여기서

$$Z_{oi} = Z_P - \frac{G_{vd}Z_y}{G_{id}} \quad (10)$$

이고, 사용된 가정은

$$|T_1| \gg |T_2|$$

$$\left| Z_P - \frac{G_{vd}Z_y}{G_{id}} \right| \gg |Z_P|$$

이다. 위의 조건은 본 논문에서 사용된 컨버터에 잘 부합한다. 식 (10)은 전류 루프만 닫았을 때의 컨버터의 출력 임피던스이고 그림 1(b)로부터 다음과 같이 표현된다.

$$Z_{oi} = R \frac{1 + sC_f R_{cf}}{1 + sC_f(R + R_{cf})} \quad (11)$$

여기서  $R_{cf}$ 는 작아서 무시하였다. 그림 4에 식(9)와 식 (10)을 점근선과 시뮬레이션을 통해 나타내었다.

앞에서 해석한 출력 임피던스로부터 페루프 컨버터의 계단부하 응답을 해석하였다. 그림 4(a)로부터  $\omega_{pc}$ 와  $SO_2$ 가 가까운 위치에 있으므로  $Z_O(s)$ 는 근사적으로 다음과 같이 표현할 수 있다.

$$Z_O(s) \approx Z_{approx}(s) = \frac{s}{w_m} \frac{1}{1 + s/w_{zc}} \quad (12)$$

이로부터 시간영역에서 출력전압의 계단 부하 응답식을 구할 수 있다.

$$\begin{aligned} v_o(t) &= L^{-1} \left( \frac{Z_O(s) \Delta I_{STEP}}{s} \right) \\ &= \Delta I_{STEP} \frac{w_m}{w_{zc}} e^{-w_{zc} t} \end{aligned} \quad (13)$$

여기서  $L^{-1}$ 은 역라플라스 변환을 의미한다. 그림 5는 식 (13)과 시뮬레이션을 비교한 것이다. 시뮬레이션은 ASHB 컨버터의 평균화 모델을 이용하였다. 출력 전류가 10A에서 8A로 갑자기 변할 때 출력 전압의 최대 피킹은 약 0.27V이고 settling 시간은 0.12ms 였다.

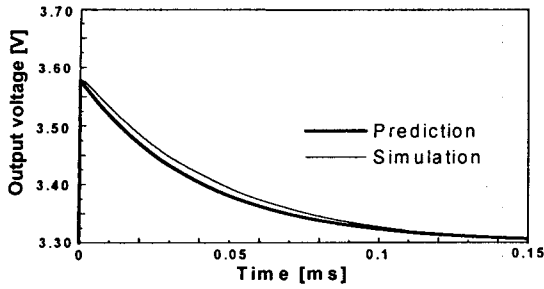
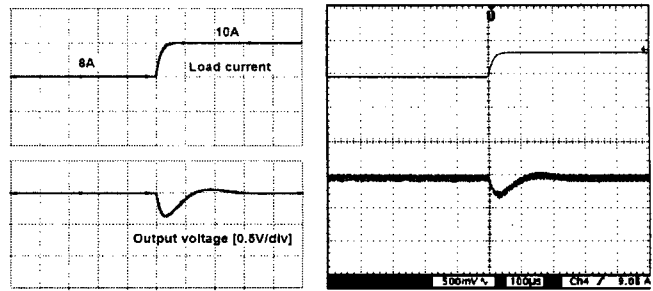


그림 5 계단 부하 응답



(a) (b)  
그림 7. 계단 부하 응답[0.1ms/div]  
(a) 시뮬레이션 (b) 실험

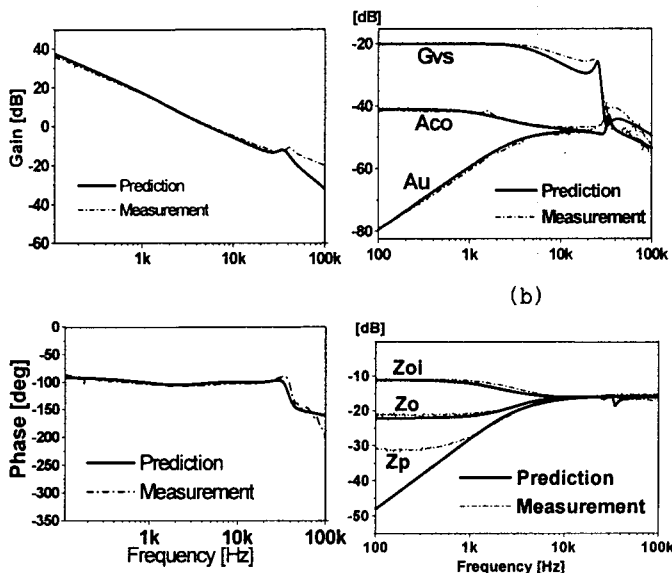
### 2.4 실험 결과

그림 6에 앞에서 분석한 이론과 표1에 정리된 회로 정수를 이용하여 실험실형 컨버터를 제작하여 측정된 결과를 나타내었다. 측정은 HP4194A 이득/위상 분석기를 이용하였다. 실험 측정상 노이즈에 의한 측정 오차를 제외하고는 모든 주파수 영역에서 이론과 실험이 잘 일치하고 있다.

그림 7은 계단 부하 응답을 평균화 모델을 이용하여 시뮬레이션 한 결과와 실험실형 컨버터를 이용하여 실험한 결과이다. 실험상에 전류가 이상적으로 무한대의 기울기로 상승하지 못하고 일정한 기울기로 변하기 때문에 시뮬레이션도 이와 같은 상황에서 수행하였다.

### 3. 결론

최대치 전류 제어 방식을 적용한 비대칭 하프 브릿지 컨버터의 제어회로 설계와 동특성 해석을 수행하였다. 도식적 루프 이득 방법을 이용하여 루프이득을 설계하였고, 컨버터의 페루프 특성을 평가하였다. 실험실형 컨버터를 이용하여 본 논문에서 사용한 해석의 타당성을 검증하였다.



(a) (b) (c)  
그림 6 실험 결과 (a)  $T_2$  (b) Au (c)  $Z_o$

표 1 실험실용 컨버터 제작에 사용된 소자값

입력	48[V] (40[V]~60[V])		
출력	3.3[V], 10[A]		
$Q_1, Q_2$	IRF3415s	$C_c$	3 [ $\mu$ F]
	$R_{ds(on)}$ :41[m $\Omega$ ]		esr:250[m $\Omega$ ]
$L_m$	13.7[ $\mu$ H]	$C_r$	185[ $\mu$ F]
			esr:240[m $\Omega$ ]
트랜스포머 권선저항	1차측: 70[m $\Omega$ ]	$L_r$	4.85[ $\mu$ H]
	2차측: 40[m $\Omega$ ]		esr: 20[m $\Omega$ ]
$D_1, D_2$	42CTQ030s	$f_s$	200[kHz]
	$V_F$ :0.38[V]		제어
n	3	IC	

본 연구는 한국과학재단 지역협력연구센터(R12-2002-055-02001-0) 부분지원으로 수행되었으며, 또한 산업자원부의 지원에 의하여 기초전력공학공동연구소 주관으로 수행된 과제(00-역-01)임.

### 참고 문헌

- [1] P. Imbertson and N. Mohan, "Asymmetrical duty cycle permits zero switching loss in PWM circuits with no conduction loss penalty", IEEE Transactions on Industry Applications, vol. 29, no. 1, pp. 121-125, Jan. 1993.
- [2] R. Oruganti, P. C. Heng, J. T. Kian Guan, and L. A. Choy, "Soft-switched dc/dc converter with PWM control", IEEE Transactions on Power Electronics, vol. 13, no. 1, pp. 102-114, Jan. 1998.
- [3] 방상현, 임원석, 강용한, 최병조, "시비율 비대칭 하프 브릿지 컨버터의 소신호 해석 및 전압제어 루프 설계", 2002 전력전자 하계학술대회, pp.538-541, 2002,
- [4] R. Ridely, B. H. Cho, and F. C. Lee, "Analysis and interpretation of loop gain of multi-loop controlled switching regulator." IEEE Transactions on Power Electronics, vol. 3, no. 3, pp. 489-498, 1988. Oct.
- [5] B. Choi "Step load response of a current-mode-controlled dc-to-dc converter." IEEE Transactions on aerospace and electronic system, vol. 33, no. 7, pp. 1115-1121, 1997, Oct.