

THD 개선을 위한 단일 단 컨버터의 설계

최남열, 이주형, 차동렬, 안찬권, 이치환
 위덕대학교 정보전자공학과

A Low THD single-stage converter

N.Y. Choi, J.H. Lee, D.R. Cha, C.G. An, and C.H. Lee
 Electronic Eng., Uiduk Univ.

ABSTRACT

본 논문에서는 THD 개선을 위한 단순한 구조의 단일 단 PFC를 제안하고 벡 컨버터에 적용하였다. 제안한 회로는 밸리-필 정류회로와 부스팅을 위한 인덕터를 결합하여 단일 능동 소자로 DC/DC 변환과 PFC를 동시에 수행한다. 제안된 회로에서의 입력전류 모양은 입력전압조건과 PWM 스위칭 시간에 관계되고, 부스팅 인덕터에 의해 능동스위치 차단시간동안 입력 전류를 제어하여 THD를 개선한다. 부스팅 인덕터 채용에 따른 동작해석과 최적 THD를 위한 인덕터를 선정하고 100W출력 단일 단 컨버터를 설계, 제작하였다. 실험에 의한 측정된 결과로 제안된 컨버터의 타당성을 검증하였다.

1. 서 론

단일 단으로 구성된 AC/DC 컨버터는 PFC+DC/DC 2단 구조와 비교하여, 낮은 원가에서 IEC 1000-3-2와 같은 고조파 규제를 만족시키는 적절한 방법이다.^[1] 일반적인 2단 구조에서, PFC는 정현파 입력전류를 얻고 정류전압을 제어하며 전압제어기는 부하에 가해지는 출력전압을 제어한다. 단일 단 컨버터는 출력전압 제어루프만 가지며, 입력전류는 독립적으로 제어될 수 없다. 대부분 단일 단 컨버터들은 원가절감의 이유로 저 전력 부분에 사용된다. 필연적으로 나타나는 전원 입력전류의 THD는 100%내외이며 고조파 규제를 만족시킬 수 없다. 특히, 전파 정류회로를 사용한 경우 역율이 0.65이하이고 THD는 90%이상이다.^[2] 단일 단 컨버터에서는 이러한 결점들을 보완하기 위해 주로 LC 필터를 추가하지만 상용주파수 영역의 인덕터 및 콘덴서는 큰 체적과 무게를 가진다.^[3] 역율을 개선하기 위한 널리 알려진 또 다른 방법은 밸리-필 정류회로이다. 이 회로에서는 콘덴서 충전전류가

크게 나타나므로 전류 THD 개선을 위해 충전경로에 인덕터나 적절한 저항을 삽입하기도 한다.^[4]

본 논문에서는 1개의 능동 소자로 DC/DC 변환과 PFC가 동시에 이루어지는 회로를 제안한다. 포워드 컨버터 및 밸리-필 정류회로를 결합하고 부스팅 인덕터를 추가하여 주어진 조건에서 최적의 THD를 얻는다. 입력전류 모양에 따른 THD를 계산하고 최소 THD를 나타내는 입력전류의 파형을 유도하였다. 제안된 회로의 동작 및 입력전류 파형을 분석하고 PWM 스위칭시 저장 콘덴서로 공급되는 전하량으로부터 THD 개선을 위한 부스팅 인덕터의 최적값을 결정하였다. 시뮬레이션 및 100W 컨버터의 실험으로 제안된 방법의 타당성을 보이고 역율 97%, THD 26%를 얻었다.

2. THD 개선 단일 단 컨버터

그림 1에서는 일반적인 밸리-필 정류회로와 전압, 전류 파형을 보인다. 저장 콘덴서 C_1 과 C_2 의 값은 충분히 크다고 가정하면 전파 정류전압이 입력전압 V_g 에 의해 상승하여 콘덴서 양단전압보다 크게되면, D_3 은 전도되어 콘덴서 충전경로를 구성하고 콘덴서 전압을 상승시킨다. 이와 동시에 부하 전류를 공급한다.

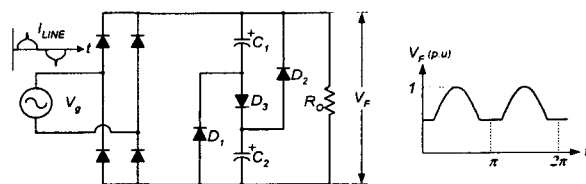


그림 1. 일반적인 밸리-필 회로와 파형

Fig 1. Conventional Valley-fill circuit and waveforms.

전파 정류전압이 첨두치에 이르면 콘덴서 C_1 과 C_2 의 양단전압은 이것의 $\frac{1}{2}$ 이다. 입력전압 V_g 가 콘덴서 양단전압보다 낮아지면, 정류다이오드들은 역

바이어스 되어 차단되고, C_1 과 C_2 는 D_1 과 D_2 를 통해 개별적인 방전경로를 구성하여 부하에 전류를 공급한다. 이 때, D_3 은 차단상태가 되고 입력전류는 흐르지 않는다. 출력전압은 V_F 로 나타난다. C_1 과 C_2 는 등가적으로 충전시 직렬, 방전시는 병렬 연결된다. 밸리-필 정류회로는 90%이상의 역율을 제공하지만, THD가 32%이상이므로 고조파항목이 IEC 61000 표준보다 크다. 또한, 출력 리플전압이 정류전압 첨두치의 50%를 반드시 초과하며 큰 리플전압을 허용할 수 있는 부하에서만 적당하다.

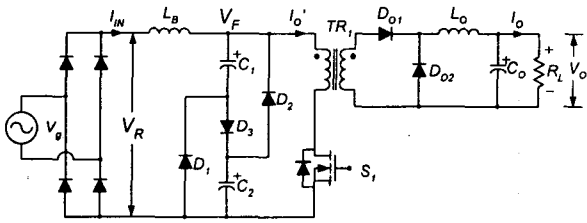


그림 2. 제안된 회로의 구조

Fig 2. Structure of the proposed circuit.

그림 2에서 제안된 회로의 구조를 보인다. 밸리-필 정류회로, 부스팅 인덕터 L_B 그리고, 1개의 능동 스위치로 구성되고, 포워드 타입 변압기로 연결된다. V_R 은 정류전압, V_0 는 직류 출력전압을 나타내고 I_0' 는 출력전류 I_0 의 변압기 1차측 등가전류이다.

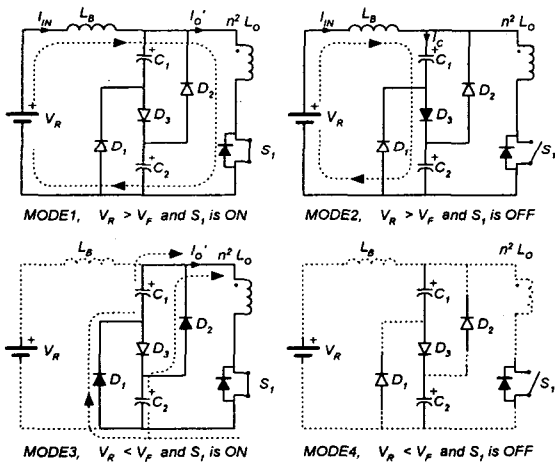


그림 3. 스위칭 사이클에 따른 모드별 회로 동작

Fig 3. Circuit operation diagrams within switching mode.

그림 3은 스위칭 사이클에 따른 제안된 회로의 동작 모드이며 다음과 같다.

모드1 : 회로의 전압 조건이 $V_R(t) \geq V_F(t)$ 일 때, 능동 스위치 S_I 은 전도 상태이며, 입력전류 I_{IN} 은 부스팅 인덕터 L_B 와 변압기를 거쳐 흐른다. 이 때 출력다이오드 D_{O1} 이 전도되며, 부스팅 인덕터 L_B 에는 인덕터 전류 I_{LB} 의 첨두치 I_{PK} 가 저장된다.

모드2 : S_I 은 차단 상태이며, 모드1때 L_B 에 저장

된 전류가 D_{O3} 을 거쳐 C_1 과 C_2 에 충전된다. 출력다이오드 D_{O1} 은 차단상태이며, D_{O2} 가 전도된다.

모드3 : 회로의 전압조건이 $V_R(t) < V_F(t)$ 일 때, S_I 이 전도 상태이며 C_1 과 C_2 의 양단전압 V_{C1}, V_{C2} 는 $V_F(t)$ 과 같다. C_1 과 C_2 는 등가적으로 병렬연결이 되며, D_1 과 D_2 를 통해 개별적인 방전경로를 구성한다. 이 때의 부스팅 인덕터 L_B 는 전도상태가 아니므로 I_{LB} 와 I_{IN} 은 0이다. 출력다이오드 D_{O1} 이 전도되고, D_{O2} 는 차단된다.

모드4 : S_I 과 변압기 1차측 모든 다이오드들과 출력다이오드 D_{O1} 은 차단되고 D_{O2} 는 전도상태이다. L_B 는 전도상태가 아니며 I_{LB} 와 I_{IN} 은 0이다.

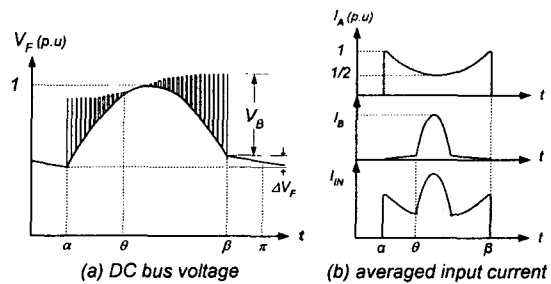


그림 4. DC bus전압과 입력전류 파형

Fig 4. Waveforms of DC bus.

그림 4는 제안된 회로에서 나타나는 V_F 전압과 평균입력전류 모양을 보인다. 그림 4(a)의 V_F 전압은 밸리-필 출력전압과 부스팅 인덕터 L_B 에 의한 부스팅 전압 $V_B(t)$ 의 합으로 나타난다. ΔV_F 는 부하에 공급되어 소모된 방전전류에 의한 변화량이며, 구간 $[\alpha, \theta]$ 에서의 부스팅 전압과 구간 $[\theta, \pi/2]$ 동안 콘덴서 충전전류 및 구간 $[\pi/2, \beta]$ 동안의 부스팅 전압으로 충전된다. 부스팅에 의한 밸리-필 전압상승은 전파 정류전압에 비해 무시할 수 있으므로 부스팅 구간 $\alpha \approx \pi/6, \beta \approx 5\pi/6$ 라고 정의한다. ΔV_F 와 콘덴서 충전-방전전류의 관계식은 다음과 같다.

$$\Delta V_F = \left| \frac{1}{C_{ch}} \int_{\alpha}^{\beta} i_{ch} dt \right| = \left| \frac{1}{C_{ds}} \int_{\beta}^{\pi+\alpha} i_{ds} dt \right| \quad (1)$$

여기서, i_{ch} 는 구간 $[\alpha, \beta]$ 에서의 콘덴서 충전전류이고, i_{ds} 는 구간 $[\beta, \pi+\alpha]$ 에서의 콘덴서 방전전류이다. C_{ch} 는 충전경로, C_{ds} 는 방전경로의 등가커패시턴스이다. 그림 4(b)에서는 구간 $[\alpha, \beta]$ 에서 나타나는 포워드 평균 입력전류 I_A 와 콘덴서 충전전류 I_B 의 모양을 보인다. 전류 I_A 의 크기는 스위치의 전도시간에 관계하지만, 정류전압의 첨두치와 최소전압의 비율이 약 $1/2$ 이므로, I_A 최대값과 최소값의 비율은 $1/2$ 이다. 전류 I_B 는 부스팅 인덕터 L_B 에 의한 충전전류 I_{BI} 및 정류기 출력전압 $V_R(t)$ 가 직렬 구성된 콘덴서 양단전압 $V_C(t)$ 보다 커지는 점화각 θ 부

터 유입되는 전류 I_{B2} 로 구성되고, 점호각 충전전류 I_{B2} 는 다음과 같이 표현된다.

$$I_{B2} = \frac{V_R \sin(\omega t)}{R - jX_C} - \frac{V_c(\theta)}{R} e^{-\frac{t-\theta/\omega}{RC}}$$

$$\approx \frac{V_R \sin(\omega t)}{R - jX_C} - \frac{V_R \cos \theta}{R} e^{-\frac{t-\theta/\omega}{RC}} \quad (2)$$

$$\approx \omega C_{ch} V_R \cos(\omega t) - \frac{V_R \cos \theta}{R} e^{-\frac{t-\theta/\omega}{RC}}$$

$t = [\frac{\theta}{\omega}, \frac{\pi/2}{\omega}]$

여기서, R 은 콘덴서와 직렬로 구성된 등가저항이다. 식 (2)으로부터, 점호각 충전전류 I_{B2} 는 콘덴서 정전용량 C_{ch} 와 점호각 θ 로써 결정되고, $V_c(\theta)$ 를 구간 $[\alpha, \theta]$ 동안 충분히 상승시킨다면 점호각 충전전류 I_{B2} 는 제거될 수 있다. 제안된 회로에서 점호각 충전전류 I_{B2} 가 제거되는 부스팅 인덕터 L_B 의 인덕턴스와 저장 콘덴서 C_1, C_2 의 정전용량을 선정하기 위해 컨버터 PWM스위칭 주파수 f_s 는 입력전압의 주파수에 비해 매우 크고, 출력전압 V_O 는 일정하다고 가정한다. 식 (1)은 제안된 회로상수를 적용하여 다음과 같이 다시 쓸 수 있다.

$$\Delta V_F = \frac{1}{C_{ds}} I_{AP} \frac{T}{2 \cdot 3} \quad (3)$$

여기서, I_{AP} 는 I_A 의 첨두치이며 T 는 V_g 의 주기이다.

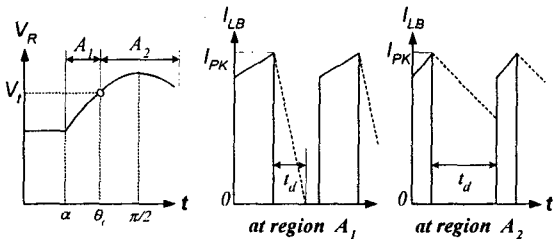


그림 5. L_B 의 전류 파형 그림
Fig 5. Waveforms of I_{LB} .

그림 5는 PWM 스위칭 주기동안의 인덕터 전류 I_{LB} 의 파형을 보인다. 일반적으로 큰 출력인덕터 L_O 의 영향으로 인덕터전류 I_{LB} 의 첨두값 I_{PK} 는 일정하며 V_R 의 변화에 따라 PWM 스위칭 펄스폭이 변화한다. 임계각 θ_i 는 전류 I_{LB} 의 하강시간이 증가하여 연속전류가 되는 시점이다. 충전시간 t_d 는 모드2에서 저장콘덴서 C_1, C_2 로 에너지가 전달되는 시간이다. 정류전압의 첨두치 $V_{RP} \approx V_C$ 이므로 충전시간 $t_d(\theta)$ 는 다음과 같이 정의된다.

$$t_d(\theta) = \frac{L_B \cdot I_{PK}}{V_C - V_{RP} \sin \theta} \approx \frac{L_B \cdot I_{PK}}{V_{RP}(1 - \sin \theta)} \quad (4)$$

임계각 θ_i 보다 낮은 불연속 전류 구간 A_1 과 연속전류 구간 A_2 에 해당하는 충전시간은 그림 5와 같이 나타

난다. 충전전류는 구간 A_1 에서는 삼각형 형태이며 구간 A_2 에서는 사다리꼴 모양이다. 임계각 $\theta_i = \pi/3$ 라 가정하면, 구간 A_1 및 A_2 는 동일한 간격을 가지며 구간 A_1 의 삼각형 면적을 구간 A_2 의 사다리꼴 면적에 합하고 이것을 크기 $I_{AP} \times t_d$ 직사각형으로 둘 수 있다. 이때 충전전하량 Q_1 은 다음과 같다.

$$Q_1 \approx 2 \int_{\theta_i}^{\pi/2} I_{PK} \frac{(1-d_m)}{f_s} d\theta$$

$$= 2 [I_{PK} \frac{(1-d_m)}{f_s} \frac{T}{2} \frac{(\pi/2 - \pi/3)}{\pi}] \quad (5)$$

여기서, d_m 은 평균 duty 이다. 식(5)의 Q_1 은 방전전하량과 동일해야하므로 다음의 식으로 표현된다.

$$Q_2 = C_{ch} \cdot (2 \Delta V_F) \leq Q_1 \quad (6)$$

부스팅에 의해 점호각 충전전류 $I_{B2}=0$ 가 되는 조건은 $Q_1 \geq Q_2$ 이다. 임계각 $\theta_i = \pi/3$ 를 만족하는 부스팅 인덕터 L_B 의 크기를 식 (4)로부터 구할 수 있다.

$$L_B = \frac{(1-d_m) V_{RP}(1 - \sin \pi/3)}{f_s I_{PK}} \quad (7)$$

식 (6)을 만족하는 경우, 임계각 $\pi/3$ 의 L_B 를 기준으로 최소 THD를 만족하는 L_B 를 선택할 수 있다.

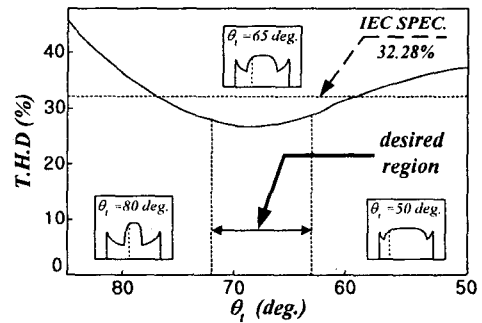


그림 6. THD와 입력전류 관계
Fig 6. THD versus waveform of line current.

그림 6은 제안된 회로에서 임계각 θ_i 에 따라 나타나는 입력전류 I_{IN} 의 모양을 보이고, THD와의 관계를 나타낸다. 시뮬레이션 결과에서 IEC 규제를 만족하는 구간은 $[58^\circ, 75^\circ]$ 이며, 최소 THD 구간은 $[63^\circ, 72^\circ]$ 이다. L_B 에 의한 부스팅 효과는 식 (2)의 $V_c(\theta)$ 를 구간 $[\alpha, \beta]$ 에서 분산하여 상승시키고, 밸리-필 전압 V_F 를 정류전압 V_R 보다 크게 한다. 이것은 PWM 스위칭 차단시간동안 L_B 에 흐르는 전류가 저장 콘덴서로 유입된 결과이다. 구간 $[\alpha, \beta]$ 동안 저장 콘덴서로 유입된 전하량이 충분히 크다면, 점호각 충전전류 I_{B2} 는 나타나지 않으며 임계각 θ_i 는 좀 더 앞서게 된다. 식 (7)에서 결정한 L_B 값은 출력인덕터 L_O 에 비해 매우 작은 값을 가진다.

3. 시뮬레이션 및 실험

제안된 방식의 100W 컨버터를 제작하였으며 시뮬레이션과 실험에서 사용한 회로상수는 $V_g=220V$, $f_s=66kHz$, $V_o=28Vdc/3.5A$, $L_B=0\mu H\sim 140\mu H$, $C_i=C_o=100\mu F$, $C_o=470\mu F$, $R_L=8\Omega$ 이다. 그림 7은 시뮬레이션에서 얻어진 입력전류 파형을 나타낸다.

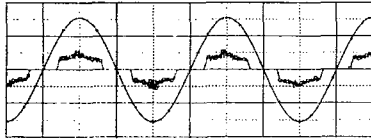


그림 7. 입력전류 시뮬레이션 결과 ($L_B=70\mu H$)

Fig 7. Simulation result of line current at $L_B=70\mu H$.

그림 8은 제작된 컨버터에서 L_B 의 값을 변화시켜 측정된 입력전류 파형이다. 그림 8(a)은 $L_B=0\mu H$ 일 때 측정된 입력전류 파형으로 콘덴서 충전전류에 의한 큰 첨두값을 볼 수 있다. L_B 의 증가에 따라 전류 파형의 첨두값이 낮아지고 큰 L_B 의 채용은 그림 8(b),(c),(d)와 같이 콘덴서 충전전류가 사라지게 한다. 또한, L_B 값의 증가로 임계각 θ_i 가 점차 앞당겨지는 효과를 볼 수 있다.

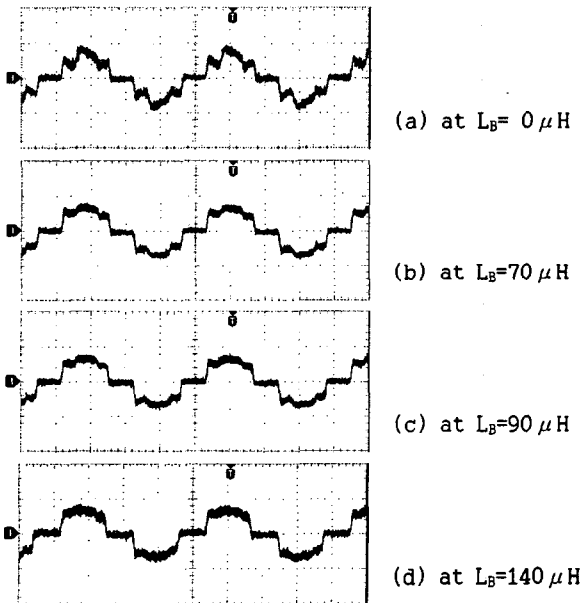


그림 8. L_B 에 대한 입력전류 파형(1A/div, 4ms/div)

Fig 8. Input current waveforms with various L_B .

그림 9는 제작된 컨버터에서 $L_B=70\mu H$ 일 때 측정된 DC bus 전압을 보인다. 부스팅에 의한 전압상승이 구간 $[\alpha, \beta]$ 에서 일어남을 알 수 있다. L_B 가 매우 작은 용량이므로 부스팅 된 전압이 입력전압의 첨두치와 유사한 크기를 가진다. 그림 10은 제작된 컨버터의 전류 THD와 역율을 보인다. $L_B=0\mu H$ 일 때, 역율은 0.94이고 THD는 33.8%를 나타낸다. $L_B=70\mu H$ 일 때, 0.97의 역율과 26%의 THD를 나타내며, IEC 61000-3-2 표준을 만족한다.

그림 6의 THD와 입력전류 관계와 동일한 경향을 보인다. L_B 는 파워드 변압기의 1차측 인덕터스에 비해 작은 값을 유지하며 컨버터의 동작에는 영향을 미치지 않는다.

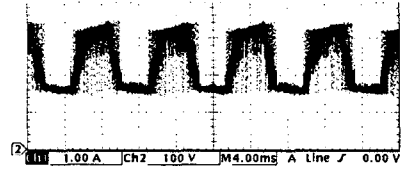


그림 9. 제안된 회로의 DC bus 전압 파형($L_B=70\mu H$)

Fig 9. DC bus voltage waveform of the proposed circuit.

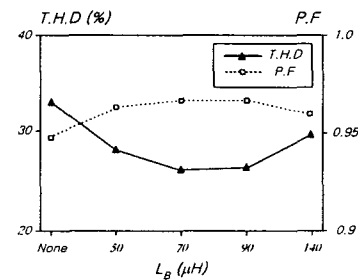


그림 10. 부스팅 인덕터에 따른 THD와 역율

Fig 10. THD and power factor versus L_B .

4. 결론

본 논문에서는 THD 개선을 위한 단일 단 컨버터 구조를 제안하였다. 밸리-필 정류회로에 부스팅 인덕터를 추가하여 벽 컨버터를 구성하였고 시뮬레이션을 통해 컨버터의 1차측 전류 파형으로부터 THD를 최소화 하는 입력전류 모양을 설정하고, 부스팅 인덕터의 크기에 따른 THD 변화를 분석하였다. 전압조건에 따른 동작해석과 최적 THD를 위한 부스팅 인덕터를 선정하여 밸리-필 정류회로의 콘덴서 충전전류를 제거하였다. 간단한 구조와 소용량의 인덕터를 채용한 100W출력 단일 단 컨버터를 설계, 제작하여 역율 0.97, THD 26%를 달성함을 보였다.

참고 문헌

- [1] C. Qiao and K. Smedley, "A topology survey of single-stage power factor corrector with a boost type input-current-shaper" *IEEE, APEC'00*, pp. 460-467.
- [2] O. García, C. Fernández, J. A. Cobos, J. Uceda, "Universal line voltage single-stage AC/DC converter" *IEEE, APEC'02*. Vol. 1, pp. 237-241.
- [3] Yong-sik Youn, Gyun Chae and Gyu-Hyeong Cho "A unity power factor electronic ballast for fluorescent lamp having improved valley fill and valley boost converter" *PEPEC'97*, pp. 53-59.
- [4] Keith Billings, *Switch-mode Power Supply Handbook*, second edition, McGraw-Hill, pp. 4.10-4.13, 1999.