

## PCB 캐패시터를 이용한 플라이백 SMPS 출력 리플 저감 대책

김태근\*, 정교범\*, 이완윤\*\*

\*홍익대학교 전기공학과, \*\*(주)오토닉스 제어계측연구소

### A utilization of PCB capacitor to reduce the output voltage ripple in Flyback SMPS

T.G. Kim\*, G.B. Chung\*, and W.Y. Lee\*\*

\*Hongik university, \*\*Autonics corp.

#### ABSTRACT

The leakage inductance of the High Frequency Transformer(HFT) in the flyback topology can be used an inductor of the Low Pass Filter(LPF) to reduce ripple and ripple noise in the output voltage. But, the values of leakage inductance and magnetizing inductance in the HFT are within  $\pm 20[\%]$ . And the operating temperature of the HFT increased by the leakage inductance. Therefore, the leakage inductance of the HFT in the flyback topology has minimum and the LPF has non-polarity ceramic capacitor in the output stage. In this paper, the LPF in the flyback topology takes PCB capacitor using double layer of PCB without non-polarity ceramic capacitor. Its experimental results show the reduced ripple noise and the reduced ripple in the output stage.

#### 1. 서 론

일반적으로 Flyback형태의 SMPS에서는 고주파 변압기의 자화 인덕턴스(Magnetizing inductance)나 누설 인덕턴스(Leakage inductance)를 출력단의 리플 저감용 인덕터로 이용할 수 있기 때문에 별도의 고주파 차단 필터를 사용하지 않는 것으로 알려져 있다. 그러나 실제 고주파 변압기의 자화 인덕턴스와 누설 인덕턴스는 제작상  $\pm 20[\%]$  정도의 오차를 가지고 있으며, 변압기에서 발생하는 열손실을 줄이기 위해 고주파 변압기의 누설 인덕턴스를 최대한 줄여서 적용하고 있다. 따라서 수십~수백 [MHz]의 주파수 대역을 가지는 SMPS 출력단의 리플 노이즈를 감소시키기 위해서는 스위칭 주파수

를 높이거나 ESR이 작은 전해 캐패시터의 용량을 늘려주는 방법이 있으며,<sup>[1]</sup> 전해 캐패시터와 병렬로 무극성 세라믹 캐패시터 등을 사용하여  $\pi$ 형의 LPF(Low Pass Filter)를 적용하고 있다.

본 논문에서는 Flyback 형태의 프레임 접지가 없는 엔크로우저(Enclosure) SMPS의 출력단에 무극성 세라믹 콘덴서를 적용하지 않고 에폭시(Epoxy) 수지를 유전체로 하는 PCB 캐패시터를 적용하여 출력 리플과 리플 노이즈를 저감하고자 한다.

#### 2. PCB 캐패시터

ANSI 등급에 의하면 절연층 구성과 특성에 따라 PCB의 등급을 FR-1, CEM-1, CEM-3, FR-4 등으로 구분한다. 이중 SMPS 등에 주로 사용하는 PCB는 CEM-1과 FR-4로써 CEM-1은 주로 단면(Single layer), FR-4는 양면(Double layer) 형태로 제작된다.

FR-4 등급의 PCB에 고속 동작의 TTL 소자나 오실레이터(Oscillator) 등을 실장하는 회로에서는 PCB상의 상부층과 하부층에 각각 전원의 (+) 패턴과 (-)패턴을 넓게 적용하여 방사 성분(RE)의 노이즈를 줄이는데, 이때 적용하는 것이 무한대 캐패시터이다. 일반적으로 수십~수백 [MHz] 대역의 고주파 노이즈는 무한대 캐패시터의 정전용량에 의해 전계강도가 감쇠되는 것으로 알려져 있다.

그림 1은 에폭시 수지를 유전체로 하는 FR-4 PCB의 단면을 나타낸다. 여기서 전극을 형성하는 윗부분과 아랫부분의 도체는  $s[\text{mm}^2]$ 의 면적을 가진 PCB 패턴이다. 또한 내부 절연물은 두께  $d$ 가  $1.6[\text{mm}]$ , 유전율  $\epsilon$ 이 약 4.7 정도인 에폭시 수지이다.

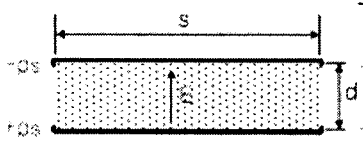


그림 1 PCB 캐패시터의 단면

식 (1)은 그림 1의 두 도체 사이의 전위차를 나타낸 것으로 윗부분의 도체와 아랫부분 도체의 전하 밀도의 크기는 같고 방향만 반대일 때이다.

$$V_o = - \int_{upper}^{lower} E \cdot dL = - \int_d^0 \frac{\rho_s}{\epsilon} dz [V] \quad (1)$$

여기서 도체판 사이의 전계 및 전하 분포가 일정하다고 가정한다면 식 (1)은 식 (2)와 같이 간략화될 수 있으며, 이때 PCB 캐패시터의 정전용량은 식 (3)과 같다.<sup>[2]</sup>

$$V_o = \frac{\rho_s}{\epsilon} d [V] \quad (2)$$

$$C = \frac{Q}{V_o} = \frac{\epsilon S}{d} [F] \quad (3)$$

일반적으로 유전재료의 유전율  $\epsilon_r$ 은 식 (4)의 범위 내에 존재하며 이때 실효 유전율(Effective Dielectric constant)  $\epsilon_{eff}$ 은 식 (5)와 같다. 따라서 공기 중의 유전율  $\epsilon_0$ 를 고려하면 PCB 캐패시터의 정전용량 C는 식 (6)과 같은 범위 내에 존재하게 된다.<sup>[3]</sup>

$$3 < \epsilon_r < 7 \quad (4)$$

$$1.5 < \epsilon_{eff} < 5 \quad (5)$$

$$1.22 C_0 < C < 2.14 C_0 \quad (6)$$

여기서  $C_0$ 는 공기중의 정전용량이다.

### 3. Flyback SMPS의 PCB 패턴 설계

일반적으로 소용량의 범용 SMPS는 출력 전원에 나타나는 리플을 출력 전압의 1[%], 리플노이즈는 1~2[%] 정도로 제한하고 있다. 따라서 출력 전압의 리플은 출력단의  $\pi$ 형 LPF에 사용되는 전해 캐패시터로 충분히 저감이 가능하다. 그러나 리플에 중첩되어 나타나는 리플 노이즈는 수십~수백 [MHz]의 주파수를 가지므로 이를 저감하기 위해서는 참고문헌 [1]에서 제시하는 방법이 있으나, 이는

단가 경쟁, 제품 크기의 제한으로 인하여 현실적으로 많은 제약이 따른다. 따라서 이러한 리플 노이즈는 출력 전원단에 고주파 특성이 좋은 무극성 캐패시터나 혹은 고주파 변압기의 권선 방법을 변경하여 저감한다. 그러나 고주파 변압기의 권선 방법의 변경은 경험적인 방법에 의존하기 쉽다는 단점을 가지고 있다. 또한 탄탈 캐패시터와 세라믹 캐패시터 등의 비교적 고주파 특성이 좋은 무극성 캐패시터는 열특성이 좋지 않은 단점을 가지고 있다.

표 1과 그림 2는 본 논문에서 적용한 Flyback의 정격 사양과 회로를 각각 나타낸다.

표 1 SMPS 정격 사양

파라미터	값	단위
입력전압 $V_s$	85~264	[VAC]
출력전압 $V_o$	24	[VDC]
정격용량 $P_o$	30	[W]
스위칭 주파수 $f_s$	132	[kHz]

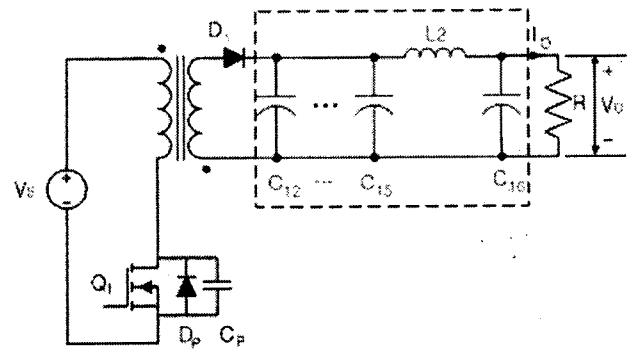


그림 2 실험에 사용된 Flyback 회로

표 2는 그림 2의 회로 중 점선내 회로에 사용된 전해 캐패시터와 인덕터의 파라미터를 나타낸다.

표 2 회로 소자 파라미터

부품명	파라미터	값	단위
전해캐패시터 ( $C_{14}, C_{15}$ )	캐패시턴스	470	[ $\mu F$ ]
	ESR	0.052	[ $\Omega$ ]
전해캐패시터 ( $C_{16}$ )	캐패시턴스	100	[ $\mu F$ ]
	ESR	0.25	[ $\Omega$ ]
인덕터( $L_2$ )	인덕턴스	26	[ $\mu H$ ]

그림 3, 4는 PCB 설계시 그림 2의 고주파 변압기 2차측의 사각형 점선내의 (+) 패턴과 (-) 패턴을 각각 나타낸다.

그림 5는 그림 3과 그림 4의 각 패턴이 겹쳐지는 부분을 나타낸 것으로 (+) 패턴은 PCB상에 bottom layer에, (-)는 Top layer에 각각 적용하였다.

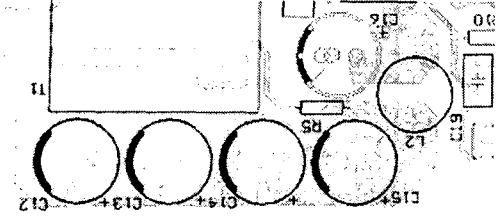


그림 3 Flyback 회로의 점선내 부분 중 (+)패턴

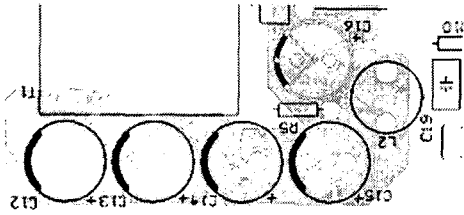


그림 4 Flyback 회로의 점선내 부분 중 (-)패턴

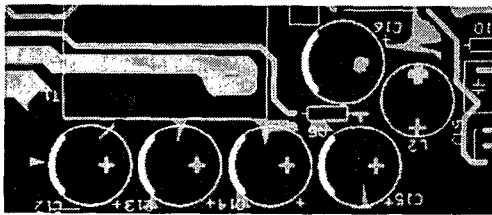


그림 5 Flyback 회로내 점선 부분 패턴

표 3은 제작된 PCB 패턴 중 고주파 변압기 2차측의 PCB 캐패시터에 대해 측정된 각 파라미터중 일부를 나타낸다.

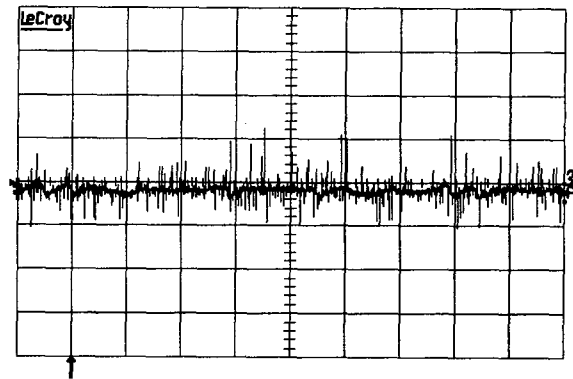
표 3 PCB 캐패시터의 파라미터

파라미터	값	단위
캐패시턴스	5.8	[pF]
임피던스	46	[M $\Omega$ ]
Q-parameter	38.4	

여기서 PCB 캐패시터의 파라미터 측정 주파수는 1[kHz]이며, 바이어스(Bias)는 1[V]이다.

## 4. 실험

그림 6은 그림 3의 Flyback 회로에 PCB 캐패시터를 적용하고 100[%] 부하로 구동할 경우의 출력 전압의 리플 및 리플 노이즈를 보인다. 실험에 적용한 SMPS의 출력 전압 리플 노이즈의 최대 요구치를 출력 전압의 2[%]인 480[mV<sub>p-p</sub>]로 제한한다면 그림 6에서 측정된 리플 노이즈는 이 범위를 만족하게 된다.

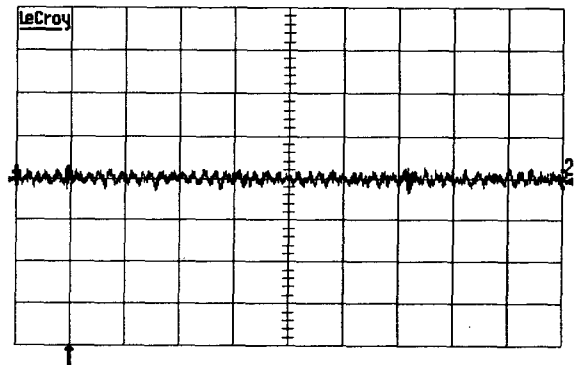


pkpk(3) 462mV  
 mean(3) 0.6mV  
 sdev(3) 14.7mV  
 rms(3) 14.7mV

그림 6 100[%] 부하시의 출력 전압 리플 및 리플 노이즈

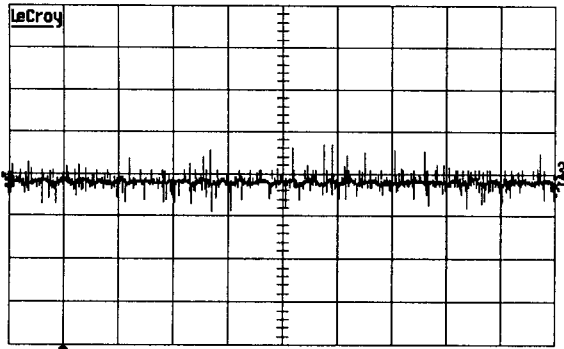
그림 7은 100[%] 부하 구동시 출력 전류의 리플을 측정된 것으로 피크-피크치가 정격 전류 1.25[A]의 2[%]내의 값을 만족한다.

그림 8, 9는 PCB 캐패시터를 적용하고 50[%] 부하시의 출력 전압의 리플 및 리플 노이즈와 출력 전류의 리플을 각각 보인다.



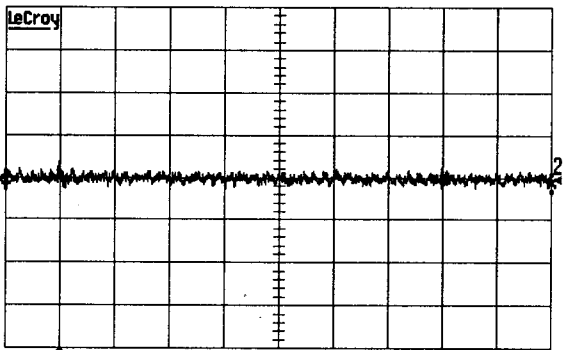
pkpk(2) 13.7 mA  
 mean(2) 0.46 mA  
 sdev(2) 1.78 mA  
 rms(2) 1.84 mA

그림 7 100[%] 부하시의 출력 전류 리플



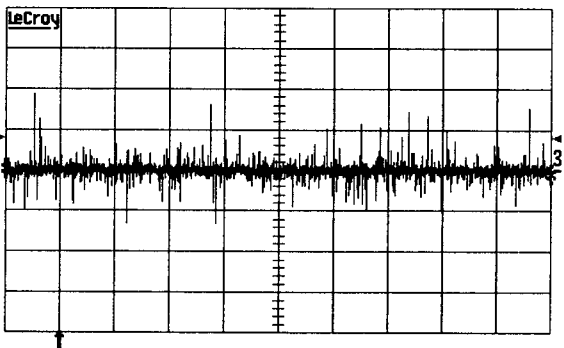
pkpk(3) 319mV  
 mean(3) 0.0mV  
 sdev(3) 9.9mV  
 rms(3) 9.9mV

그림 8 50[%] 부하시의 출력 전압 리플 및 리플 노이즈



pkpk(2) 13.7mA  
 mean(2) -0.09mA  
 sdev(2) 1.45mA  
 rms(2) 1.45mA

그림 9 50[%] 부하시의 출력 전류 리플



pkpk(3) 159.4mV  
 mean(3) -0.43mV  
 sdev(3) 3.59mV  
 rms(3) 3.62mV

그림 10 무부하시의 출력 전압 리플 및 리플 노이즈

50[%] 부하에서 측정된 출력 전압의 리플 및 리플 노이즈는 제한치의 범위내에 있으며, 출력 전류 리플도 정격 전류의 2[%] 범위내에 존재한다.

그림 10은 무부하시의 출력 전압의 리플 및 리플 노이즈를 보인 것으로 역시 리플 및 리플 노이즈의 제한 범위인 480[mV<sub>p-p</sub>]의 범위내에서 관측되었다.

## 5. 결 론

본 논문에서는 Flyback 방식을 사용한 SMPS 출력 전압의 리플 및 리플 노이즈를 줄이기 위해 PCB 캐패시터를 제작하고 실험하였다.

프레임 접지가 없는 엔크로우저 구조에서 리플 및 리플 노이즈를 줄이기 위해 적용된 PCB 캐패시터는 변압기 2차측에 사용한 전해 캐패시터와 병렬 구조를 가지므로 용량 증가에 영향을 주었으며, 극판 면적이 넓은 무한 캐패시터로 작용되어 무극성 캐패시터를 사용하여 줄일 수 있었던 리플 노이즈를 적절히 감소 시킬 수 있음을 보였다.

## 참 고 문 헌

- [1] Hidenori Kobayashi, Peter M Asbeck, "Active Cancellation of Switching Noise for DC-DC Converter-Driven RF Power Amplifiers", IEEE MTT-S Digest, pp. 1647~1650, 2002.
- [2] William H. Hayt, Jr, "Engineering electromagnetics", McGRAW-HILL, pp. 144~150, 1989.
- [3] 한국해양대학교 산업기술연구소, "한국학술진흥재단 지정 중점연구과제 중간발표 및 EMI/EMC 학술 강연회", pp. 121~123, 2002. 6.