

LC공진에 의한 단상 PFC정류회로의 연구

이상현 · 박진민 · 김영문* · 권순걸 · 서기영
 경남대학교 · 마산대학*

A Study of Single-Phase PFC Rectifier Circuit by LC Resonance

S.H.Lee · J.M.Park · Y.M.Kim · S.K.Kwon · K.Y.Suh
 Kyungnam University · Masan College*

Abstract - For small capacity rectifier circuits as these for consumer electronics and appli capacitor input type rectifier circuits are gen used. Consequently, various harmonics gen within the power system become a serious pro Various studies of this effect have been pres previously. However, most of these employ swit devices, such as FETs and the like. The absen switching devices makes systems more toleran over -load, and brings low radio noise benefi propose a power factor correction scheme using resonant in commercial frequency without swit devices. In this method, It makes a sinusoidal by widening conduction period using the cu resonance in commercial frequency. Hence, harmonic characteristics can be significantl imp where the lower order harmonics, such as the and seventh orders are much reduced. The resu confirmed by the theoretical and experm implementations

다. 고조파저감을 목적으로 입력리액터 L, 공진용 커패 시터 C_1 , C_2 를 사용하여 입력전류를 상용주파수로 공진 시켜 정현파화하고, 통전각의 넓은 입력전류를 얻고자 한다. 평활을 필요로 하는 부하측에는 커패시터용량C를 크게 하면 된다. 이러한 공진용 커패시터를 다이오드에 병렬로 접속해서 입력리액터 L과 공진을 시켜서 정현파 의 전류를 얻는다고 할 수 있다. 기존의 배전압 정류회 로를 개선시킨 제안회로는 각 모드마다 커패시터전압은 0[V]까지 방전하여 통전각이 넓어져 입력전류의 파형을 정현파화 하기 용이한 장점이 있다.

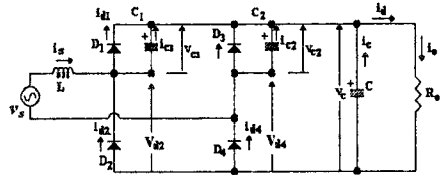


그림 1. 제안한 회로의 구성도
 Fig. 1. Proposed circuit configuration

1. 서 론

최근, 가전제품·OA기기 등에 보급되는 직류 정류회로 에는 커패시터입력형 단상정류회로가 많이 이용되어지고 있다. 이러한 정류회로는 역률이 나쁘고 여러 가지 고조 파를 발생시키기 때문에 전력계통에 중대한 장애를 끼치 고 있다. 또한 산업용전기기에 여러 가지 스위칭소자 들을 사용하면서 더욱더 전력계통의 고조파가 증대되어 지며, 입력전류를 정현파화하기 위해서 많은 비용부담이 든다. 이러한 문제점들을 해결하고자 스위칭 소자를 사 용하지 않고 고조파를 저하시키는 고역률 단상 정류회로 가 연구되어지고 있다. 본 논문에서는 일반적으로 사용 되어지는 배전압 단상 정류회로에 착안하여 LC 공진회 로를 첨가하여, 고조파의 성분을 저감시키는 고역률 단 상 정류회로를 제안하고자한다. 제안한 회로는 다이오드 브릿지에 병렬로 커패시터를 접속하고 입력에는 인덕터 L을 추가해서 상용주파수의 LC공진현상을 이용하여, 수 동소자만으로 입력전류를 정현파화하고자 한다. 이러한 모든 사항은 시뮬레이션 결과 및 실험 결과를 분석하여 파라미터의 특성을 서술하고자 한다.

2. 단상 PFC정류회로

2.1 회로 구성 및 동작원리

그림 1은 제안한 단상 정류회로 구성도를 나타낸 것이

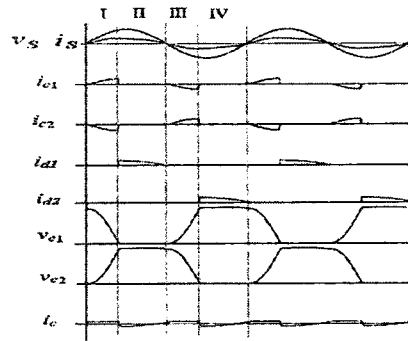


그림 2. 동작 파형(역률1 일때)
 Fig. 2. Operating waveforms
 (unity power factor)

그림 2는 제안회로의 각부 이론적 파형을 나타낸다. 입력전류 경로를 모드 I ~ IV로 나누어서 각 회로동작을 설명하면 다음과 같다.

Mode I: V_s 가 0[V]보다 상승하며, 커패시터 전 $v_{C2}=0$ 되는 모드이다. 이 때 모드 I의 폐회로에서 i_s 는 즉시에 통전하며, C_2 의 전압 v_{C2} 가 상승하는 동시에 C_1 의 방전이 끝나는 기간임을 알 수 있다. 이 기간 부하측 에서는 모드 IV에서 충전된 C가 방전하고 부하에 전력 이 공급된다.

Mode II: 커패시터 전압 v_{c1} 이 0[V]로 되면, 다이오드 D_1 가 도통하는 모드이다. 이때 그림 2의 동작 파형에서 알 수 있듯이 i_{c1} 과 i_{c2} 파형은 대칭 파형으로 $i_{c1} = -i_{c2}$ 가 성립한다. 또 $C_1 = C_2$ 는 같기 때문에 한쪽의 방전기간과 다른 쪽 충전기간은 같게 되며, $v_{c1} = 0[V]$ 가 되어 다이오드 D_1 이 도통할 때에 $v_{c2} = v_c$ 이 같게 되어 다이오드 D_4 도 도통했어 부하측에 전력이 공급된다. 입력 전류 i_s 가 0이 되는 기간이 끝난다.

Mode III: 입력전류 $i_s = 0$ 에 있어서 적절한 회로정수서는 $V_s = 0[V]$ 이며, 전원 V_s 가 반전되는 모드이다. C_2 쌓여진 전하가 방전하여 C_1 로 이동한다 즉 i_{c2} 가 방전하여 v_{c1} 가 상승하며 모드 I과 같은 동작이 행하여지는 기간이 끝난다.

Mode IV: v_{c2} 가 0까지 방전하며 동시에 $v_{c2} = v_c$ 로 되는 기간이 시작되며, 모드 II와 같은 동작이 행해진다.

2.2 회로방정식

제안회로에 있어서 모드 I은 다이오드에 병렬로 접속된 공진 커패시터가 도통하는 기간으로 (1)식이 성립된다. 또한 부하에 전력을 공급하는 모드 II에는 (2)식이 성립한다.

$$\begin{aligned}
 V_s &= r i_s + L \frac{di_s}{dt} - v_{c1} + v_{c2} \\
 i_{c1} &= -C_1 \frac{dv_{c1}}{dt}, \quad i_{c2} = -C_2 \frac{dv_{c2}}{dt} \\
 i_{c1} &= i_s, \quad i_{c2} = -i_{c1} \\
 i_c &= -C \frac{dv_c}{dt}, \quad v_c = R_0 i_0 \quad (1)
 \end{aligned}$$

$$\begin{aligned}
 V_s &= r i_s + L \frac{di_s}{dt} + v_c \\
 i_c &= -C \frac{dv_c}{dt} \\
 v_c &= R_0 i_0 \\
 i_0 &= i_c + i_d \quad (2)
 \end{aligned}$$

단, $v_{c1} < 0$ 일때 $v_{c1} = 0$

$v_{c2} < 0$ 일때 $v_{c2} = 0$

r은 선로저항

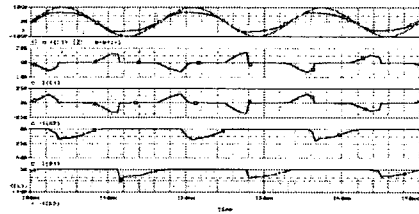
2.2 시뮬레이션 결과 및 고찰

회로의 모드별 동작과 전원회로의 적절성 및 전력변환의 안전성을 실험에 앞서 살펴보기 위하여 시뮬레이션을 실시하였다. 표 1은 제안한 회로에 사용된 정수값이다. 여기에 사용된 각 소자는 이상적인 것으로 사용하였다. 그림 3은 각 부 시뮬레이션 파형을 나타낸 것이다. 그림 3의 동작 파형에 있어서 입력전류 i_s 는 커패시터 C_1 로부터 흐르는 충·방전 전류 i_{c1} 과 충·방전이 끝나서 다이오드에 전류(轉流)해서 흐르는 i_{d1} 의 전류로 구성되어지는 것을 알 수 있다. 그림 4는 제안한 정류회로의 입력

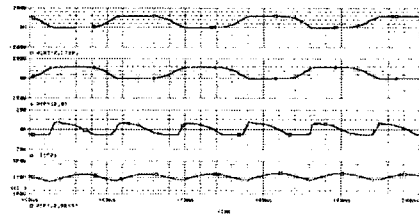
전류 고조파 성분을 분석한 결과를 나타낸 것이며, 표 2는 제안한 방식의 고조파 제어 가이드라인 한도값을 비교 표시한 것이다.

표 1. 제안한 회로에 사용된 정수
Table 1. Parameters using proposed c

| | |
|---------------------|-------------------------------|
| 입력전압 (V_s) | 단상100[V]/60[Hz] |
| 인덕터 (L) | 16[mH] |
| 커패시터 (C_1, C_2) | 230[μ F] |
| 커패시터 (C) | 4700[μ F] |
| 부하저항 (R_0) | 6[Ω]~100[Ω] |



(a)



(b)

그림 3. 각 부 시뮬레이션 파형

Fig. 3. Waveform of simulation for each m

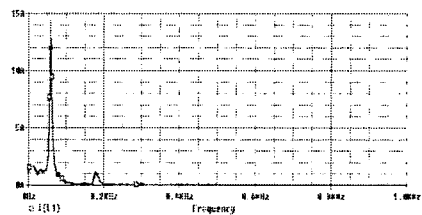


그림 4. 입력전류에 대한 주파수 스펙트럼

Fig. 4. Frequency spectrum for input cur

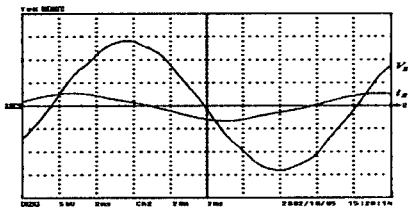
표 2. 고조파제어 대책 가이드라인의 비교
Table 2. Comparison with Guide line limit value

| | 제안형전류[Arms] | Class A한도치[Arms] | 제안형/한도치[%] |
|----------|-------------|------------------|------------|
| 제3차 고조파 | 1.06 | 8.06 | 13.15 |
| 제5차 고조파 | 0.18 | 3.68 | 4.79 |
| 제7차 고조파 | 0.04 | 2.58 | 1.55 |
| 제9차 고조파 | 0.04 | 1.24 | 3.06 |
| 제11차 고조파 | 0.00 | 1.00 | 0.00 |
| 제13차 고조파 | 0.01 | 0.70 | 1.29 |

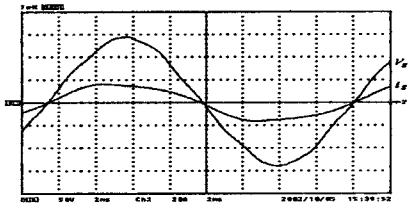
제3차 고조파는 그 밖의 고조파와 비교해서 크게 나타나지만 고조파제어 가이드라인 Class A의 제 3차 고조파값이 약 13[%]정도의 크기가 되어 그 이외의 고조파는 거의 가이드라인 값의 5[%]미만이 되는 것을 할 수 있다. 그러므로 제한한 회로는 고조파제어 가이드라인 한도값보다 하향하는 결과를 얻을 수 있다.

2.3 실험결과 및 고찰

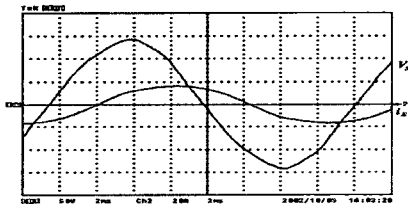
그림 5에 입력전압과 입력전류의 파형을 나타낸 것이다. 입력 전압 100[V]로 $L=16[mH]$, $C_1 (C_2)=230[\mu F]$, $C=470$ μF 출력 1[kW]일 경우, 입력 역률은 99[%], 효율은 90[%] 정도로 되었다. 손실은 주로 공진용 전해커패시터의 충방전 전류 때문에 발생한다. 그림 5(a)와(c)에 나타난 것처럼 경부하시에는 전류의 위상이 전압의 위상보다 앞서고 반대로 중부하시에는 뒤진다. 이것은 유도기열등에서 나타나는 LC공진현상과 같으며 $\cos \phi = 1$ 부근에서 최대의 전력이 부하로 유입된다.



(a)



(b)



(c)

그림 5. 입력전압 및 입력전류 파형
Fig. 5. Waveforms of input voltage and current

그림 6은 부하저항을 변화할 때의 역률, 출력전압의 측정결과를 나타낸 것이다. 그림 6과 같이 부하저항을 100[Ω]으로부터 6[Ω]정도까지 감소시킬 때 각 컵의 최대점을 갖는 것을 알 수 있다. 그리고 부하저항이 20 [Ω]일 때 역률99[%], 출력이 약1[kW]로 되며, 각 최대치를 중심으로 좌측의 경부하때에는 위상이 진상이고, 저항이 작은 우측에서는 위상이 지상이 되어 역률은 저하

되고 공진커패시터 C_1 과 공진인덕터L의 변화에 따라 출력 리플의 영향이 작다는 것을 알 수 있다.

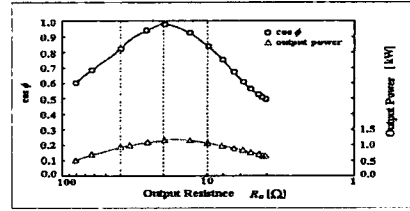


그림 6. 역률과 출력전력의 특성
Fig. 6. Characteristics of power factor and output power

3. 결 론

- 제한한 회로는 다음과 같은 결과를 얻을 수 있다.
- 1) 온, 오프 스위칭 소자를 사용하지 않고 입력전류 파형을 개선하였다.
 - 2) 스위칭에서 발생하는 손실 및 노이즈를 저감시켰다.
 - 3) 트랜지스터등의 스위칭 소자에 이용되는 구동용 전원회로가 불필요하기 때문에 비용이 저감된다.
 - 4) 출력측이 단락해도 출력측에 단락전류가 흐르지 않고 전력수하특성이 얻어진다.
 - 5) 결점은 큰 교차 전류가 병렬 커패시터를 통해 다이오드로 흐르는 것이다.

이러한 결과에 의해서 제한회로는 상대적으로 안정하고 일정한 부하에 가장 적합하며, 회로보호작용을 필요로 하는 곳에 응용되어 진다면 유용할 것이라 사료된다.

감사의 글

이 논문은 2003학년도 경남대학교 부설 연구소 연구비 지원에 의하여 쓰여진 것임.

[참 고 문 헌]

- [1] 資源エネルギー 庁公益事業部: 「家電・汎用品高調波制御対策ガイドライン」, 2000
- [2] 高橋勲・池下亘: 「単相整流回路の入力電流波形改善」, 電学論B, Vol.105, pp.174-180, 1998
- [3] 松井景樹・坪井和男, 他: 「中間タシプ付きリアクトルを用いて高調波を低減する単相整流回路」 同上 D, Vol.109, pp. 905-1001, 2001
- [4] 松井景樹・坪井和男・小林篤・福田朋悟・武藤三郎: 「低次高調波を低減する単相整流電源回路の検討」, 電気学会全国大会, pp.579, 2001
- [5] 山本勇・松井景樹: 「2分割電流入入方式による高力率単相整流回路」 電学論D, Vol. 121, No.2, 2001
- [6] 高橋勲・堀和字: 「バツツパ素子を用いたダイオード整流回路の入力電流波形改善」 電学論D, Vol.119, 1号, pp.13~18, 1997