

전력계통용 대용량 사이리스터의 가속열화 시험법

서 길수, 김 상철, 김 형우, 김 남균, 김 은동  
한국전기연구원, 전력반도체그룹

Accelerated Deterioration Test Method of High Power Thyristor for HVDC

K.S. Seo, S.C. Kim, N. K. Kim, H. W. Kim, E. D. Kim  
Power Semiconductor Group, Korea Electrotechnology Research Institute.

**Abstract** - 본 논문에서는 현재 대용량 전력변환 소자인 사이리스터는 해남-제주간의 HVDC변환소에 채용되어 운전중에 있고, BTB 및 SVC등에 채용되고 있으며, 향후 FACTS, 남북 전력계통연계, 동북아 계통연계 등 전력변환용으로 사용될 부품으로 사용범위가 날로 증가하고 있는 2,208개의 사이리스터의 수명 및 신뢰성을 평가하기 위해 고온직류 blocking 가속열화시험조건에 대해서 기술하였다.

1. 서 론

현재 대용량 전력변환 소자인 사이리스터는 해남-제주간의 HVDC변환소에 채용되어 운전중에 있고, BTB 및 SVC등에 채용되고 있으며, 향후 FACTS, 남북 전력계통연계, 동북아 계통연계 등 전력변환용으로 사용될 부품으로 사용범위가 날로 증가하고 있으며, 최근에는 IGBT등의 채용이 검토되고 있는 추세이다.

대용량 전력변환소자진단기술의 개발로 기술적 측면에서는 현재 운용중인 HVDC 변환시스템의 안정성 향상, 향후 도입될 2기 HVDC와 계통연계를 이한 전력변화 시스템에 적용, 대용량 사이리스터의 신뢰성 향상, HVDC, BTB 및 SVC변환시스템의 효율적인 유지보수, 국가전력인프라의 보수유지기술 자립이 가능하고, 산업,경제적측면에서는 HVDC변환시스템의 유지보수비용 절감 및 안정적인 운용, FACTS 및 동북아 계통연계 등에 사용될 전력변환소자의 안정적 운용 및 유지비용 절감, 전철 및 지하철 등의 수송시스템의 안정적인 운전가능하다. 그리고 정책적 측면에서는 HVDC변환시스템용 사이리스터소자의 수명예측을 통한 효율적인 고장대책 수립 가능 및 향후 전력변환소자를 이용한 전력계통운용능력이 확대된다. 발전소, 송배전분야, 전력저장 및 배전분야에서의 대용량 사이리스터의 응용이 확대되고 전력설비 유지보수회사의 유지보수기술의 합리화, 전철 및 지하철등 국가 기간산업의 on-line 및 off-line 감시진단에 활용할수 있다.

국내의 해남-제주간 HVDC link는 제주도 안정적 전력공급, 전력사업 수지개선, 직류송전 기술축적 및 종합 정보통신망(ISDN)용 회선확보를 목적으로 1994년 2월 변환설비 공사를 완료하여, 1998년 상업운전을 개시하였다. 정격전압 및 용량은 DC±180kV, 300MW이고, 변환용 변압기, 사이리스터 밸브, 고조파 필터, 전력용 콘덴서, 동기조상기, 직렬 리액터, 분로 리액터, 전극소로 구성되어 있다. 사이리스터 소자는 총 1,104개이며, 정격은 전압 6,000V, 전류 4,500A이고, 사용전압 1,000V, 사용온도 38℃(케이스 온도), 77℃(접합부 온도)이다. 상업운전을 개시한 후 5년이 경과하였으며, 해남, 제주변환소의 사이리스터 2,208개중 1998년 1개, 2000년 1개, 2001년 1개, 2002년 2개 소자는 경년변화에 의한 열화로 일부소자의 노후고장이 발생하고 있으며, 해가 거듭될수록 가속될 것으로 전망된다.

따라서 단기적으로는 해남-제주간의 HVDC변환설비의 안정적 운용과 유지보수 기술확립 및 고장대책을

세우기 위한 전력변환소자의 수명진단기술개발, 장기적으로는 전력계통용 전력변환소자의 신뢰성 진단프로그램이 필요하다. 또한 HVDC용 대용량 사이리스터의 수명 및 신뢰성평가에 대한 기술은 일본에서는 2003년 전기협동연구의 "전력계통용 power electronics 설비의 현황과 설계,보수기준" 보고서[1]에서 신신동 1호 FC와 HVDC 1극의 사이리스터를 가속열화시험한 결과를 보고하고 있으며, 동경전력의 M. Sampei가 Hokkaido-Honshu HVDC link에 사용하고 있는 사이리스터의 safety factor test 결과[2]를 발표한 것이 있으며, ABB 및 Zimens제조사로부터는 자료를 입수하기 어려운 실정이다.

현재 해남-제주 변환소에서 사용하고 있는 free floating type 대용량 사이리스터의 신뢰성평가 및 진단을 위해서는 우선 사이리스터의 열화에 의한 변동특성을 측정할 수 있는 사이리스터 특성 평가장비를 필요로 하고, 사이리스터 수명은 30년이상이므로 이를 열화시켜 특성을 평가하려면 가속시험기법 및 시험평가기술을 필요로 한다.

가속시험은 "가혹한 조건하에서 고장 메카니즘을 촉진시켜 그 수명 및 통상사용조건에서의 수명의 둘사이에 존재하는 규칙성을 이용해"라고 하는 것이 중요하다. 이것은 고장메카니즘, 고장 mode가 동일하지 않으면 가속시험으로서의 유효성이 없다는 것을 의미한다. 가속요인 스트레스로서는 환경 stress(온도, 습도, 진동, 용력 등)이나 전기적 stress(전압, 전류등)등이 있지만 이들 가속인자가 어느 정도까지 가속할수있는지 가속의 한계를 확인하는 것이 중요하다.

2. 대용량 사이리스터의 고장

사이리스터의 고장은 다음과 같이 분류할 수 있다.

- (1) 초기고장 : 수명의 초기에 발생하는 고장으로서 소자의 제조공정상의 결함에 의한 것이 많다. 예를 들면 주위의 습도, 산소등의 불순물이 침입에 의한 표면특성의 열화에 의한 내압저하, 리드선의 접촉불량에 의한 부동작이나 이상온도승에 의한 단락고장등이다. 이러한 종류의 고장은 기계적인 진동, 충격시험, 열싸이클, 열충격시험, 전기적으로는 전압인가시험, 전력통전시험(연속, 단속), 기밀시험등의 screening에 의해 제거하는 것이 가능하다. 특히 전력용 디바이스는 개별적으로 상기시험을 실시해 관리하기 때문에 이러한 종류의 고장은 작다.
- (2) 돌발고장 : 돌발적으로 파괴되는 고장으로 리드선의 단선, 접합파괴에 의한 단락고장등이다. 이 고장에는 전술한 초기고장, 또는 후술할 열화고장이 진행된 경우도 있다. 전력용 디바이스는 그 특성이상시에는 적용회로상 저 임피던스에 이르는 경우가 많기 때문에 대전류가 흘러 접합의 용해단락이나 리드선의 단속 open에 도달하는 경우가 많다. 이 경우 디바이스의 기능은 완전히 상실한다. 이 고장은 불규칙적으로 발생해 사전에 예측하는 것이 어렵다.
- (3) 열화고장 : 디바이스의 특성이 서서히 변화해, 적용

회로상 지장을 초래해 고장으로 된다. 예를들면 트랜지스터에서는 직류전류증폭을  $h_{fe}$ 가 저하해 소정의 전류가 흐르지 않고, collector 차단전류  $I_{CBO}$ 가 증대하고 발열량 증가에 의해 thermal runaway 등이다.

(4) 마모고장 : 일반 기구부품과 달리 기계적 마모부가 없기 때문에 현재까지의 전력용반도체다이오스에는 마모고장시간에 도달한 것은 보고, 관측되지 않았다. 금속부의 습기에 의한 부식, 전식등에 의해 결정되는 것이 있지만 전력용 다이오스는 그 구조형상에서 상당히 긴 값으로 추정되고 있다.

HVDC용 전력용 사이리스터의 열화모드에는 사이리터의 off 전류증가에 의한 on 전압특성과 마찬가지로 열화한 상태를 말한다. 열화모드를 유발하는 원인을 고장의 메카니즘이라 하며, 동일 열화모드에는 여러종류의 고장 메카니즘이 있다. 고장메카니즘은 사이리스터가 화학적, 물리적 반응변화의 과정이다. 이 반응변화를 증가/가속시키는 것이 스트레스로 기계적, 열적, 전기적스트레스 및 습기, 환경등이 있다. 기계적 스트레스는 정적인 힘, 충격, 진동 및 압력이 있으며, 열적 스트레스는 정적, 충격 및 주기적인 것으로 나누어진다. 전기적 스트레스는 전압, 전류 및 전력으로 나누어진다.

고장모드와 발생하는 현상으로는 표 1과 같다.

표 1 사이리스터의 열화에 의한 변동특성

특성항목	기호	특성의 변동 경향	고장모드, trouble현상
Off 전류	$I_{DRM}$	▲	전류증가에 의한 내압저항, 전압분담이상
역전류	$I_{RRM}$	▲	
on 전압	$V_{TM}$	↑	
gate trigger 전압	$V_{GT}$	▲	trigger되지 않음, 출력이상, 전류실패
gate trigger 전류	$I_{GT}$	▲	trigger되지 않음, 출력이상, 전류실패
gate 비trigger 전압	$V_{GD}$	▲	
gate 비 trigger 전류	$I_{GD}$	▲	
turn on 시간	$t_{gt}$	▲	switching 불량(비균일성), overshoot
turn off 시간	$t_q$	▲	tail current
역회복시간	$t_{rr}$	▲	재점호 가능 -> 파괴
유지전류	$I_H$		
임계 off 전압상승율	$dV/dt$		열화 -> 스위칭 불량
열저항	$R_{th}$	↑	

### 2.1 사이리스터의 경년특성변화

순방향 누설전류가 역방향 보다 현저하게 큰 것은 그림 1에 나타난 것으로 설명된다. 순방향 전압인가시에는 중앙의  $J_2$  접합근방에 전계가 존재하는 공핍층이 발생한다. 이 공핍층을 가로지르는 접합 누설전류  $I_r$ 이 발생한다. pnp transistor 부의 base 전류  $I_{B1}$ 은 다음 식으로 주어진다.

$$I_{B1} = (1 - \alpha_{12}) \times I_r - I_{CO1}$$

여기서  $\alpha_{12}$ : pnp transistor 전류증폭율,  $I_r$ : 사이리스터 전체의 누설전류,  $I_{CO1}$ :pnp transistor 차단전류이다.

또 npn transistor의 collector 전류  $I_{C2}$ 는 다음식으로 된다.

$$I_{C2} = \alpha_{32} \times I_r + I_{CO2}$$

여기서  $\alpha_{32}$ : npn transistor 전류증폭율,  $I_{CO2}$ :npn transistor 차단전류이다. 또

$$I_{B1} = I_{C2}, I_{CO1} + I_{CO2} = I_r$$

이므로 사이리스터 전체의 누설전류  $I_r$ 은

$$I_r = I_f / (1 - (\alpha_{12} + \alpha_{32}))$$

로 된다.

또  $(\alpha_{12} + \alpha_{32})$ 가 1에 가까워지면 순방향 누설전류는 비정상적으로 증가하게 된다.

한편 역방향전압인가시에는 anode 측의  $J_1$ 접합근방에 공핍층이 발생한다. pnp transistor부의 collector 전류  $I_r$ 은 다음 식으로 주어진다.

$$I_r = \alpha_{12} \times I_{B1} + I_{CO1}$$

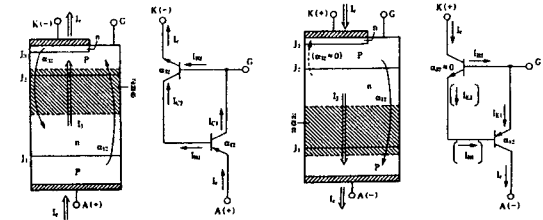
여기서  $I_{B1}$ : pnp transistor부의 emitter 전류, 또 npn transistor부는 전류증폭작용은 없고( $\alpha_{23} = 0$ ), collector 전류  $I_r$ 은

$$I_r = I_{B2}, I_{B1} = I_{B2}, I_{CO1} = I_r$$

여기서  $I_{B2}$ : npn transistor 부 base 전류이므로, 사이리스터 전체의 누설전류  $I_r$ 은

$$I_r = I_f / (1 - \alpha_{12})$$

로 된다. 또 전류증폭을  $\alpha_{12}$ 가 1에 가까워지면 역방향누설전류는 증가하지만 순방향보다도 작다.



(a) 순방향전압인가시 (b) 역방향전압인가시  
그림 1 순,역방향전압인가시 사이리스터의 기본모델

### 2.2 사이리스터 단부 모델

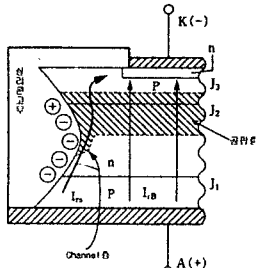
고온직류 blocking 시험으로 사이리스터의 누설전류가 경시변화되어 증가하는 현상에 관해서는 그림 1에 나타난 사이리스터의 단부근방 model로 설명할 수 있다.

순방향전압인가시에 중앙의  $J_2$ 접합, 역방향전압인가시에는 anode 측의  $J_1$ 접합을 끼워 공핍층이 발생한다. 공핍층이 발생한 pn접합이 역 bias 되므로 이것을 횡단하는 작은 역방향 포화전류가 흐른다. 사이리스터내부 전체로서는 간단히 pnp transistor 작용에 의해 전류증폭된 누설전류로 된다.

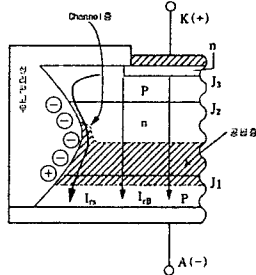
단면보호재인 silicon 고무층에 미량의 불순물이 존재하기 때문에 사이리스터에 직류전압을 계속 인가하면 silicon 고무 단부의 전계로 인해 silicon 고무층에 서서히 전하가 구속되게 된다. 특히 n base 층의 공핍층 단부에는 (+)전위층 표면근방에 (-) 전하가 많이 구속되게 된다. 이 (-)전하에 의해 silicon 고무단부의 n base 층 표면근방은 전자가 배척되어 channel층이 형성되고, 마치 공핍층이 단부표면에 연장된 상태로 된다. 이것에 의해 silicon 고무 단부 표면근방의 pnp transistor 영역의 n base층이 내부영역보다도 실효적으로 얇아져 전류증폭작용이 크게 된다.

이 과정에 의해 silicon wafer 단부표면 누설전류  $I_{rs}$ 가 시간경과에 수반해 증가하고 thyristor 전체의 누설전류가 경시변화해 증가한다. 특히 누설전류증가가 현저한 것은 silicon 고무 층의 미량불순물이 비교적 많은 것이라고 추정된다.

또 이 누설전류가 증가한 것에 전압을 인가해 장시간 방치하면 silicon wafer 단부표면에 구속된 전하는 시간경과에 수반해 silicon 고무 층으로 확산되어 누설전류는 대략 최소 level까지 감소한다. 이때 thyristor는 열화하지 않고, 가역현상(전압제인가에 의해 누설전류가 증가)을 나타낸다.



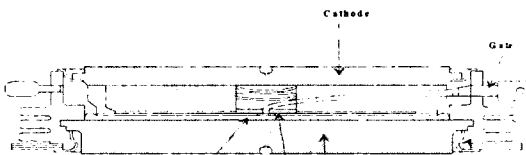
(a) 순방향직류 blocking 시



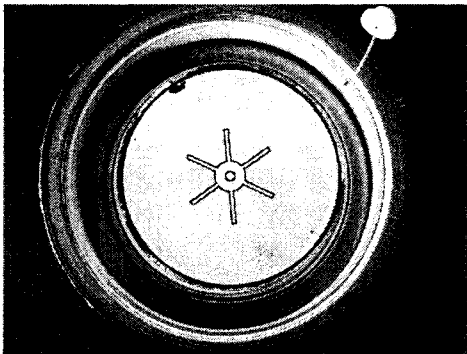
(b) 역방향직류 blocking 시

그림 2 사이리스터 단부근방 모델에 의한 blocking시의 channel 현상 설명도

**2.3 해남, 제주 HVDC 변환소의 대용량 사이리스터**  
 그림 3의 (a)는 사이리스터의 측면구조이며 검은 굵은 선이 gate, cathode, anode가 설치된 Si wafer이며 단말부에 anode와 cathode의 절연과피를 방지하기 위해 실리콘 고무로 bevelling한 구조로 되어있다. 2.2절의 단부근방 모델은 이 부분에서 blocking시의 channel현상을 기술하고 있다.



(a) 사이리스터의 측면 구조



(b) 사이리스터의 내부 구조

그림 3 해남, 제주 변환소의 대용량 사이리스터

실제 대용량 사이리스터의 가장 취약한 부분은 실리콘 고무로 bevelling한 부분이다. 이부분이 가속열화되어 사이리스터가 고장에 이르는 것으로 추정하고 있다. 따라

서 사이리스터를 가속열화시키기 위해 고온 직류 blocking 시험조건을 아래의 식으로 설정한 것은 표 2에 일본의 신신농 1호 FC 및 홋카이도 HVDC 1극과 해남-제주 HVDC 변환소의 사이리스터 가속열화조건을 기술하였다.

$$\text{전압가속율} : K1 = (V/V_0)^n,$$

단,  $V$ : 시험전압,  $V_0$ : 실사용전압,  $n=1.7(60\text{Hz})$ , 제조사

$$\text{온도가속율} : K2 = \text{Exp}[(E_a/k) \times (1/T - 1/T_0)]$$

단  $T$ : 시험온도,  $T_0$ : 실사용온도

$$E_a(\text{energy gap}) = 0.8\text{eV}(60\text{Hz}), \text{제조사}$$

$$k(\text{Boltzmann constant}) = 8.616 \times 10^{-5} \text{ (eV/K)}$$

표 2 해남-제주 HVDC변환기용 사이리스터 고온직류 blocking시험 개요 및 비교

	본 연구	일본		
	사이리스터 가속열화시험	신신농 1호 FC 60Hz HVDC		홋카이도 HVDC 1극
	해남-제주 HVDC	1회	2회	
소자장격	6,000V-4,500A	4,000V-800A		4,000V-1.5kA
소자사용전압	1,000V	1,300V		1,390V
소자사용온도	38°C(case), 77°C(j)	77°C(350K)		80°C(353K)
	350K			
시험조건	인가전압	5,000V	3,200V	3,200V
	인가전압 극성	순방향(4)	순방향(4)	순방향(4)
	집합온도	120°C(393K)	110°C(383K)	118°C(391K)
	시험시간	1,000 - 1,200시간	1,000시간	600시간
전압가속율	15.42배	4.6배	4.6배	149배
온도가속율	18.2배	9.8배	16.1배	2.2배
총합가속율	280.6배	45배	74배	327.8배
등가시간	280,600 - 336,720시간	45,000시간	43,800시간	434,007시간

### 3. 결 론

본 논문에서는 해남-제주간 HVDC 변환소에서 사용하고 있는 2,208개의 사이리스터의 수명 및 신뢰성을 평가하기 위해 고온직류 blocking 가속열화시험조건에 대해서 기술하였다.

또한 이 조건을 설정근거인 사이리스터의 경년변화특성, free floating type의 사이리스터의 단부열화모델 및 해남, 제주 변환소에서 사용하고 대용량 사이리스터의 구조에 기술하였다.

현재 대용량 사이리스터의 초특성과 고온 직류 blocking 가속열화시험 후 변동특성을 평가할 수 있는 평가설비를 "IEC 60747-7 part Thyristors" 규격에 근거해 제작하고 있다. 또한 가속열화 스트레스발생용 고온로, DC 고전압발생장치를 제작중이다.

### [참 고 문 헌]

- [1] 사단법인 전기협동연구회, "전력계통용 power electronics 설비의 현황과 설계 및 보수기준", 제 57권 제 2 호, 평성 13년 10월
- [2] M. Sampei, T. Yamada, S. Tanabe, H. Takeda, "Secular Change in characteristics of Thyristors Used in HVDC Valve", IEEE Transaction on Power Delivery, Vol. 12, No. 3, July 1997