

AC PDP의 버스전극 위치변화와 방전특성의 상관관계연구

이상진 최운창 최인주 안정수 김동현 이호준 박정후
부산대학교 전기공학과

A Study of relationship on the Bus electrode Position change and discharge characteristics in AC PDP

S. J. Lee, Y. C. Choi, I. J. Choi, J. S. An, D. H. Kim, H. J. Lee, C. H. Park
Department of Electrical Engineering, Pusan National University

Abstract - In this paper, we investigated the relationships between the position of bus electrode and discharge characteristics in ac PDP with VGA resolution. The double bus electrode lines at the edge of ITO electrode are placed in order to lower the firing voltage. As a result, static margin and dynamic margin for the PDP with double bus electrodes was about 10V lower than conventional type.

1. 서 론

디지털 지상파방송의 본격화 및 방송권역 확대, 케이블TV의 디지털화 등의 대중 매체의 발달과 더불어 대화면 평판 디스플레이에 대한 요구가 증대되고 있다. 이에 디지털 방송에 적합한 40인치 이상의 대형 디스플레이의 수요가 증대되고 있다. 그래서 차세대 평판 디스플레이에 대한 연구가 활발히 진행중이다. 현재 PDP(Plasma Display Pane)는 기존의 CRT (Cathode Ray Tube)나 LCD(Liquid Crystal Display)에 비해 대형화가 용이하다는 장점으로 인해 주목받고 있다. [1,2] 그러나 현재 PDP는 다른 디스플레이 소자에 비해 휘도 및 효율이 낮다는 문제점을 안고 있다. 그래서 최근 휘도와 효율의 개선을 위해 Xe의 혼합비를 증가시키는 연구가 활발히 진행 중이다. Xe의 혼합비가 커질수록 휘도는 증가하나 동시에 방전개시 전압이 높아지고 효율이 감소하게 되는 결점이 있다. 방전 개시 전압이 높아지면 효율의 감소와 IC 소자의 가격상승, Panel의 유전체의 절연내력문제, 소비전력의 증가등 여러 가지 문제가 있다. 본 논문에서는 방전개시 전압을 감소시킴으로써 이런 문제를 해결할 수 있는 bus 전극 구조와 ac PDP의 방전 특성의 상관관계를 연구하였다.

2. 본 론

2.1 실험방법

현재 널리 이용되고 있는 ac PDP의 개략도를 그림1에서 나타내고 있다. ac PDP는 3mm 두께의 상·하판 두 장의 유리로 구성되어 있다. 이 중 상판에는 ITO (Indium Tin Oxide)전극이 폭 270 μ m, 전극 간격 60 μ m으로 되어 있고 그 위에 유지전극(sustain electorde)과 스캔전극(scan electrode) 쌍으로 나란히 배열되어 있다. 그 위에 printing법에 의해 도포된 투명 유전체가 유지전극을 덮고 있으며, 방전 시 이온 충격으로부터 이 유전층을 보호하기 위한 MgO 박막이 E beam evaporation 방법에 의해 5000 \AA 두께로 증착되어 있다. 그리고, 하판은 유리 위에 전극 폭 100 μ m의 어드레스 전극이 격벽의 중앙에 위치해서 배열되어 있고, 그 위에 20 μ m두께의 white back유전체가 printing법에 의해 도포되어 있다. 인접 셀과의 구분을 위하여 sandblaster 기법에 의한 격벽이 형성되어 있다. 형광체는 green만을 사용하여 30 μ m 도포되어 있다. 그림 2는 본 실험에서 제작한 유지전극 모양을 나타내고 있다. Bus 전극의 위치가 ITO 전극의 edge 부에 위치하고 있는 기존의 전극구조에서 bus전극이 방전 갭과 edge 부의 중간에 위치한 Type 1 과 edge 부와 방전 갭 부의 양쪽으로 분할된 형태인 Type 2의 구조로 되어 있다. 한 패널에 Convention 형태

와 type1이 같이 들어가게 설계하여 같은 조건에서 실험이 되도록 하였다.

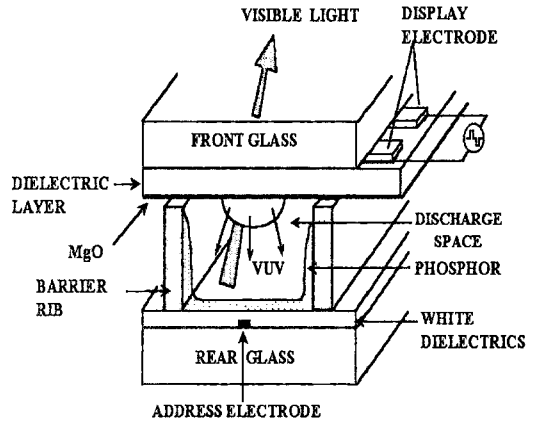


그림 1. ac PDP의 개략도
Fig 1. the schematic diagram of ac-PDP

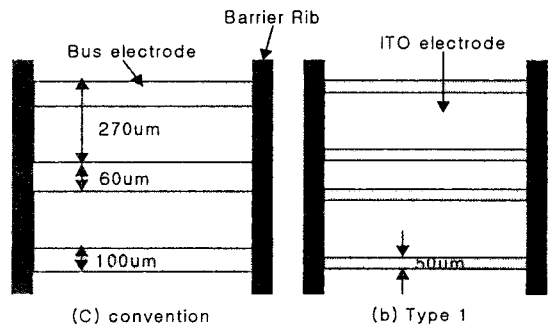


그림 2. 실험에 사용한 Bus 전극 위치에 따른 전극 구조

Fig 2. The structure of electrode as bus electrode position

표 1은 4인치 test 패널의 기본 사양을 나타낸다. 실험에 사용된 패널을 4인치 VGA급 시료로서 working가스는 Xe(4%) Ne(base)를 사용했고 가스 압력은 400Torr로 하였다. 그림 3은 완성된 시료의 방전 전압특성과 광특성을 측정하기 위한 실험장치의 개략도이다. 구동전압은 마진의 중간값인 164V로 하고 주파수는 10kHz로 하여 측정했다. 실험은 약 840개의 셀은 대상으로 하였으며, 휘도의 측정은 휘도측정기(BM7)를 이용하였다. 실험 시 휘도의 측정과 전류의 측정을 동시에 함으로써 각 조건에서의 방광 효율을 다음과 같이 구하였다.

$$\text{Luminous efficiency (lm/w)} = \frac{\pi \times B(\text{cd/m}^2) \times S(\text{m}^2)}{\text{power consumption(W)}}$$

$$\text{power consumption} = \frac{1}{T} \int i(t)v(t)dt$$

먼저 주파수 10KHz의 교대 펄스를 인가함으로써 정마진을 측정해 보았다. 그리고 test panel에 ADS 파형을 인가함으로써, bus 전극의 위치 변화에 따른 Dynamic Margin의 변화를 살펴보았다.

그림 4는 Dynamic Margin을 측정하기 위한 실제 ADS 구동 파형이다. 인가 파형의 모든 전압값을 고정시키고, Vsus와 Vset전압, 그리고 Vadd 와Vsus를 변화시키면서 동적마진을 측정했다. 전체 주기는 16.17ms 이며, Vsus와 Vset를 가변해 가면서 동마진을 측정했다. 동특성은 정특성에서 주어진 마진의 중간값의 조건하에서 writing 또는 erasing pulse를 인가하여 벽전하를 생성하거나 또는 벽전하를 제거하는 특성을 말한다. PDP 에서는 memory function이라고 하는 메모리 기능이 있는데 이것은 벽전하를 형성 시켜서 X-Y간에 공급전압에 의해 발광할 위치에 ON시키는 것을 말한다. 벽전하가 형성된 부분에만 발광하도록 설계되어 있다. 실제 이 영역을 벗어나게 되면 self-erasing 또는 cross-talk등의 문제가 발생하게 된다.

| Working gas | He(base) + Ne(30%) + Xe(4%) | | |
|-------------|-----------------------------|------------------------|---------------------|
| | | Conventional structure | Suggested structure |
| Front Glass | ITO gap | 60um | 60um |
| | ITO width | 270um | 270um |
| | Dielectric Thickness | 30um | 30um |
| | Mgo Thickness | 5000 Å | 5000 Å |
| | Bus Electrode Width | 100um | 50um + 50um |
| Rear Glass | White-back Thickness | 20um | 20um |
| | Barrier Height | 130um | 130um |
| | Phosphor Thickness | 30um | 30um |
| | Address Electrode width | 100um | 100um |

표 1. 4인치 AC PDP의 기본 사양
Table 1. Spec. of 4 inch AC PDP

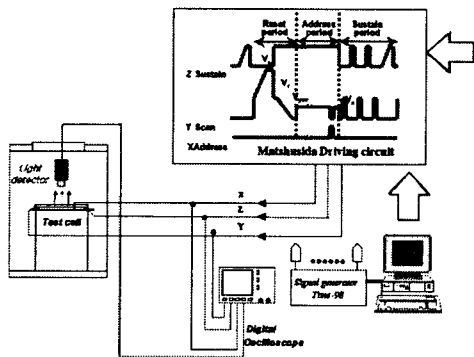
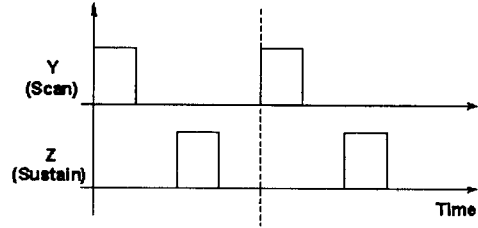
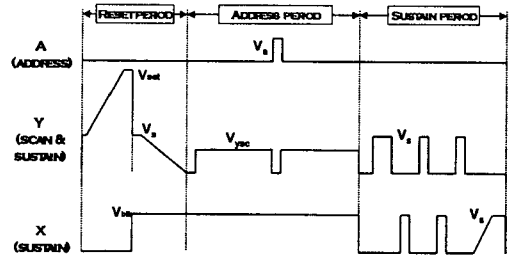


그림 3. 측정 장치의 계략도

Fig 3. The schematic diagram of measurement device



(a) Applied voltage waveform for static margin measurement



(b) Applied voltage waveform for dynamic margin measurement

그림 4. 구동파형의 계략도

Fig 4. The schematic diagram of driving waveform

2.1 실험결과 및 고찰

실제 동화상을 표시하는 경우에는 일반적인 ADS 구동 방법을 사용한다고 가정하면 방전 유지 구간(Sustain period)에서의 발광효율이 전체적인 시스템의 효율을 지배하는 것이 일반적이다. 따라서, 휘도와 방전효를 개선할 위해 3전극형 면방전 ac PDP에서 가장 중요한 부분은 두개의 방전유지 전극사이에서 대칭적인 전압 펄스에 의해서 생성되는 유지방전과 이 과정에서 효율적인 진공외선 방출이다. 그러므로, 방전 유지 전극의 구조에 따라서 기본적인 휘도와 효율특성의 변화를 살펴보는 것은 ac PDP의 전체적인 발광 특성을 개선하기 위한 연구의 출발점이라고 할 수 있을 것이다. [5]

그림 5는 교대 펄스를 인가하여 얻은 정마진으로 유지 전극 내의 bus 전극 위치에 따른 방전 개시 전압 및 방전 유지 전압특성을 나타내고 있다. 정특성은 sustain 구간의 마진영역을 조사하는 것으로 Y-Z간의 전압을 증감함으로써 ON, OFF 영역을 조사하는 것이다. 방전 겹은 모두 60um로 같으나 type 1은 겹에 버스 전극이 있으므로 방전 개시 전압 및 유지 전압이 기존의 구조보다 낮아진 것을 알 수 있다. 마진의 중간값은 약 10V 정도 낮아졌다.

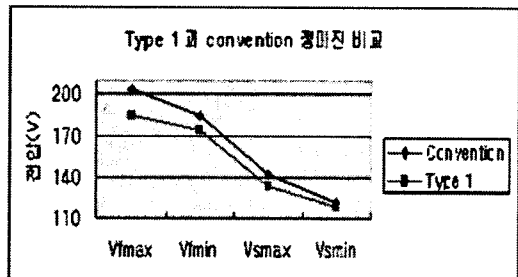


그림 5. bus 전극 위치에 따른 정특성
Fig 5. Static Characteristics of discharge voltage as a parameter of position of bus electrode.

그림 6과 7은 bus 전극 위치에 따른 동특성을 나타내고 있다. 그림 6은 address 전압은 60V로 고정시켜놓고, Vsus와 Vset를 변화 시키가면서 마진 영역을 측정하였고, 그림 7은 Vset 전압을 380V로 고정시켜 놓고, Vsus와 Vadd를 가면서 가면서 측정한 것이다. 그림과 같이 전체적인 마진의 크기는 다소 type1이 줄어 들었지만 동작 영역의 전압이 낮게 형성됨을 알 수 있다.

그림6에서 보면 Vset 전압이 약 5V정도 낮아지고 Vsus전압도 약 15V 정도 낮아졌음을 알 수 있다.

그림7에서도 Vadd와 Vsus 전압이 약 5V 정도 낮아졌다. 이렇게 동작 영역이 낮아짐으로 해서 보다 낮은 전압에서 구동하게 되면서 회로상의 비용이 절감되는 효과를 볼 수 있다.

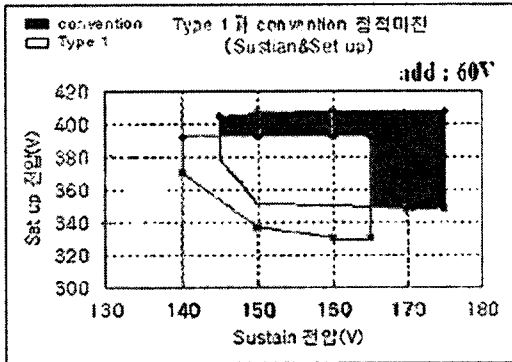


그림 6. bus 전극 위치에 따른 Vset-Vsus동특성
Fig 6. Dynamic Characteristics of discharge voltage as a parameter of position of bus electrode.

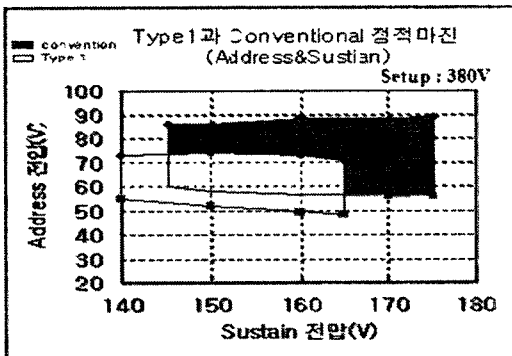


그림 7. bus 전극 위치에 따른 Vadd-Vsus동특성
Fig 7. Dynamic Characteristics of discharge voltage as a parameter of position of bus electrode.

그림 8은 bus 전극 위치에 따른 방전전류를 나타낸 것이다. 인가전압은 164V로 했고 주파수는 10KHz로 했다. 방전 늦음 시간과 방전 지속시간은 거의 같음을 알 수 있다. 그러나 convention형의 전류가 type1의 전류량보다는 약간 많음을 알 수 있다. 이것은 표2의 전하량에서도 잘 나타나 있다. 여기에서 전하량은 방전전류를 적분한 값이다.

표2는 휘도와 광효율을 도표로 나타낸 것이다. 표에서와 같이 휘도나 효율 면에서는 convention형이 다소 유리한 것으로 나타났다. 휘도가 convention형이 더 많이 나온 것은 type1형태는 gap 부분에 bus 전극이 도포되어 있어서 광이 가장 많이 나오는 gap 부분에 bus 전극이 위치해서 type1의 휘도가 낮게 나오는 것으로 생각된다. 전류도 ITO전극 양쪽으로 동일 전압의 bus 전극이 형성됨으로써 전류가 convention형 보다는 작게 나타난 것으로 생각된다.

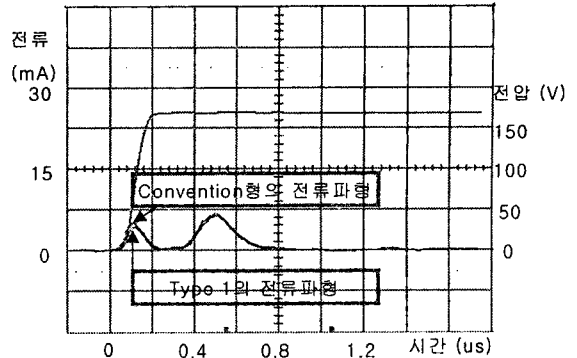


그림 8. bus 전극 위치에 따른 방전전류특성
Fig 8. Characteristics of discharge current as a parameter of position of bus electrode.

| | convention 형 | type 1 |
|------------------------|--------------|--------|
| 휘도(cd/m ²) | 355 | 328 |
| 전하량(uVs) | 0.313 | 0.294 |
| 효율(lm/w) | 1.520 | 1.496 |

표 2. bus 전극 위치에 따른 휘도 및 효율특성
Table 2. Characteristics of Luminance and Luminous efficiency as a parameter of position of bus electrode.

3. 결 론

본 논문에서는 bus 전극 위치에 따른 유지 방전동안의 휘도 및 효율특성과 방전전압 및 방전 전류특성을 살펴보았다.

그 결과 type1이 기존의 convention형 보다 정마진의 중간값이 약 10V 낮았고 동특성도 5~15V 낮아짐을 알 수 있었다. 하지만 광효율이 좋은 ITO전극의 방전 갭에 bus 전극이 위치하여 결과적으로 방전 cell의 개구율을 감소시켜서 휘도와 효율이 감소하게 되었다. 이것은 앞으로 좀 더 개선해야 할 문제이다.

[참 고 문 헌]

- [1] Larry F. Weber, The Promise of Plasma Display for HDTV. *Information Display(SID)*, vol. 16, no. 12, pp16-20, 2000
- [2] A. Sobel, Big, Bright, and Beautiful, *Information DISPLAY(SID)*, vol. 14, no. 9, pp. 26-28, 1998
- [3] T. Shinoda et al, High Level Gray Scale for AC Plasma Display Panels Using Address-Display Period-Separated Sub-Field Method, *Trans. of IEICE C-2*, no. 3, pp349-355, 1998
- [4] Tsutae Shinoda Research & Development of Surface-Discharge Color Plasma Display Technologies, *Asia Display*, pp 1065-1070, 1998
- [5] 윤 차 근, "발광 휘도와 효율 개선을 위한 새로운 구조의 교류형 플라즈마 표시기 개발에 관한 연구", 학위논문, p4 0~41, 2001.2