

트렌치 측벽에 소오스를 형성하여 셀 피치를 줄인 수직형 전력 MOSFET 트랜지스터

박일용

한국전자통신연구원 반도체원천기술연구소 집적회로연구부

Reduced Cell Pitch of Vertical Power MOSFET By Forming Source on the Trench Sidewall

Il-Yong Park

Basic Research Lab., ETRI

Abstract - 고밀도의 트렌치 전력 MOSFET를 제작하는 데 있어서 새로운 소자의 구조와 공정을 제시하고, 이차원 소자 및 공정 시뮬레이터를 이용하여 검증했다. 트렌치 게이트 MOSFET의 온-저항을 낮추기 위해 셀 피치가 서브-마이크론으로 발전할 경우 문제가 되는 소오스 영역을 확보하고자 p-base의 음 접착을 위한 P+ 영역과 N+ 소오스 등이 트렌치의 측벽에 형성되고, 트렌치 게이트는 그 아래에 매몰된 구조를 제안했다. 시뮬레이션 결과는 항복전압이 45 V이고, 온-저항이 12.9 mΩ·cm로 향상된 trade-off 특성을 보였다.

그림 1은 기존의 트렌치 MOSFET와 제안된 3단 트렌치를 이용한 트렌치 MOSFET의 단면구조를 나타낸 것이다. 본 논문에서는 고밀도의 트렌치 셀을 형성하기 위해 자기정렬 공정을 사용했으며, N⁺/P⁺ 소오스 영역은 트렌치의 측벽에 형성하여 접착을 위한 면적을 확보했다. 이것은 셀 피치를 줄이는 데 있어서 매우 유리할 것으로 판단되며, 이차원 공정 및 소자 시뮬레이션을 이용하여 제안된 소자의 특성을 조사하였고, 주요 공정을 실험을 통해 입증했다.

1. 서 론

트렌치 게이트 MOSFET는 채널 밀도를 높게 하여 온-저항을 작게 할 수 있기 때문에 DC-DC 컨버터, 전압 레귤레이터, 컴퓨터 주변회로 등에 적합한 전력소자이다. 트렌치 MOSFET의 채널 밀도는 소자의 셀 피치가 작을수록 증가하여 온-저항이 감소하게 된다. 트렌치 게이트의 폭을 작게 함으로써 셀 피치를 줄이고자 하는 노력이 있었고, 상당한 성과를 얻은 결과들이 발표되었다 [1-2]. 그러나 이러한 결과들은 셀 피치가 줄어들수록 소오스 접착을 형성하기 위한 영역이 줄어들게 되고, 셀 피치가 서브 마이크론으로 더욱 줄어들 때 소오스 접착을 형성하는 데 있어 문제가 발생하게 된다 [3].

트렌치 MOSFET에서 서브-마이크론 셀 피치를 구현하는 데 큰 장애가 되는 소오스 영역의 문제를 해결하기 위해 본 논문에서는 3단의 트렌치 공정을 통해 소오스 영역을 트렌치의 측벽에 형성하고, 트렌치 게이트는 소오스 아래에 위치하여 매몰된 게이트 구조를 제안했다.

2. 본 론

2.1 주요 공정 순서

그림 2는 제안된 트렌치 게이트 MOSFET의 공정 순서도이다. 소오스 영역을 트렌치 측벽에 형성하기 위해서 트렌치 공정과 이온 주입 공정이 반복된다. Arsenic 이온으로 도핑된 고농도의 기판 위에 phosphorus로 도핑된 7 μm 두께의 에피층이 형성된 웨이퍼를 이용하여 트렌치 게이트 MOSFET를 제작한다. 에피층의 농도는 2e16/cm²으로 30 V급의 항복전압을 갖도록 설계되었다.

먼저 p-well을 형성하기 위하여 첫 번째 마스크를 사용하여 산화막을 식각하고, boron 이온을 주입한 다음 열처리한다. 남아있는 산화막을 마스크 층으로 실리콘을 식각한 다음 boron 이온을 주입하여 p-base의 음 접착을 위한 p+ 영역을 형성한다(그림 2a 참조). 질화막을 증착 및 식각하여 트렌치 측벽에 스페이서를 만든 다음 기존에 남아있는 산화막과 새로 형성한 질화막 스페이서를 마스크 층으로 하여 노출된 실리콘 영역을 다시 식각한다. Arsenic 이온을 주입하여 트렌치 MOSFET의 소오스 영역을 형성한다(그림 2b 참조). 다시 질화막을 증착하고, 식각하여 트렌치 측벽에 두 번째의 질화막 스페이서를 형성한다. 산화막과 첫 번째 및 두 번째 질화막 스페이서를 마스크로 하여 세 번째의 트렌치 공정을 수행한다(그림 2c 참조). 두 번째 및 세 번째 트렌치 공정에서 p+ 영역과 n+ 영역은 자동으로 분리되므로 추가의 마스크가 필요 없다. 트렌치 영역에 게이트 절연막으로 400 Å 정도의 산화막을 형성한 다음 폴리실리콘을 증착하여 트렌치 내부를 채운다. 도핑된 폴리실리콘은 소자의 게이트 전극으로 사용된다. 두 번째 마스크를 사용하여 게이트 패드 영역을 제외한 영역의 폴리실리콘을 식각한다(그림 2d 참조). 게이트와 소오스의 절연을 위하여 폴리실리콘 표면에 산화막을 형성하고, 이층의 질화막 스페이서를 제거한 다음 실리콘사이드 공정을 수행한다(그림 2e 참조). 마지막으로 알루미늄을 증착한 다음 세 번째 마스크를 이용하여 소오스 금속과 게이트 패드 위의 금속을 구분하고, 웨이퍼 뒷면에 금속을 증착하여 소자를 완성할 수 있다. 이층의 질화막 스페이서를 이용한 세 단계의 실리콘 트렌치 공정과 boron 및 arsenic 이온 주입공정은 트렌치 패턴에 자기 정렬된 공정으로 수행되므로 세 장의 마스크를 이용하여 트렌치 게이트 MOSFET를 제작할 수 있다.

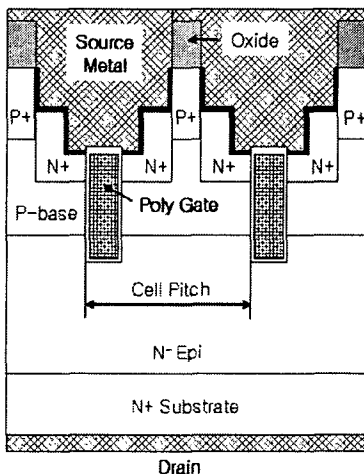


그림 1. 3단계의 트렌치 공정을 이용한 트렌치 게이트 MOSFET의 단면구조.

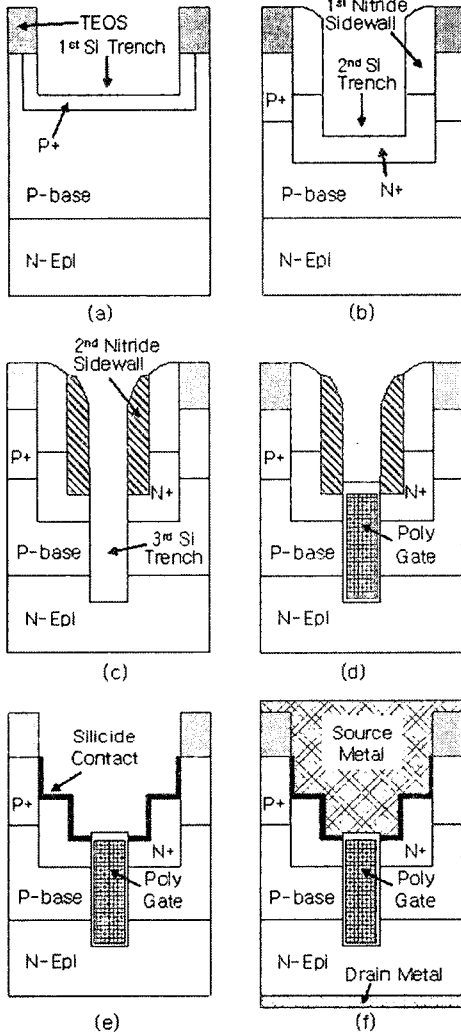


그림 2. 제안된 트랜치 게이트 MOSFET의 공정도.

그림 3은 이중 질화막 스페이서를 이용하여 세 단계의 실리콘 트랜치 공정을 수행한 시료의 단면 SEM 사진이다. MERIE(magnetically enhanced reactive ion etching) 장비를 이용하여 매우 균일한 트랜치 구조를 형성했다. 스페이서를 위해서 500 Å 두께의 질화막을 증착하고, 식각하는 공정이 두 번 반복되었다. 그림 3을 보면 이중의 질화막 스페이서가 형성되었음을 알 수 있다.

소오스 영역을 위한 트랜치는 4,000~5,000 Å 깊이로 식각되었다. 이 깊이는 제안된 소자의 소오스 영역을 결정하는 것이며, 기존의 소자는 셀 피치를 1.0 μm로 제작할 경우 소오스를 위한 영역이 대략 0.4 μm 정도가 된다. 기존의 트랜치 게이트 MOSFET의 경우에는 0.4 μm 정도 되는 이 영역에 두 개의 n+ 영역과 하나의 p+ 영역이 형성되어야 한다. 따라서 이 부분을 마스크를 사용하여 정렬하는 것은 매우 어렵게 되므로 자기 정렬식 공정을 사용해야 하는데, 이 공정은 대부분 고농도의 n+가 형성된 다음 양 쪽의 n+ 사이에 약간 농도가 낮은 p+ 영역이 형성되도록 이온주입을 함으로써 이루어진다. 그러나 소오스 영역이 0.4 μm 정도로 매우 좁은 경우에는 p+ 영

역을 형성하는 것이 매우 어렵게 된다. 그러나 본 논문에서 제시하는 트랜치 MOSFET 구조의 경우에는 그림 3에서 보는 바와 같이 첫 번째 트랜치의 측벽에는 p+ 영역을 형성하고, 두 번째 트랜치의 측벽에는 n+ 영역을 형성하여 소오스를 위한 충분한 영역을 확보할 수 있다. 또한 n+와 p+의 영역은 트랜치 공정시 그 깊이로 조절이 가능하므로 셀 피치가 감소함에 따른 문제점을 해결할 수 있다.

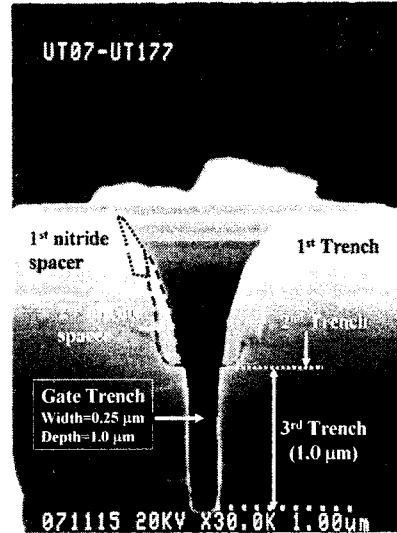


그림 3. 이중의 질화막을 마스크 층으로 하여 수행된 3단계 트랜치 구조의 SEM 사진.

2.2 시뮬레이션 결과 및 고찰

셀 피치가 1.0 μm이며, 제안된 3단계 트랜치 공정을 이용한 트랜치 게이트 MOSFET를 이차원 공정 및 소자 시뮬레이터를 이용하여 구현했다. 그림 4는 시뮬레이션으로 구현한 트랜치 게이트 MOSFET의 단면 구조와 도핑 농도를 표시한 그림이다.

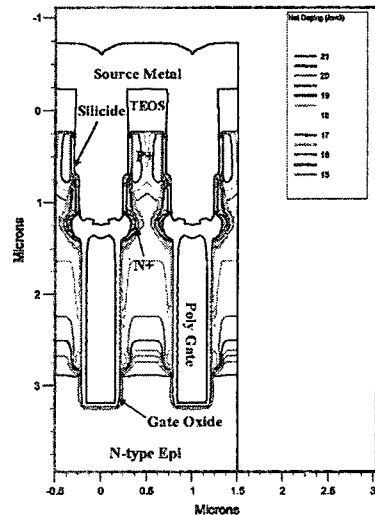


그림 4. 시뮬레이션된 트랜치 MOSFET의 단면구조와 도핑농도분포.

N+ 및 p+ 영역이 트랜치 측벽에 성공적으로 형성되었으며, 각 영역의 깊이는 0.6~0.7 μm 정도이다. 따라서 셀 피치가 1.0 μm 인 트랜치 MOSFET의 기본 셀에 포함되는 n+ 및 p+ 영역은 1.2~1.4 μm 이다. 이것은 동일한 셀 피치를 갖는 기존의 구조에서 소오스 접촉을 위한 영역이 0.4 μm 정도인 것과 비교하면 소오스 영역이 3배 이상 증가한 것이다. 그림 4에서 채널 영역의 도핑 농도는 약 $5\text{E}16/\text{cm}^3$ 이며, 문턱전압은 0.82 V였다.

그림 5는 제안된 소자의 항복전압 특성을 나타내는 I-V 특성곡선이다. 게이트와 소오스를 접지시키고, 드레인에 전압을 증가시키면서 시뮬레이션한 결과 소자의 항복전압은 45 V로 계산되었다.

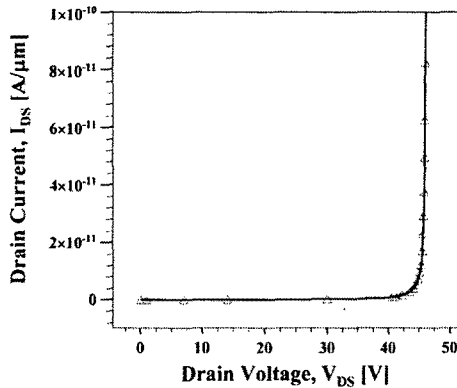


그림 5. 항복전압을 나타내는 I-V 특성 곡선.

그림 6은 제안된 소자의 온 상태를 나타내는 I-V 특성 곡선이다. 게이트 전압을 1.0 V에서 3.0 V까지 0.5 V 씩 증가시키면서 시뮬레이션을 수행했다. 게이트 산화막의 두께가 400 Å이므로, 3.0 V의 낮은 게이트 전압에서 quasi-saturation 현상이 발생하였다. 게이트 전압이 5V 이고, 드레인 전압이 0.1 V일 때, 온-저항은 12.9 m $\Omega\mu\text{m}^2$ 으로 매우 우수한 trade-off 특성을 나타냈다.

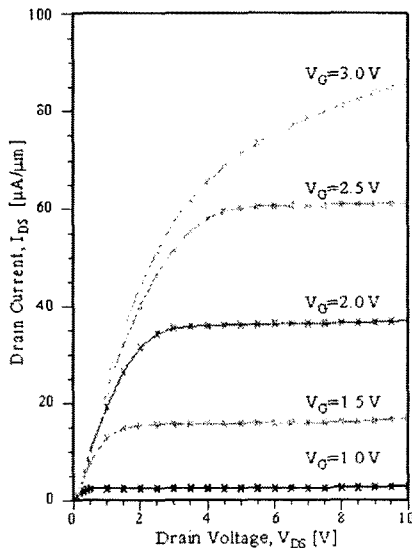


그림 5. I_{DS} - V_{DS} 특성 곡선.

3. 결 론

고밀도의 트랜치 게이트 MOSFET를 위한 새로운 공정 기술과 소자 구조를 제시하고, 이차원 공정 및 소자 시뮬레이션을 통해 검증했다. 제안된 구조는 자기정렬된 공정을 이용하여 마스크 수를 줄일 수 있으며, 트랜치 깊이를 조절하여 기존의 구조에 비해 더 넓은 소오스 영역을 확보할 수 있어 고밀도의 트랜치 게이트 MOSFET를 제작하기에 용이하다. 1.0 μm 의 셀 피치를 갖는 트랜치 게이트 MOSFET를 시뮬레이션 하여 45 V의 항복전압과 12.9 m $\Omega\mu\text{m}^2$ 의 온-저항을 얻었다. 그러나 실제 소자의 제작에서는 기판 저항과 트랜치 표면의 이동도 감소의 영향을 고려해야 할 것이다.

(참 고 문 헌)

- [1] A. Narazake et al., "A 0.35 μm trench gate MOSFET with an ultra low on state resistance and a high destructuion immunity during the inductive switching", Proc. of the ISPSD, Vol. 12, p. 377, 2000
- [2] Steven T. Peake et al., "Fully self-aligned power trench-MOSFET utilizing 1 μm pitch and 0.2 μm trench width", Proc. of the ISPSD, Vol. 14, p. 29, 2002
- [3] Syotaro Ono, Yusuke Kawaguchi, and Akio Nakagawa, "30 V new fine trench MOSFET with ultra low on-resistance", Proc. of the ISPSD, Vol. 15, p. 28, 2003