

Sliding-DFT를 이용한 다채널 위상 측정 FPGA 시스템

안병선, 정선용, 이재식, 장태규  
 중앙대학교 전자전기공학부

Multi-channel phase measurement system based on the recursive implementation of sliding DFT on FPGA

Byoung-Sun Ahn, Sun-Yong Jung, Jae-Sik Lee, and Tae-Gyu Chang  
 School of Electrical and Electronics Engineering, Chung-Ang University

**Abstract** - 본 논문에서는 sliding-DFT의 순환구현을 기반한 실시간 위상 측정 알고리즘을 제시하였다. 종래의 순환형 SDFT 기반 위상 측정 기법은 단일 계수를 사용하기 때문에 계수 근사가 적용되는 하드웨어 구현시 심각한 오차 과급 특성을 나타낸다. 본 논문에서는 순환 구조이면서 회전 위상을 보정을 통해 N-point DFT의 N개의 모든 계수를 적용한 위상 측정 기법을 제시하였고, FPGA 등 하드웨어 구현에 있어서 계수의 유한 비트 근사에 따르는 성능 열화를 해석하였다. 제안한 위상 측정 알고리즘은 실시간 다채널 위상 측정이 가능하도록 FPGA에 구현하였고 동작을 확인하였다.

$$X_l(n) = \sum_{m=n-N+1}^n x(m) W_N^{-lm} \quad (2)$$

여기서  $x(n)$ 은 단일 톤의 연속 신호를 톤 주파수의 정수 M배에 해당하는 샘플링 주파수로 샘플링하여 얻은 신호이고,  $X_l(n)$ 은 N-point DFT의 l번째 bin 주파수 성분을 나타낸다. 이산 신호  $x(n)$ 의 페이지 값이 N-point DFT의 l번째 bin 주파수 성분임을 보이기 위해 식 (2)에 식 (1)을 대입하여 나타내면 다음 식 (3)과 같다.

$$X_l(n) = \frac{X}{2} N \cdot e^{j\phi} \quad (3)$$

1. 서 론

최근 동기 위상 측정을 위한 알고리즘에는 Modified Zero Crossing 기법[1], Level Crossing 기법[2], Least Squares 기법[3], Newton method[4], DFT 기법[5]등이 있다. 이들 중, 계산 부담을 줄일 수 있는 순환형 DFT 알고리즘을 이용하여 위상을 측정하는 방식이 널리 이용되고 있다.

Sliding DFT(sliding discrete fourier transform)는 매 입력 샘플마다 연속적으로 sliding하면서 N-points 신호 구간에 DFT를 적용하는 것으로 순환구조를 통한 DFT 계산량 감소를 가능하게 한다. 이러한 sliding DFT 알고리즘의 원리는 DFT 첫 번째 bin 주파수와 페이지가 같음을 이용하는 것으로, 입력신호의 위상 측정과 이를 이용한 주파수 변이 측정에도 응용할 수 있다.

본 논문에서는 주파수가 변화하는 환경에서 동기시간에 정확한 위상을 측정하기 위해 순환 sliding DFT에 기초하여 누적 오차의 영향이 매우 적은 위상 측정 기법을 설계하였다. 또한 제안한 알고리즘을 계수 근사로 구현했을 때 발생하는 오차 영향을 해석하였다. 이를 FPGA를 이용한 하드웨어에 구현하고 오차에 강한 위상 측정 결과를 확인하였다.

2. 순환 sliding DFT 기반 위상 측정

제안된 위상 측정 알고리즘은 매 샘플마다 순환되는 sliding DFT 기법을 채택하였으며 다음 II-1절에 설명하였다. 위상 측정 알고리즘의 유한 비트 근사 구현에 의한 오차 영향은 다음 II-2절에 설명하였다.

2.1 Sliding DFT 기반 위상 측정 알고리즘

단일 톤 신호의 phasor는 샘플링 주파수가 단일 톤 주파수의 정수 M배이고 DFT 구간 길이 N이 이라는 가정 아래 신호의 DFT 성분 중 l번째 bin 주파수 성분으로 얻을 수 있다. 이는 DFT를 설명하는 다음 식 (1)과 (2)가 각각 샘플링된 이산신호,  $x(n)$ 과 l번째 bin 주파수 성분,  $X_l(n)$ 에 대하여 설명해준다.

$$x(n) = \frac{X}{2} \left( e^{j(\frac{2\pi}{M}n + \phi)} + e^{-j(\frac{2\pi}{M}n + \phi)} \right) \quad (1)$$

전력 계통의 고장 감지 응용과 같이 매 샘플 단위로 실시간 위상을 측정해야 하는 응용에서는 식 (2)의 페이지를 매 샘플 단위로 sliding 하며 측정해야 할 경우가 존재하며, 이 경우 계산 부담을 줄일 수 있는 순환형 알고리즘이 필수적이라 하겠다. 이러한 알고리즘에 대한 유도 과정을 아래에 기술하였다.

위상 측정을 위한 순환 sliding DFT 알고리즘은 식 (2)를 사용하여  $X_l(n)$ 과  $X_l(n-1)$ 의 관계로부터 얻을 수 있다. 여기서  $X_l(n)$ 은 블록 내로 새롭게 들어오는 성분  $x(n)$ 과 블록의 끝에서 빠져 나가는 성분  $x(n-N)$ 을 통해 l번째 bin DFT 성분을 나타낸다. 이러한 순환 sliding DFT 알고리즘을 다음 식 (4)에 나타내었다.

$$X_l(n) = W_N^l \{ X_l(n-1) + x(n) - x(n-N) \} \quad (4)$$

where,  $W_N = \exp[j2\pi/N]$

식 (4)의 알고리즘은 N-point DFT의 계수 N개들 중 단지 한 개의 계수만을 사용하고 순환 과정을 거치게 됨으로써 N개의 계수가 적용되는 효과를 얻는다. 그러나 이 계수를 유한 비트로 근사하여 구현할 경우, 순환 과정을 통하여 근사되는 다른 DFT 계수들은 심각한 누적 오차를 겪게 된다. 또한 DFT 블록이 sliding 함에 따라서 이와 같은 알고리즘으로 측정되는 페이지는 매번 반시계 방향으로  $2\pi/N$ 만큼씩 돌아가는 형태로 나타나게 된다. 따라서 본 논문에서는 순환 과정에 따른 계수의 누적 오차에 강인하면서 블록의 sliding에 따른 회전 위상을 보정하는 알고리즘을 다음과 같이 설계하였다.

회전 위상을 보정하며 실시간으로 정확한 위상을 측정하기 위해 매 블록에 대해 만큼을 보정해 주어야 하므로  $X_p(n) = X_l(n) W_N^{-ln}$ 을 위의 식 (4)에 적용하면 다음 식 (5)와 같다.

$$X_p(n) = X_p(n-1) + W_N^{-ln} \cdot \{ x(n) - x(n-N) \} \quad (5)$$

식 (5)와 같이 회전 위상을 보정한 순환 sliding DFT 기반 위상 측정 기법은 각각 독립적인 N개의 DFT 계수를

사용하여 구현된다. 이는 보정이 없는 순환 알고리즘이 단일 계수를 사용함으로써 발생하는 오차의 누적을 획기적으로 감소시킬 수 있어 보다 정밀한 위상 측정이 가능하게 한다. 그러나 제한한 위상 측정 알고리즘은 IIR 필터 구조로 이루어져있고 이의 pole은 단위원 상에 위치하여 unstability를 유발할 가능성이 있으므로 계수 근사에 대한 보다 자세한 오차 영향의 특성이나 bound에 대해 분석하는 것이 중요하다. 특히 마이크로 컨트롤러나 ASIC 등의 하드웨어를 통해 알고리즘을 고정 소수점 연산으로 구현하는 실제 응용에 있어서는 계수 근사에 따른 오차 영향 분석이 필수적이다.

## 2.2 유한비트 근사에 따른 오차영향 해석

본 논문에서 제한한 위상 측정 기법에 대한 계수 근사 영향을 해석하기 위해 계수 근사를 적용하면 식 (5)로부터 식 (6)과 같이 비순환 누적형태로 나타낼 수 있다.

$$\hat{X}_p(n) = \sum_{m=0}^n \hat{W}_N^{-lm} u(m) \quad (6)$$

where,  $u(n) = x(n) - x(n-N)$

식의 일반성을 유지하면서 식 (6)의  $l$ 을 1로 할 때, 페이지  $\hat{X}_p(n)$ 는 두 이산신호  $\hat{W}_N^{-n}$ 과  $u(n)$ 의 곱에 대한 누적으로 해석할 수 있다. 이산신호 입력  $x(n)$ 이 첫 번째 DFT 계수에 해당하는 주파수 성분,  $f$ 만을 갖는 단일톤 신호인 경우, 측정되는 페이지는 변화없이 초기값을 계속 유지한다. 반면 입력에  $\Delta f$ 의 위상 변이가 존재하면  $N$ 샘플 떨어진 입력의 차이신호  $u(n)$ 은  $f + \Delta f$ 의 주파수를 가지며 식 (7)과 같이 나타낼 수 있다.

$$u(n) = \frac{\alpha}{2} \left( e^{j\left(\frac{2\pi(f+\Delta f)}{T}n + \phi\right)} + e^{-j\left(\frac{2\pi(f+\Delta f)}{T}n + \phi\right)} \right) \quad (7)$$

참값의 계수항,  $W_N^{-n}$ 는 단일톤 성분인 반면, 근사된 계수항,  $\hat{W}_N^{-n}$ 은 식 (8)과 같이 discrete Fourier series의 harmonic 합으로 나타낼 수 있다.

$$\hat{W}_N^{-n} = \sum_{k=-N/2}^{N/2-1} w_k e^{-j\frac{2\pi k}{T}n} \quad (8)$$

식 (8)의 근사 계수를 구성하는 harmonic 성분들 중 fundamental 성분,  $w_1$ 을 제외하고 '0'이 아닌 성분 중 가장 큰 성분은 세 번째 harmonic,  $w_3$ 이다. 따라서  $\hat{W}_N^{-n}$ 은 다음 식 (9)와 같이 첫째 및 셋째 harmonic의 합으로 근사할 수 있다.

$$\hat{W}_N^{-n} = w_1 e^{-j\frac{2\pi f}{T}n} + w_3 e^{-j\frac{2\pi 3f}{T}n} \quad (9)$$

식 (6)의  $\hat{X}_p(n)$ 는  $f + \Delta f$ 의 주파수를 가진 단일톤 신호,  $u(n)$ 과  $f, 3f$ 성분을 가진 계수 신호,  $\hat{W}_N^{-n}$ 을 곱하고 누적한 것이다. 두 성분의 곱에서 주파수 합으로 나타나는 고주파 항들은 그 크기가 주파수에 반비례하므로 근사화 생략이 가능하다. 따라서 식 (7)과 (9)를 통해 식(6)은 식 (10)과 같이 참값의 계수성분에 의해 얻어지는 항과 계수 근사에 의해 얻어지는 항으로 나타낼 수 있다.

$$\hat{X}_p(n) = \frac{1}{2\pi} \left( \frac{w_1}{\Delta f} e^{-j\frac{2\pi \Delta f}{T}n + \phi} + \frac{w_3}{2f - \Delta f} e^{-j\frac{2\pi(2f - \Delta f)}{T}n + \phi} \right) \quad (10)$$

식 (10)을 통해 최대 위상 오차는 식 (11)과 같이  $\Delta f$ 성

분에 대한  $2f - \Delta f$  성분의 크기 비의 역 tangent로 얻을 수 있다.

$$\hat{\theta}_{error} = \tan^{-1} \left( \frac{w_3 \cdot \Delta f}{w_1 (2f - \Delta f)} \right) \quad (11)$$

입력 신호의 주파수 변이가 대상 주파수,  $f$ 에 비해 충분히 작다면, 식 (11)의 위상 오차는 '0'에 가까운  $\Delta f / (2f - \Delta f)$ 에 harmonic 크기비,  $w_3/w_1$ 로 더욱 작아진다. 그러므로 제한된 위상 측정 알고리즘은 유한비트 근사에 의한 오차 영향에 강인한 특성을 갖는다.

## 3. FPGA를 이용한 하드웨어 구현 및 결과

순환형 sliding-DFT기반의 다채널 페이지 연산 FPGA 하드웨어는 Xilinx의 Virtex-E 계열의 XC6V1000E를 사용하여 구현하였다. 다채널 위상 측정장치 H/W는 각 채널별 요구되는 동일한 페이지 계산구조를 정확한 타이밍을 이용하여 동일한 SDFT 계산구조를 공유함으로써 순차적으로 채널별 출력 결과를 얻고 이를 각각 더하는 순차 구현 방식을 적용하였다.

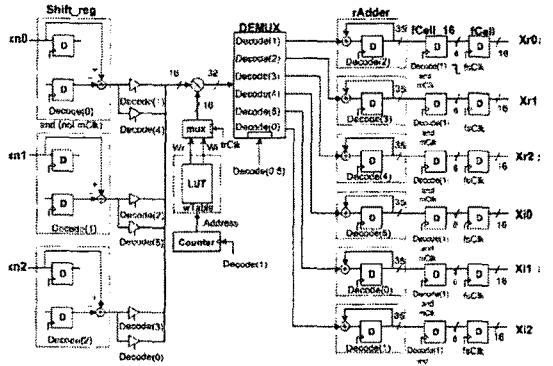


그림 1 다채널 페이지 연산 장치의 전체 구성도

또한 공통적으로 사용되는 연산 모듈 중에 게이트의 소요량이 큰 곱셈기를 시간 구간별로 공유하여 구현에 필요한 게이트를 최소화할 수 있는 구조로 구현하였다. 그림 1에서는 3개의 입력에 대하여 각각 페이지 값이 출력되도록 곱셈기를 시분할에 의해 공유하고 있는 형태를 볼 수 있다.

본 논문에서 설계된 다채널 위상 측정 시스템은 그림 2와 같다. 여기서 마이크로 컨트롤러는 DFT 측정 알고리즘의 FPGA 합성, HOST와의 serial communication 및 제어/상태 정보의 처리를 담당하며 89S53을 사용하여 구현되었다. 동작 수행 과정에서 마이크로 컨트롤러는 먼저 Host PC와의 RS232C link를 초기화하고 Host PC로부터 sliding-DFT 측정 장치 합성 file을 downloading받아서 target FPGA를 configuration한다. FPGA 합성 동작 후 마이크로 컨트롤러는 Host로부터 오는 제어 명령을 처리하며, 페이지 연산 FPGA에서 계산한 data를 byte단위로 read한 후, RS232C를 통하여 Host PC로 전송한다. 프로그램은 크게 Configuration 부분과 Data 전송 부분으로 나눌 수 있는데, Power on 시에 Configuration 부분은 PC로부터 Configuration bit file을 다운로드 받아서 FPGA를 Configuration하고, Data 전송 부분은 Configuration이 끝난 후에 FPGA로부터 DFT data를 받아서 PC로 전송하는 역할을 한다.

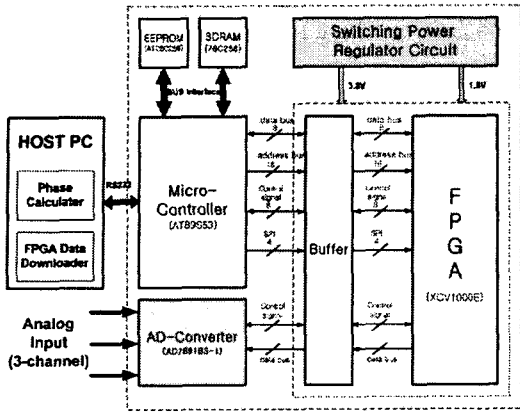


그림 2 다채널 위상 측정 시스템 설계 구성도

본 논문에서는 그림 3과 같이 FPGA를 이용한 8-채널 위상 측정 시스템을 설계하여 PCB에 제작 구현하였고, 이를 통한 실시간 페이저 및 위상 측정을 통해 하드웨어 동작을 확인하였다.

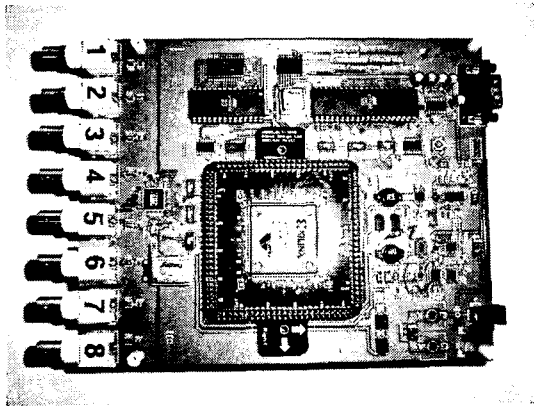


그림 3 FPGA를 이용한 다채널 위상 측정 시스템

구현된 시스템을 통해 61Hz 입력의 실시간 위상 측정을 수행한 결과를 그림 4에 나타내었다. 구현 시스템을 통해 입력 신호의 실시간 페이저 정보를 그림 4와 같이 실수와 허수값으로 산출하고 이를 Host PC로 전송하여 실시간 위상 정보를 얻는다. FPGA 하드웨어에 의한 측정 결과를 통해 본 논문에서 제안한 위상 측정 알고리즘은 실시간으로 위상 오차 누적에 강한 동작특성을 가지는 것을 확인하였다.

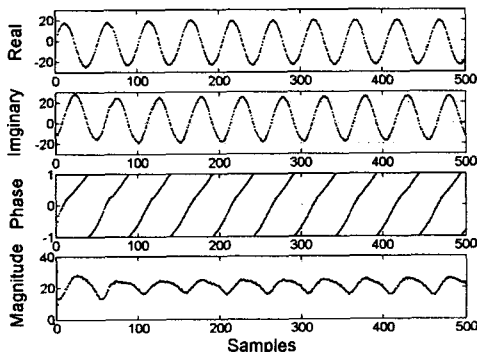


그림 4 위상 측정 결과(61Hz)

### 3. 결 론

본 논문에서는 매 동기시간에 정밀한 위상 측정을 위한 순환 sliding DFT 알고리즘을 제안하고, 이를 바탕으로 다채널 입력의 실시간 위상 측정이 가능한 FPGA 하드웨어를 설계 구현하였다. 일반적인 순환 sliding DFT 구조에 회전하는 위상 보정을 적용한 알고리즘을 제안하였다. 위상 측정 알고리즘에 오차 요인으로 작용하는 계수 근사에 대해 해석적으로 분석하여 제안한 위상 측정 알고리즘이 계수 근사 오차에 강인하다는 것을 확인하였다. 다채널 실시간 위상 측정 시스템은 FPGA를 이용한 하드웨어로 설계 제작 하였고 이의 동작을 확인하였다.

본 논문은 과학재단 지정 차세대전력기술연구센터의 지원에 의한 결과입니다.

### [참 고 문 헌]

- [1] G. Missout and P. Girard, "Measurement of Bus Voltage Angle Between Montreal and Sept-Iles," IEEE Trans. on Power Apparatus and Systems, Vol. PAS-99, no.2, pp.536-539, March/April 1980.
- [2] C. T. Nguyen and K. Srinivasan, "A New Technique for Rapid Tracking of Frequency Deviation Based on the Level Crossing," IEEE Trans. On Power Apparatus and Systems, Vol. PAS-103, no.3, pp. 2230-2236 Aug, 1984.
- [3] M. S. Sachdev and M. M. Giray, "A Least Square Technique For Determining Power System Frequency," IEEE Trans. On Power Apparatus and Systems, Vol. PAS- 104, no. 2, pp.437-443, Feb 1985.
- [4] V. V. Terzija, M. B. Djuric, and B. D. Kovacevic, "Voltage Phasor and Local System Frequency Estimation Using Newton Type Algorithm," IEEE Trans. On Power Delivery., Vol. 9 no. 3, pp. 1368-1374, July 1994.
- [5] A. G. Phadke, J. S. Thorp, and M. G. Adamiak, "A New Measurement Technique for Tracking Voltage Phasors, Local System Frequency, and Rate of Change of Frequency," IEEE Trans. on Power Apparatus and Systems, Vol. 102, no. 5, pp.1025-1038, May 1983.
- [6] K. J. R. Liu, C. T. Chiu, K. K. Koagotla, and J. F. Ja Ja, "Optimal unified architectures for the real-time computation of time-recursive descret sinusoidal transforms," IEEE Trans. onCircuits Syst., Vol. 4 pp. 168-180, Apr. 1994.
- [7] N. R. Murthy and M. N. S. Swamy, "On the computation of running discrete cosine and sine transforms," IEEE Trans. on Signal Processing, Vol. 40 no. 6, pp. 1430-1437, June 1992.
- [8] Jae-Hwa Kim, and Tae-Gye Chang T.A. Jones, "Writing a good paper," IEEE Trans. on General Writing, Vol. 1, no. 2, pp.1-10, May 2002.