

# 초 박형 실리콘 칩을 이용한 유연 패키징 기술 (Flexible packaging of thinned silicon chip)

이태희, 신규호\*, 김용준  
연세대학교 기계공학과, \*삼성 종합기술원

## Abstract

초 박형 실리콘 칩을 이용하여 실리콘 칩들을 포함한 모듈 전체가 굽힘이 자유로운 유연 패키징 기술을 구현하였으며 bending test와 FEA를 통해 초 박형 실리콘 칩의 기계적 특성을 살펴보았다. 초 박형 실리콘칩( $t < 30\mu m$ )은 표면손상의 가능성을 배제하기 위해 화학적 thinning 방법을 이용하여 제작 되었으며 열압착 방식에 의해 Kapton<sup>®</sup>에 바로 실장 되었다. 실리콘칩과 Kapton<sup>®</sup> 기판간의 단차가 적기 때문에 전기도금 방식으로 전기적 결선을 이룰 수 있었다. 이러한 방식의 패키징은 이러한 공정은 flip chip 공정에 비해 공정 간단하고 wire 본딩과 달리 표면 단차 적다. 따라서 연성회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삽입이 가능하여 패키징 밀도 증가를 기대할 수 있으며 실질적인 실장 가능면적을 극대화 할 수 있다.

## 1. Introduction

오늘날 전자 기기의 발전의 방향은 가능하면 작은 면적에 다양한 기능의 소자를 직접 시키고 패키징 하는 방향으로 이루어지고 있으며, 이러한 소형화, 고 집적화 경향은 앞으로도 상당 기간 유지될 것으로 보인다. 이러한 경향에 따라 오늘날의 휴대용 기기들은 내일의 입을 수 있는 기기(wearable device)로 발전하게 될 것이다[1]. 전기·전자 제품을 입을 수 있는 기기로 생산하기 위해서는 IC(Integrated Circuit), Sensor등의 반도체 소자를 non-planar 표면에 실장 시켜야 하며, 이를 위해서 flexible packaging 기술의 개발이 필요하다. 그러나 기존의 전기 소자들의 경우 기계적 굽힘이 불가능하다. 이러한 문제들은 일반적인 전기소자들의 경우 대부분 실리콘에 구현된 관계로 기존의 패키징 기술은 2차원적인 rigid평면에서만 구현 할 수밖에 없다는 점에 기인한다. 그러나 본 연구에서 제안하는 유연 패키징 기술은 주변회로에 필요한 실리콘 칩들을 포함한 모듈 전체가 굽힘이 자유로운 것으로, 임의곡면에 실장 가능하다. 따라서 이와 같은 문제들을 극복함으로써 실질적으로 소자를 실장 할 수 있는 면적을 극대화 할 수 있을 것으로 기대된다. 본 논문에서는 실리콘 칩들을 포함한 전체가 굽힘에 자유로운 모듈을 구현하기 위해 silicon chip을  $30\mu m$  이하의 두께로 가공하여 기계적 유연성을 확보하였다. 이렇게 얻은 초 박형 실리콘칩( $t < 30\mu m$ )은 FPCB에 쓰이는 Dupont사의 Kapton<sup>®</sup> film에 바로 실장하여 1차 패키징과 2차 패키징을 동시에 수행하였고 bending test를 통해 초 박형 실리콘 칩의 기계적 특성을 살펴보았다.

## 2. Experimental

### 2.1 Fabrication process - Silicon thinning

칩(chip)과 기판 모두가 flexible 한 모듈을 구현하기 위해서는 기존의 패키징 기술과는 다른 새로운 기술 개발이 필요하다. 새로운 패키징 기술의 핵심은 실리콘 칩 자체를 유연하게 만드는 데에 있다. 일반적인 경우 실리콘 칩은  $300\mu m$  정도의 두께를 갖는데 이러한 상태에서 실리콘은 재료 자체의 취성 때문에 기계적 변형을 가하는 것이 불가능하다. 그러나 실리콘의 두께가  $30\mu m$  이하로 얇아지면 유연성을 확보하게 되어 많은 기계적 변형을 탄성영역에서 극복할 수 있다[2].

이에 본 연구에서는 표면손상의 가능성을 배제한 상태에서 30  $\mu m$  이하의 실리콘 칩을 구현하기 위해 화학적 thinning 방법을 이용하여 충분히 굽힘이 가능한 thinned 실리콘 웨이퍼/칩을 구현하였다.(그림 2) 이러한 공정은 안전한 handling을 위해 NITTO DENCO사의 Revalpha<sup>®</sup>를 이용하여 carrier wafer에 얹어진 상태로 공정을 진행되었다.



그림 1. Thinned silicon wafer

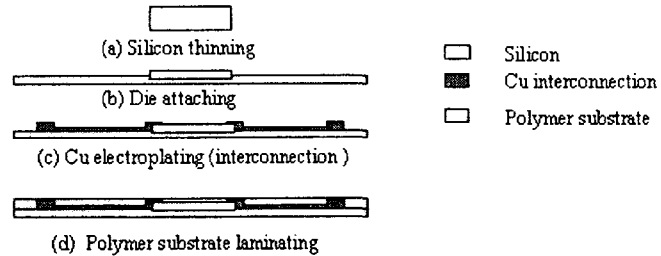


그림 2. Schematics of packaging process

## 2.2 Fabrication process - Packaging

완성된 초 박형 실리콘 칩은 열-압착방식에 의해 FPCB로 쓰이는 Kapton<sup>®</sup> film에 바로 실장 되었다. 실리콘칩과 Kapton<sup>®</sup> 기판간의 단차가 적기 때문에 전기도금 방식으로 전기적 결선을 이룰 수 있었으며 결과적으로 1차 패키징(die to chip carrier)과 2차 패키징(chip to substrate)을 동시에 이루었다. 이러한 방식의 패키징은 flip chip 공정에 비해 공정 간단하고 wire 본딩과 달리 표면 단차 적다. 따라서 연성회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삼입이 가능하여 패키징 밀도 증가를 기대할 수 있으며 실질적인 실장 가능면적을 극대화 할 수 있다.

그림 3은 유연 패키징이 완료된 초 박형 실리콘 칩의 사진이며 그림 4는 완성된 모듈의 단면을 보이는 개념도이다.

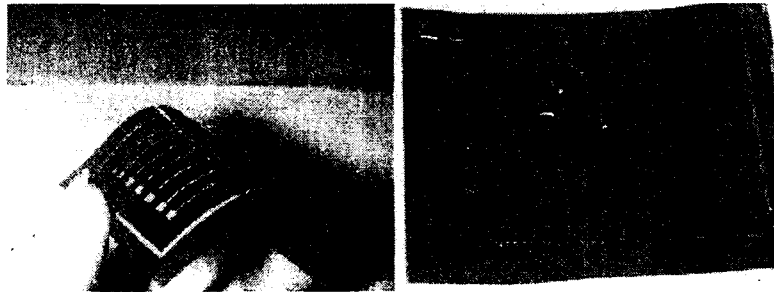


그림3. Flexible package using thinned silicon chip

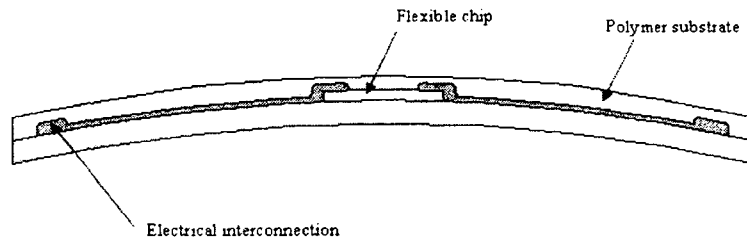


그림 4. Cross section of flexible package

## 2.3 Numerical analysis of flexible package

잘 알려진 바와 같이 보의 처짐곡선은 다음과 같은 미분식으로 표현된다[3].

$$\kappa = \frac{1}{\rho} = \frac{d^2v}{dx^2} = -\frac{M}{EI}$$

$\kappa$ :curvature,  $\rho$ :radius of curvature,  $v$ :deflection along z-axis,  $M$ :bending moment,  $EI$ :flexural rigidity

따라서 실리콘 칩의 두께가 줄어 들어감에 따라 더 작은 굽힘 모멘트로 더 큰 곡률을 얻을 수 있음은 쉽게 예상 할 수 있다. 그러나 제작된 패키지는 두께에 비해 많은 처짐을 갖기 때문에 위와 같은 식을 통해 특성을 예상할 수 없으며[3,4], 이에 제작된 패키지가 임의곡면에 실장 되었을 때의 기계적 특성을 살펴보기 위해 ABAQUS를 이용한 수치해석을 진행하였다.

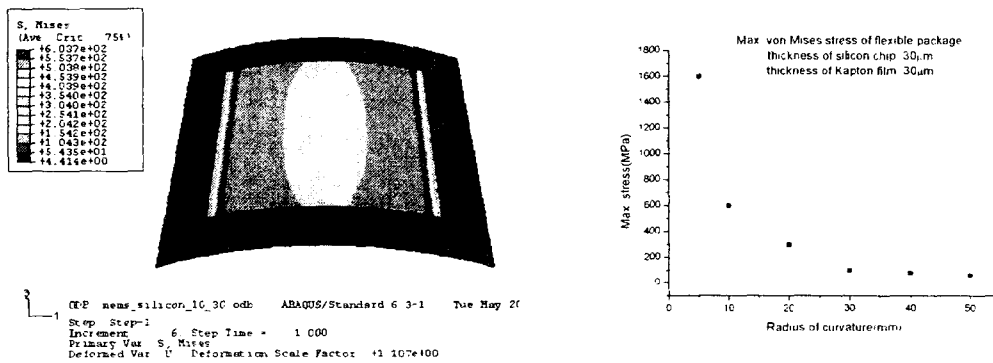
그림 5(a)는 두께  $30\mu\text{m}$ 의 실리콘 칩이 실장된 Kapton<sup>®</sup> film을 10mm의 곡률반경을 갖는 평면에 붙인 경우를 modeling한 것이다. 사용된물성치[5,6]와 기하학적 형상은 표 1,2과 같다.

표 1 Mechanical properties of silicon and Kapton<sup>®</sup>

	Young's modulus(GPa)	Fracture stress(GPa)	Poison's ratio
silicon	125~180	1.3~2.1	0.28
Kapton <sup>®</sup>	3.4		0.34

표 2 Geometric data of silicon chip and Kapton<sup>®</sup> film

	width(mm)	height(mm)	thickness( $\mu\text{m}$ )
silicon chip	5	5	30
Kapton <sup>®</sup> film	7	7	30



(a) FEA model of flexible package

(b) Max. von Mises stress vs. various  $\rho$

그림 5. Numerical analysis of flexible package

그림 5(b)는 그림 5(a)와 같은 유연 패키징이 완료된 모듈을 5mm에서 50mm의 곡률반경을 갖는 표면에 실장 시킨 경우 보이는 최대 응력을 나타내는 그래프이다. 이 그래프를 살펴보면 10 mm의 곡률 반경을 갖는 곡면에 제안된 모듈을 실장 시켰을 때 실리콘 칩의 표면에서 600 MPa정도의 최대 von Mises응력이 형성됨을 알 수 있다. 이는 실리콘의 fracture stress 1.3~2.7 GPa[5]을 훨씬 밑도는 것으로 제안된 패키징 기술을 통해 완성된 모듈이 임의 곡면에 안전하게 적용될 수 있음을 시사한다.

### 2.3 Bending test

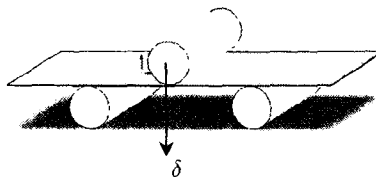


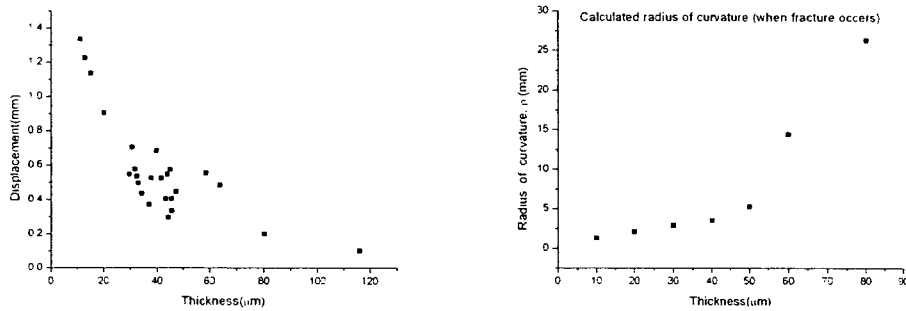
그림 6. Schematics of bending test

setup

초 박형 실리콘 칩의 실제 특성을 살펴보기 위해서 그림 5과 같은 bending test를 진행 하였다. 지점간 거리는 4mm, 지점으로 사용된 pin의 지름은 1mm 이며 변위를 인가하기 위한 환봉은 시

편의 중심에 위치한다. 이러한 지점 위에 다양한 두께를 갖는 8×4mm의 실리콘 시편을 얹고 각각의 두께에 대해 최대 처짐( $\delta$ )을 측정하였으며 측정된 최대 처짐을 기초로 다시 수치해석을 통해 파단이 일어날 때의 곡률 반경을 예상 할 수 있었다.

그림 7(a)는 bending test를 통해 얻은 최대 처짐을 나타내는 그래프이고 그림 7(b)는 이를 기반으로 얻은, 파단이 일어나는 시점에서 곡률반경을 나타내는 그래프이다. 그림 7(b)를 살펴보면 30  $\mu\text{m}$ 이하의 두께를 갖는 시편의 경우 파단 시 최대 곡률반경이 5mm 이하임을 알 수 있으며 이는 앞서 이루어졌던 예상을 입증하는 결과이다.



(a) Max. displacement vs. various thickness (b) Radius of curvature based on measured displacement  
그림 7. Measured displacement and curvature

### 3. Results and Discussion

초 박형 실리콘 칩을 이용하여 실리콘 칩들을 포함한 모듈 전체가 굽힘이 자유로운 유연 패키징 기술을 구현하였으며 bending test와 FEA를 통해 초 박형 실리콘 칩의 기계적 특성을 살펴보았다. FEA 결과, 구현된 패키지는 10mm 이하의 곡률을 갖는 곡면에 실장될 수 있음을 예상할 수 있었으며 이를 bending test를 통해 입증하였다. 또한 완성된 패키지는 표면 단차 적어서 연성회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삽입이 가능하다. 이러한 기판과 칩 간의 작은 단차는 전기적 결선공정을 간략화 시켜 1차 패키징(die to chip carrier)과 2차 패키징(chip to substrate)을 동시에 이룰 수 있었다.

이러한 결과로 미루어 볼 때 제안된 패키징 기술은 실질적인 실장 가능면적의 극대화를 통해 패키징 밀도 증가시킬 수 있으며 향후 wearable device의 구현을 위한 패키징의 대안이 될 수 있을 것으로 기대된다.

### References

- [1] Pentland, A. "Wearable information devices ", IEEE Micro , Volume: 21 Issue: 3 , May-June 2001 Page(s): 12 -15
- [2] Klink, G.; Feil, M.; Ansorge, F.; Aschenbrenner, R.; Reichl, H. "Innovative packaging concepts for ultra thin integrated circuits", Electronic Components and Technology Conference, 2001. Proceedings., 51st , 2001, Page(s): 1034 -1039
- [3] James. M. Gere; Stephen P. Timoshenko, "Mechanics of materials", PSW, Boston, 4th ed., chapter 9.2
- [4] Stephen P. Timoshenko; "Theory of plates and shells", McGraw-Hill, 2nd ed., Introduction
- [5] Gad-El-Hak, M.; Gad-El-Hak, Mohamed, "MEMS handbook", CRC, 2001, 1-3
- [6] Zehnder, A.T.; Ingrassia, A.R., "Reinforcing effect of coverlayers on the fatigue life of copper-Kapton flex cables" .Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transactions on , Volume: 18 Issue: 4 , Nov. 1995, Page(s): 704 -708