

STI-CMP공정에서 표면특성에 미치는 패턴구조 및 슬러리 종류의 효과

이 훈, 임대순, 이상익*
고려대학교 재료공학과
*(주)하이닉스반도체

Effect of pattern spacing and slurry types on the surface characteristics in STI-CMP process

Hoon Lee, Dae-Soon Lim, Sang-Ick Lee*
Department of Material Science and Engineering, Korea University
*Hynix Semiconductor

Abstract

Recently, STI(Shallow Trench Isolation) process has attracted attention for high density of semiconductor device as a essential isolation technology. In this paper, the effect of pattern density, trench width and selectivity of slurry on dishing in STI CMP process was investigated by using specially designed isolation pattern. As trench width increased, the dishing tends to increase. At $20\mu\text{m}$ pattern size, the dishing was decreased with increasing pattern density. Low selectivity slurry shows less dishing at over $160\mu\text{m}$ trench width, whereas high selectivity slurry shows less dishing at below $160\mu\text{m}$ trench width.

Key Words : CMP, STI CMP, slurry, pattern density, trench width, selectivity, dishing

1. 서 론

최근 반도체 소자의 고속화 및 고집적화에 따른 배선층수의 증가와 배선 패턴의 미세화에 대한 요구가 갈수록 높아져 CMP광역 평탄화에 의한 다층배선기술이 deep 서브 마이크론 공정에서 더 중요하게 되었다.

기존의 LOCOS(Local Oxidation of Silicon)공정은 소자의 활성영역으로 필드산화막이 측 방향에서 침투하는 새부리(bird's beak)현상과 노출된 실리콘과 거친 표면의 deep서브 마이크론 지역에서 필드

산화막이 얇아짐으로 인하여 $0.5\mu\text{m}$ 이하의 반도체 제조공정에서는 문제점으로 대두되었다.[1-3] 최근 소자 분리방법으로 STI공정이 반도체 소자의 고밀도화에 필수적인 기술로 주목받고 있다. 이공정은 실리콘 웨이퍼 위에 얇은 트렌치(trench)를 만들고 그 위에 SiO_2 를 도포하고 CMP(Chemical Mechanical Polishing)로 평탄화하는 기술로 기존의 LOCOS방법보다 좁은 면적으로 소자 분리가 가능하고, 성능이 우수하다는 장점을 갖고 있다.[4] 특히 넓은 지역을 광역 평탄화하는데 우수한 특징을 보이고 있

어 널리 사용되고 있다.[5] 그러나 CMP 공정은 dishing과 erosion과 같은 공정상의 문제점들을 수반하고 있다. 이를 해결하고자 각 박막에 따라 적절한 연마율을 갖도록 CMP공정용 연마제를 개발하는데 역점을 두고 있는 실정이다. 또한 dishing에 대한 정확한 메커니즘 규명도 없는 실정이다. 본 논문에서는 새로운 공정개발보다는 dishing의 메커니즘 규명에 관해 역점을 두었다.

2. 실험방법

2.1 시편제조 및 실험조건

본 실험에서 사용된 STI패턴 웨이퍼의 개략적인 모습을 Fig.1에 나타내었다.

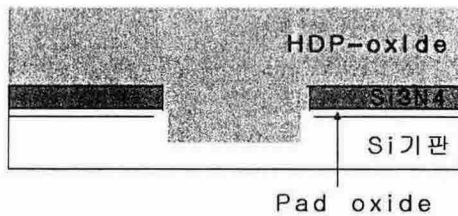


Fig. 1. STI pattern image

웨이퍼의 STI 패턴은 웨이퍼에 전기로로 열산화막을 120Å을 증착 한 후, 그 위에 LPCVD로 절화막을 1220Å 증착하고, 습식식각으로 트렌치를 256Å깊이로 형성하였다. 이 트렌치 위에 선형 산화막을 전기로로 100Å정도 형성하고 HDP-CVD oxide막을 6700Å으로 증착하여 STI pattern을 형성하였다.

CMP 연마장비는 LGP381-Lapmaster를 사용하였으며, 연마제로는 실리카계와 세리아계의 두가지 상용슬러리를 사용하였다. 막의 removal rate를 구하기 위하여, 실험 전과 후의 산화막 두께는 Rudolph

Ellipsometer FE-VII 시스템을 사용하였다. 이번실험에 사용된 실험조건과 사용장비의 모식도를 각각 Fig.2와 Fig.3에 나타내었다.

Slurry	silica-based slurry (pH 11.5)
	ceria-based slurry (pH 7)
Pad	stack pad(IC1400)
Plate rpm	30
Head rpm	30
Pressure	300N/m ²
Slurry flow rate	50cc/min
Specimen size	3cm × 3cm

Fig. 2. Test conditions

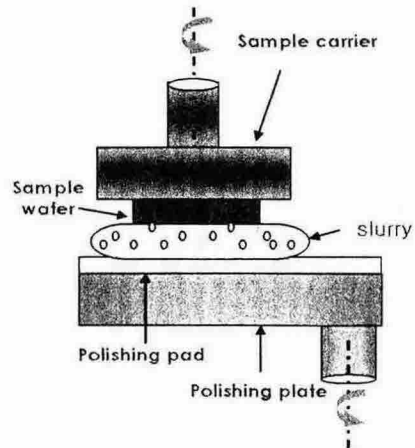


Fig. 3. Schematic diagram of CMP tester.

실험을 하기전에 diamond pad로 pad conditioning을 30초간 해주었고, 매실험전에도 재현성과 신뢰성을 기하기 위해, 30초간 pad conditioning을 실시하였다. CMP공정후 세정은 DI-water로 5분간 실시하였

고, 두께를 측정하기 전에는 알콜, 아세톤, DI-water순으로 각각 2분간 ultrasonic으로 세척을 실시하였다. Patterned wafer를 적용하기전에 먼저 blanket wafer를 이용하여 각 슬러리에 대한 HDP-Oxide막과 Nitride의 removal rate를 구한후, selectivity를 산출하였고, STI-CMP의 end point시점은 removal rate를 환산하여 시간으로써 제어를 했다. 실험전과 후의 산화막의 surface profile은 Tencor사의 alpha-step 500장비를 이용하여 결과값을 얻었다. 시편의 dishing의 양을 측정하기 위해, AFM분석과 surface profile결과값으로 분석하였으며, Fig.3은 본 실험에 사용된 시편의 모식도이다.

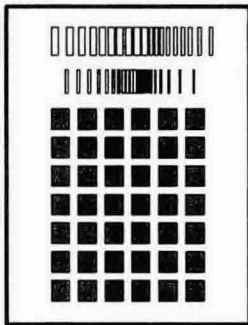


Fig. 3. Schematic diagrams of one die pattern.

2.2 시편분석

Fig. 3과 같이 이번 실험에서 사용된 시편은 한개 다이(die)상단에 2줄의 line이 형성되어 있고, 그 밑으로 42개의 block pattern이 형성되었다. Line length는 2000 μm 으로 동일하지만, line width는 125, 250, 500, 1000 μm 의 4가지 종류였다. 결국 STI구조에서 trench depth가 되는 line

space는 2~2560 μm 으로 다양하게 제작하였다. 또한 die안의 2mm \times 2mm크기의 block pattern들은 fig.4(b)에서 보듯이 pattern density가 10~90%로 다양하게 제작되었다.

Line pattern	
line length	2000 μm
line width	125, 250, 500, 1000 μm
line space	2~2560 μm

(a)

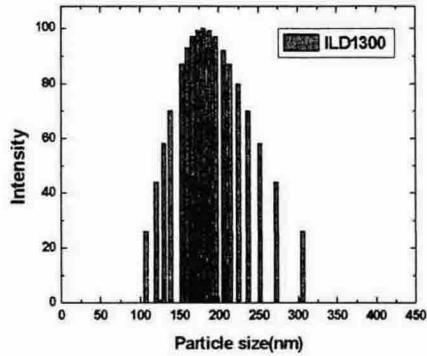
Block pattern	
block size	2mm \times 2mm(42개)
block space	2mm
active pattern width	1~400 μm
active pattern density	10~90%

(b)

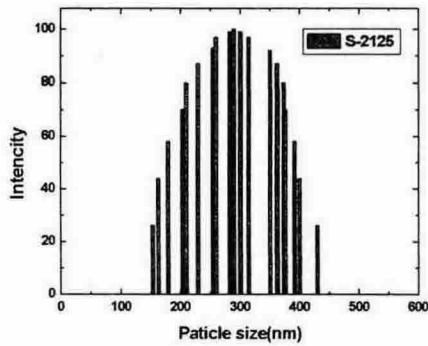
Fig. 4. Patterned specimen used in study; (a) line pattern, (b) block pattern.

3. 결과 및 고찰

본 실험에 사용된 슬러리의 입도분석을 하였는데, silica-based계와 ceria-based계의 평균입자크기는 각각 180.7nm와 289.2nm로 측정되었다. SEM image에서 볼수 있듯이 silica-based abrasive는 구형, ceria-based abrasive 입자들은 각형으로 형성되어 있었음을 알수 있었다.

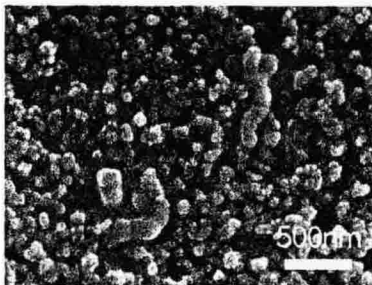


(a)

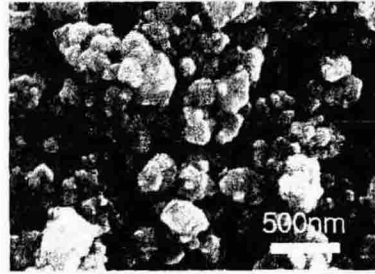


(b)

Fig. 5. Particle size distributions of (a) silica계 slurry and (b)ceria계 slurry.



(a)

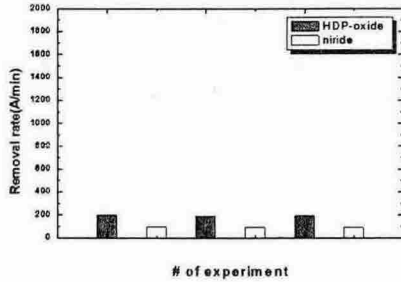


(b)

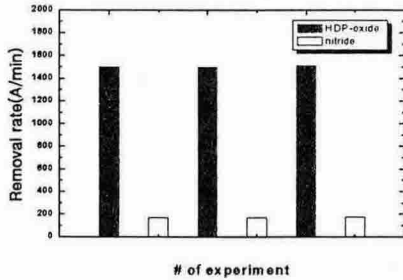
Fig. 6. SEM images of (a) Silica계 slurry and (b) ceria계 slurry.

Ceria계 slurry는 silica계 slurry보다 쉽게 응집되는 현상을 보였지만, 교반상태에서 슬러리공급을 해주었기 때문에 문제는 없었다. 이번 실험은 wafer이송장치의 압력 조건을 낮은 압력인 300N/m^2 로 하였기 때문에 각 막에 대한 removal rate는 대체적으로 작은 결과값을 얻었다. Removal rate는 결과값의 신뢰성 확보를 위해 실험 횟수를 3번씩 하여 평균값으로 정하였다. Silica slurry를 사용하였을 때는 HDP-oxide가 195.3\AA , Nitride는 94\AA 이었고, ceria slurry를 사용하였을 때는 HDP-oxide가 1502.3\AA , Nitride는 171.3\AA 의 removal rate값을 얻었다. 따라서 slurry의 selectivity값은 silica based slurry가 2.08:1, ceria based slurry가 8.77:1이라는 값을 얻었다. 이렇게 ceria based slurry의 selectivity가 상대적으로 더 큰 이유는 ceria based slurry에 첨가되는 음이온의 additive때문이라고 판단하였다. 실험분위기인 pH 7과 11.5에서는 각막에 대한 zeta potential값이 다르게 나타나며, pH가 7인 ceria slurry 분위기에서는 nitride는 중성, HDP-oxide는 negative charge를 띄게 되고, 여기서 음이온의 additive는 nitride막 표면에 흡착이 되어,

additive가 첨가되지 않은 silica slurry 보다 막제거를 방해하게 되어서 차이가 나타나게 된다.



(a)



(b)

Fig. 7. Removal rates of (a) silica계 slurry and (b) ceria계 slurry.

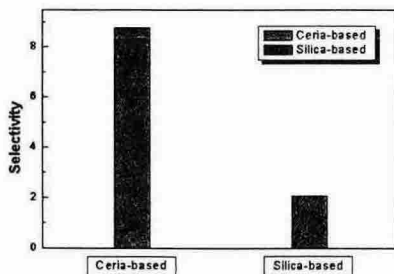
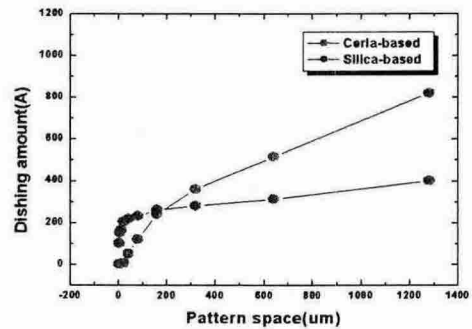
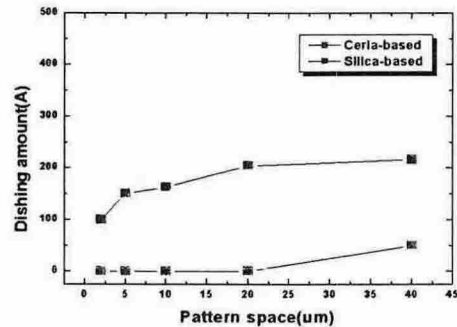


Fig. 8. Selectivity of slurry

위에서 얻어진 removal rate값을 기준으로 patterned wafer에 적용하여 CMP를 하였을때, trench width의 변화에 따른 dishing량을 보면, trench width가 약 160 μm 까지는 ceria slurry를 사용하였을때가 silica slurry를 사용했을때에 비해 dishing의 양이 현저히 작았고, 반면에 160 μm 이상이 되면서는 ceria slurry를 사용했을때가 dishing의 양이 많게 나타났다.



(a)

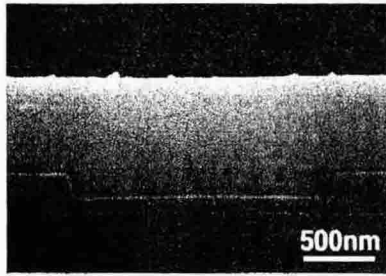


(b)

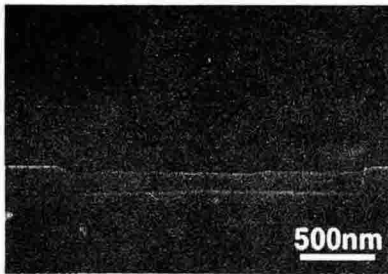
Fig. 9. Dishing amounts of (a) at 2 to 1280 μm and (b) at below 40 μm space.

실제적인 device에 적용되는 수 μm 이하에서는 ceria-based slurry를 사용하였을때

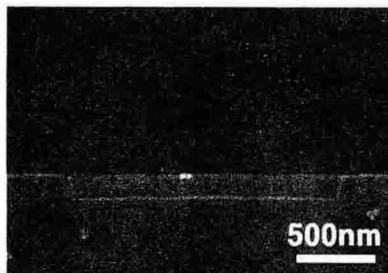
가 dishing의 양이 거의 없었다.



(a)



(b)



(c)

Fig. 10. SEM images; (a) before CMP, (b) after CMP with silica계 slurry, (c) after CMP with ceria계 slurry.

Active pattern size가 $20\mu\text{m}$ 인 block pattern들의 density에 따른 dishing의 양을 보면 fig.11에서 보듯이 ceria slurry를 적용하였을때가 dishing의 양이 현저히 적

었다. 전체적으로는 pattern density가 증가하면서 두가지 slurry에 따른 dishing의 양이 감소하는 경향을 나타내었다. 지금까지 얻어진 결과는 ceria-based slurry를 사용하였을때가, 실제 device에 적용이 되는 수 μm 이하에서 dishing의 양이 거의 없었고, pattern density가 증가하면서도 dishing의 양은 거의 없었다. 이와 같은 현상의 메커니즘은 여러 학계에서 아직 확실하게 규명된 것은 없으며, 이를 해결하기 위해선 좀더 연구가 진행되어야 한다.

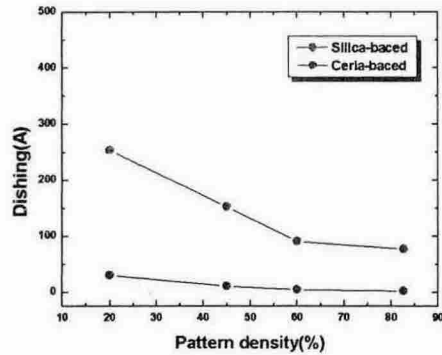


Fig. 11. Pattern density effect of dishing amount at $20\mu\text{m}$ active pattern size.

4. 결론

- 1) Pattern spacing이 약 $160\mu\text{m}$ 이하인 경우에는 ceria계 slurry를 사용했을때, silica계 slurry를 사용했을때에 비해 dishing의 양이 현저히 감소하였다.
- 2) Ceria계 slurry에서는 space(trench width)가 $2\mu\text{m}$ 부터 증가하여 $20\mu\text{m}$ 까지는 dishing의 양이 거의 없었으며, $160\mu\text{m}$ 이상부터는 silica계 slurry보다

dishing의 양이 많았다.

- 3) Pattern density가 증가함에 따라서, silica계 slurry에서도 dishing의 양이 감소하지만, 고밀도에서는 dishing의 양이 많았다.
- 4) Ceria계 slurry에서는, 저밀도에서 dishing의 양이 최대 30Å 정도였으며, density가 40%이상으로 점점 증가하면서 dishing양은 거의 없었다.
- 5) Device의 고집적화에 따른 CMP평탄도를 만족하기 위해서는 ceria계 슬러리 선택이 필수적임을 알수 있었다.

5. 후기

본 연구는 (주)하이닉스반도체의 연구비 지원으로 수행되었습니다.

6. 참고문헌

- 1) J. Jui, et al., "Scaling limitation of submicron LOCOS technology", Tech. Dig. IEDM, pp.392, 1985
- 2) C. Y. Chang, et al., "Shallow-Trench Isolation with raised-field-oxide structure", Jpn. J. Appl. Phys. vol(39), pp1080-1084, 2000
- 3) C. Shan Xu, et al., "STI CMP process development using standard oxide slurry", Electrochemical Society Proceedings volume 99-37
- 4) P. Sallagoity, et al., "STI process steps for sub-quarter micron CMOS", Microelectron Reliability, vol(38), No 2, pp.217-276, 1988
- 5) H. Liang, et al., "Wear phenomena in chemical mechanical polishing" Wear, vol(211), pp.271-279, 1997