

## [T-01]

# UHV-CVD를 이용한 Si 선택적 단결정막 성장

임승현, 송석찬, 박태서, 이승윤, 이종호\*, 윤의준, 박정우\*\*, 최시영\*\*, 강호규\*\*  
서울대학교 재료공학부, \*원광대학교 전기전자 및 정보공학부, \*\*삼성전자

DRAM 및 로직을 위한 CMOS 소자들의 critical dimension이  $0.1 \mu\text{m}$  또는 그 이하 영역으로까지 scale-down됨에 따라 차세대 소자의 경우 집적도 및 성능 향상을 위해 elevated source/drain (ESD), 또는 self-aligned contact (SAC)<sup>(1)</sup>과 같은 진보된 형태의 소자 구조들이 제안되고 있으며, 이를 구현하기 위한 핵심 기술인 선택적 단결정막 성장 기술이 최근 크게 주목받고 있다. UHV-CVD를 이용한 Si 단결정막 성장법은 단결정막 성장 환경을 극도로 청정화함으로써 저온에서도 결정성이 우수한 단결정막을 성장할 수 있으며, 부식성이 강한 Cl 종을 사용하지 않으면서도 Si, SiGe 단결정막의 선택적 성장이 가능한 장점이 있다.

본 연구에서는 cold-wall type의 UHV-CVD 방법을 이용하여 *ex-situ* 습식 세정 후 별도의 *in-situ* 세정 처리 과정 없이  $550\sim 650 \text{ }^\circ\text{C}$ 의 성장 온도에서 고품질 Si 단결정막을 성장하였다. AFM 측정 결과, 단결정막 표면의 RMS roughness는  $2 \text{ \AA}$  이하이며, 단면 TEM 분석으로부터 단결정막 내부에 어떠한 결함도 발견되지 않음을 확인하였다. Fig. 1의 (a)와 (b)는 각각  $650 \text{ }^\circ\text{C}$ 의 성장 온도에서 LOCOS 패터닝 기판 위에 선택적으로 성장한 Si 단결정막의 단면과 평면 SEM 사진이다. 사진에서 알 수 있듯이 field oxide 위에 Si 단결정막의 성장 없이 window 부분에만 선택적으로  $1400 \text{ \AA}$  두께의 Si 단결정막을 성장할 수 있었으며, 선택적으로 성장한 Si 단결정막의 표면은 매우 평탄하였다.

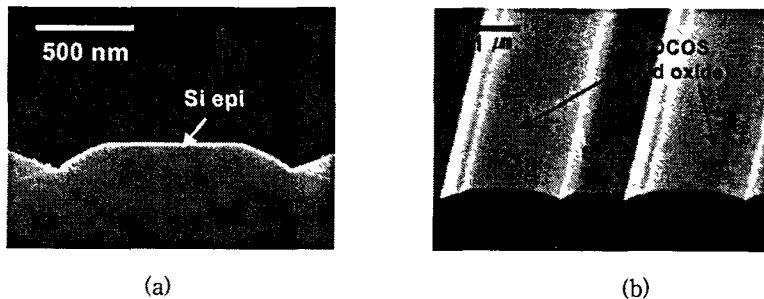


Fig. 1 (a) Cross-section and (b) plain-view SEM images of Si epitaxial layer selectively grown at  $650 \text{ }^\circ\text{C}$ .

[참고문헌]

1. H. Koga et al, "Two-Dimensional Borderless Contact Pad Technology for a  $0.13\mu\text{m}^2$  4-Gigabit DRAM Cell" IEDM Tech. Dig., 25-28. (1997).