

후막 리소그래피 공정을 이용한 내장형 캐패시터 개발에 관한 연구

유찬세, 박성대, 박종철
전자부품연구원

The Study on the embedded capacitor using thick film lithography

Chan-Sei Yoo, Seong-Dae Park, and Jong-Chul Park
Korea Electronics Technology Institute(KETI)

Abstract

As the size of chip components and module decreases, new patterning method for fine line and geometry is needed. So far, in LTCC(Low Temperature Cofired Ceramic) process, screen printing method has been used generally. But screen printing method has some disadvantages as follows. First, the geometry including line, vias, etc. smaller than 100 μm can't be evaluated easily. Second, the patterned dimension is different from designed value, which makes distortion in charactersitics of not only chip components but also modules.

Thick film lithography has advantages of thick film screen printing process, low cost and thin film process, fine line feasibility. Using this method, the line with 30 μm width and the geometry with expected dimension can be evaluated. In this study, the fine line with 35 μm line/space is formed and the embedded capacitor with very small tolerance is developed using thick film lithography.

Key Words : LTCC, Screen printing, lithography, fine line, embedded capacitor

1. 서론

최근 LTCC를 이용한 칩 부품 및 모듈 개발에 관한 연구가 점점 더 소형화 추세로 진행되고 있으며 따라 기존의 후막 인쇄방법(screen printing)을 이용한 패턴 설계에 있어서 많은 한계점들이 보고되고 있다. 그리고 사용 주파수 대역이 점점 올라감에 따라 설계에 필요한 패턴 크기가 줄어들고 있고 소자특성의 균일성이 요구되고 있다. 본 연구에서는 기존의 후막 인쇄 공정과 반도체 에칭 공정을 접합한 후막 리소그래피 공정을 이용하여 미세라인과 높은 균일성을 갖는 내장형 캐패시터를 구현하였다.

2. 실험

후막 리소그래피는 도체 페이스트를 전면 도포한 뒤 노광과 현상 공정을 거쳐 패턴을 형성하게 되는데 그 공정 흐름도가 그림 1에 나타나있다.

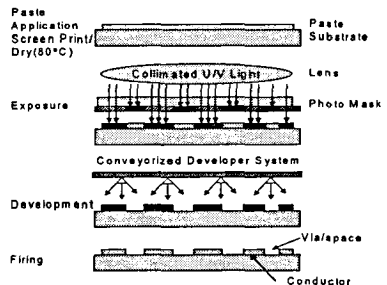
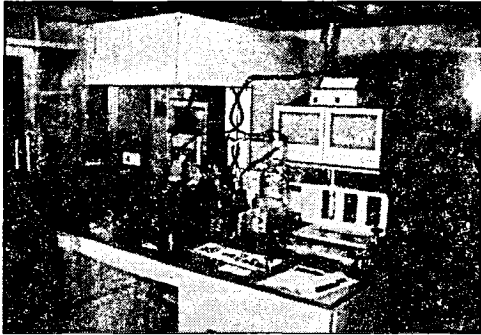


그림 1. 리소그래피 공정 흐름도

전극 페이스트로 전면 도포한 후 원하는 패턴 부분만 남도록 투과 필름을 이용하여 노광한 후 현상 공정을 거쳐 미세 패턴을 형성하게 된다. 노광공정에서는 투과 시키는 빛의 세기, 투과 시간 등이 중요한데 본 실험에서는 자외선에 대해 위의 조건들을 최적화하였다. 그림 2에 노광 공정 장비와 노광 조건이 나타나있다.



1kW Hg lamp, $\lambda=365$ nm, intensity > 50 mW/cm²
 그림 2. 노광 장비 및 기본 조건

현상은 developing과 rinse 공정으로 나누어 진행하였고 현상 장비는 이 두 공정이 연속적으로 이루어 지도록 하였다. 현상 공정에서는 사용하는 용액과 현상 시간이 매우 중요한데, 현상 용액은 1% Na₂CO₃ 수용액을 사용하였고 현상 시간에 따른 패턴 특성을 관찰하였다. 그림 3에는 현상 장비가 나타나있다.

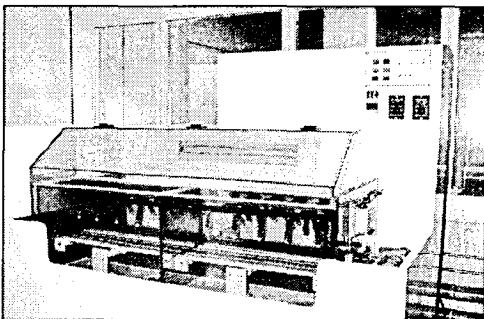


그림 3. 현상기

본 실험에 사용한 페이스트는 Dupont사의 노광용 전극과 본 연구에서 자체 개발한 전극을 모두 이용하였다.

제작한 내장형 캐패시터의 측정은 Network Analyzer(8753D) 에서 직접 제작한 PCB 지그를 이용하여 측정하였다.

3. 결과 및 고찰

3.1 공정 조건 고찰

먼저 리소그래피의 주요 공정인 노광과 현상 조건에 대한 실험을 진행하였다. 노광의 경우 노광량이, 그리고 현상의 경우 현상 시간이 가장 중요한 변수인데 이들의 변화에 따른 패턴 특성을 비교하였다.

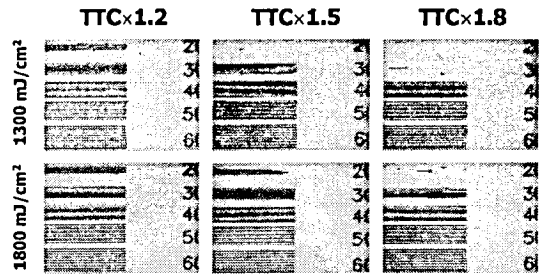
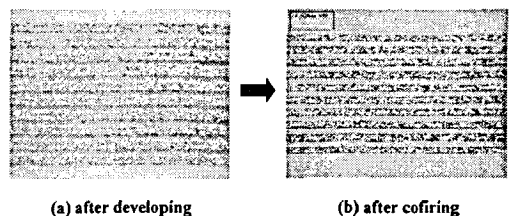


그림 4. 노광 및 현상 조건에 따른 패턴 특성

그림 4의 결과를 보면 20 μ m 선폭까지 test해본 결과 노광량 1300~1800 mJ/cm² 현상 시간 TTC×1.2 일 경우가 가장 우수한 특성을 나타내었다. 여기서 TTC(Time to clear)는 노광된 페이스트가 현상액에 의해 100% wash-out 되는 시간을 의미한다. 위에서 선정된 최적 공정 조건을 이용하여 미세 라인, 내장형 캐패시터 패턴을 형성하였다.

3.2 미세라인 형성 실험

미세라인 실험에서는 25 μ m 선폭의 라인을 형성하였는데 기존의 인쇄 방법에서 100 μ m 이하의 선폭형성이 쉽지 않은 것을 생각하면 여러 회로 설계시 집적화, 소형화에 크게 기여할 것으로 생각된다. 그림 5에는 25 μ m 선폭과 간격을 갖는 패턴 형성이 나타나있다.



(a) after developing (b) after cofiring
 그림 5. 미세라인 패턴 형성 결과

미세라인 뿐 만 아니라 인쇄로도 구현 가능한 선 폭에 대해서도 리소그라피는 그 우월성을 갖는다. 라인 선폭의 균일성이 우수하고 설계치와 거의 일치하기 때문에 높은 주파수 대역에서 우수한 전송선로 특성을 나타낼 것으로 예상된다.

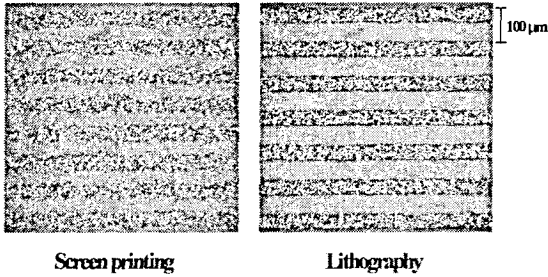


그림 6. 공정에 따른 선 특성 비교

그림 6에서 알 수 있듯이 신공정을 통해 선 특성이 현저히 개선되었다.

3.3 내장형 캐패시터

캐패시터는 인덕터나 저항에 비해 비교적 구현하기 쉬운 소자이나 회로에 적용되는 비율이 가장 높기 때문에 이에 대한 특성 안정화가 전체 모듈 특성을 제어하는데도 매우 중요하다고 볼 수 있다. 특히 모든 부품들이 고주파수 대역화 됨에 따라 캐패시터도 낮은 주파수 대역에서의 캐패시턴스 값 뿐 아니라 높은 주파수 대역에서의 임피던스 값도 매우 중요하다. 이를 해결하기 위해서는 샘플 간의 오차가 최소화 되어야 하며 설계치와 거의 일치하는 패턴을 형성할 수 있어야 한다. 본 연구에서는 그림 7과 같이 3가지의 패턴을 사용하였다.

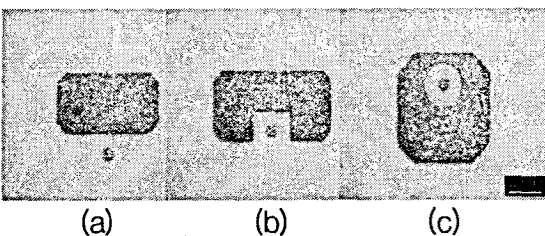


그림 7. 사용된 캐패시터 패턴

그림 7의 (a)는 저용량이며 낮은 기생 인덕턴스 값을 갖는 구조이고 (b)는 고용량이며 면적 활용도

가 높은 패턴이며 (c)는 고용량이며 낮은 기생 인덕턴스 값을 갖는 구조이다. 모듈에 사용되는 용량들에 대해 저용량은 (a), 중간 용량은 (b), 그리고 고용량은 (c)구조를 적용하였고 여러층을 적층하여 고용량을 형성하였다.

일반적인 후막 인쇄의 경우 모서리 부분이나 원형 부분의 형상이 정확하게 구현되지 못하는 경우가 많고 패턴의 크기도 설계치와 일치하지 않는 경우가 많다. 반면 그림 7에 나타난 리소그라피 공정에 의한 패턴을 보면 모서리 부분이나 원형 패턴이 정확하게 형성되고 있음을 알 수 있다. 이러한 결과는 앞에서 언급한대로 캐패시터 특성의 tolerance가 최소화되고 이에 따라 제품 생산시 수율 극대화에도 영향을 줄 것으로 생각된다. 표 1에는 캐패시터 측정 결과가 제시되어 있다.

표 1. 캐패시터 측정 결과

C-pattern No	1layer Capacitor		2layer Capacitor		3layer Capacitor	
	C (pF@100MHz)	StDev%	C (pF@100MHz)	StDev%	C (pF@100MHz)	StDev%
1	0.67	1.92	1.20	1.30	1.87	2.34
2	0.78	1.51	1.42	1.94	2.23	1.71
3	0.89	1.25	1.61	1.30	2.54	1.58
4	1.13	1.22	2.03	2.39	3.20	1.38
5	1.47	1.35	2.66	1.08	4.26	1.13
6	1.82	1.80	3.36	1.40	5.36	1.33
7	2.13	0.85	4.00	1.29	6.40	1.57
8	2.72	1.01	5.08	1.06	8.18	1.20
9	3.27	1.65	6.16	1.31	9.95	1.28
10	3.55	0.98	6.73	1.86	10.78	1.40
11	3.87	0.93	7.33	0.84	11.85	2.14
12	4.17	1.16	7.96	1.23	12.85	2.00
13	5.77	0.97	11.14	1.09	18.08	1.72
14	7.18	0.72	14.08	0.99	22.68	1.23
15	3.38	1.20	6.16	0.53	9.73	1.68
16	4.16	0.74	7.65	0.65	12.06	1.44
17	5.12	0.56	9.55	1.02	15.01	1.03
18	6.16	0.88	11.49	0.94	18.12	0.83

위의 결과에서 볼 수 있듯이 수 GHz 대역까지 가장 많이 사용되는 20 pF이내의 캐패시터에 대해 용량 표준 편차가 2% 이내로 결정되고 있음을 알 수 있다. 칩 캐패시터와 인쇄방법에 의한 내장형 캐패시터가 5% 정도의 표준편차를 유지하는 것을 감안하면 그 정확도가 2배 이상으로 향상되었다고 볼 수 있다. 이러한 장점은 저주파에서의 차이가 고주파 대역에서 큰 차이를 나타내는 2 pF 이하의 저용량 캐패시터에서 더 극대화될 것으로 판단된다.

4. 결론

후막 인쇄 공정과 반도체 에칭 공정을 혼합한 후막 리소그라피 공정을 이용하여 25 µm의 선폭을 갖는 미세라인을 구현하였고, 표준편차 2% 이내의

내장형 캐패시터를 개발하였다. 이러한 패턴 형성의 정확도는 3차원 모듈 설계 및 제품 생산시 양산 수율 향상에 크게 기여할 것으로 기대된다.

참고 문헌

- [1] Y. L. Wang, P. J. Ollivier and M. A. Skurski, "Photoformed Thick Film Materials and Their Application to Fine Feature Circuitry," Proceedings of 2000 International Conference on High-Density Interconnect and Systems Packaging, 579-584 (2000).
- [2] Peter Barnwell, "Microwave MCM-C Utilizing Low Loss LTCC and Photo-patterning Processes," Proceedings of 1999 International Conference on High Density Packaging and MCMs, 237-241 (1999).
- [3] D. I. Amey and S. J. Horowitz, "Tests Characterize High-Frequency Material Properties," Microwaves & RF, Vol.36, No.8 (1997).