

Pt/BLT/CeO₂/Si 구조를 이용한 MFIS의 특성

이정미, 김창일, 김경태, 김동표, 황진호*, 이철인**
중앙대학교, 인천 기능대*, 안산공과대학**

Characteristics of MFIS using Pt/BLT/CeO₂/Si structures

Jung-Mi Lee, Chang-Il Kim, Kyoung-Tae Kim, Dong-Pyo Kim,
Jin-Ho Hwang*, Cheol-In Lee**
Chung-Ang University, Incheon Polytechnic College*, Ansan Collage of Technology**

Abstract

The MFIS capacitors were fabricated using a metalorganic decomposition method. Thin layers of CeO₂ were deposited as a buffer layer on Si substrate and BLT thin films were used as a ferroelectric layer. The electrical and structural properties of the MFIS structure were investigated. X-ray diffraction was used to determine the phase of the BLT thin films and the quality of the CeO₂ layer. The morphology of films and the interface structures of the BLT and the CeO₂ layers were investigated by scanning electron microscopy. The width of the memory window in the C-V curves for the MFIS structure is 4.78 V. The experimental results show that the BLT-based MFIS structure is suitable for non-volatile memory FETs with large memory window.

Key Words : MFIS, BLT, CeO₂, memory window, MOD

1. 서 론

강유전체를 이용한 기억소자는 FRAM, DRAM, MFS-FET으로 크게 구별된다. 이중 DRAM의 경우 정보를 읽을때 기억된 정보가 파괴되는 단점을 가지고 있지만, MFS-FET은 강유전체의 분극 특성을 이용하기 때문에 정보를 비파괴적으로 읽을수 있을뿐만 아니라 빠른 구동속도, 고집적화의 장점을 가지고 있다. MFS-FET의 강유전체로는 PZT, SBT, BLT 등을 많이 사용하는데 그 중에서도 BLT가 분극 피로가 적고, 낮은 공정 온도에서 증착이 가능하며, SBT 박막 보다 큰 잔류 분극값 갖는 등의 우수한 특성을 가지고 있다. 그러나 이러한 MFS-FET도 Si 위에 직접 강유전체를 증착하기 때문에 제작과정에서 강유전체와 Si의 상호반응으로 인해 계면특성이 나빠지게 된다. 이것을 해

결하기 위한 방법으로 강유전체와 Si 사이에 계면 특성이 좋고 유전상수가 높은 절연층을 삽입하는 MFIS 구조가 제안되었다. 현재 절연층으로는 CeO₂, YMnO₃, MgO, SiON, ZrO₂ 등의 여러 물질이 연구 되어졌다. 일반적으로 절연층은 좋은 계면을 형성하기 위해 Si 위에 heteroepitaxially하게 성장해야 하고, 높은 유전 상수를 갖으며, Si과 반응하지 않고, 확산 방지막의 특성을 가지고 있어야 한다. 본 논문에서는 Si과의 mismatch가 적어 계면 특성이 우수하고 높은 온도에서도 매우 안정적인 CeO₂를 이용했다.

본 연구는 CeO₂와 BLT 박막을 metalorganic decomposition(MOD)법으로 제조하여, p-type Si 기판위에 CeO₂를 증착하고, 그 위에 BLT를 스펀 코팅법으로 증착하여 MFIS 구조의 전기적, 구조적 특성을 연구하고, CeO₂를 절연층으로 BLT 박막을

강유전층으로 이용한 MFIS-FET 구조의 비휘발성 메모리소자로의 응용 가능성을 조사하고자 한다.

2. 실험

CeO₂ 막이 증착될 p-type Si 기판은 자연산화막 (SiO₂)을 제거하기 위해 유기 세정 및 표준 RCA 법으로 세정하였다. 우선 CeO₂ 박막은 cerium(III) acetylacetonate hydrate [Ce(CH₃COCHCH₃)₃·x·H₂O]와 용매로 ethanol [C₂H₅OH]과 H₂O를 사용하여 CeO₂ 용액을 제조한 후 Si 위에 스피ن 코팅법으로 증착하였다. BLT 용액을 제조하기 위해 bismuth(III) acetate [(CH₃CO₂)₃Bi], lanthanum-acetate hydrate [(CH₃CO₂)₃LA · x·H₂O], titanium iso-propoxide [Ti[OCH(CH₃)₂]₄]을 사용하였고, bismuth(III) acetate와 lanthanum-acetate의 용매로는 acetic acid, titanium iso-propoxide의 용매로는 ethylen glychol의 일종인 2-methoxyethanol을 사용하였다. BLT 박막은 CeO₂ 박막과 Si 위에 직접 스피ن 코팅법으로 증착하여 두 가지 타임을 만들었다. CeO₂와 BLT 박막의 증착 조건은 Table 1.에 나타내었다. 상부 전극으로 쓰일 Pt는 지름이 300 μm인 새도우 마스크를 이용하여 BLT 위에 DC 스퍼터링 방법으로 증착하였다.

증착된 박막의 결정구조를 분석하기 위해 X-ray diffraction(XRD)를 사용하고, scanning electron microscopy(SEM)을 이용하여 표면 및 단면의 구조를 관찰하였으며, C-V 특성은 1 MHz의 주파수에서 ±5 V 범위로 전압인가 하여 HP4192 impedance analyzer를 이용해 구조적 전기적 특성을 분석하였다.

표 1. CeO₂와 BLT 박막의 증착 조건.

	CeO ₂	BLT
rpm	3000 (30초)	4000 (30초)
Hot plate	450°C 5분	450°C 10분
어닐링 (O ₂ 분위기)	700°C 30분	650°C 1시간

3. 결과 및 고찰

그림 1은 p-type Si 기판 위에 증착 시킨 CeO₂, CeO₂/BLT, BLT 박막의 XRD 패턴을 나타내었다. CeO₂ 박막은 (311) 결정 방향의 피크만을 보여주고, CeO₂/BLT와 BLT 박막은 (117) 방향이 강한 다결정 상태로 성장함을 알 수 있다. CeO₂/BLT 박막에서 CeO₂의 (311) 결정 방향의 피크는 열처리시 발생하는 응력에 의해 이동한 BLT의 (173)/(371) 결정 방향 피크와 중첩된 것으로 보인다.

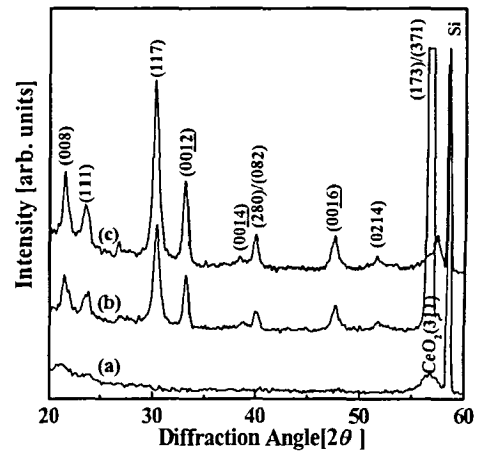
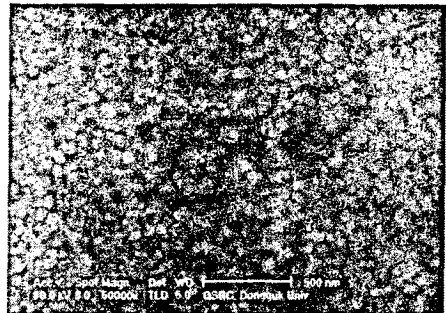
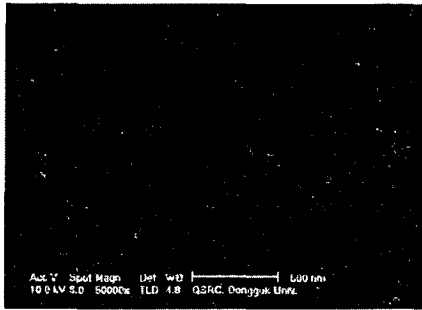


그림 1. X선 회절 패턴 (a) Si/CeO₂, (b) Si/CeO₂/BLT, (c) Si/BLT.

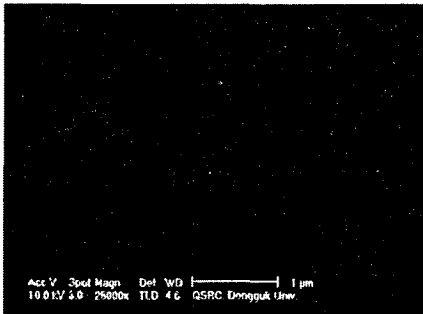
그림 2는 각각 Si/BLT, Si/CeO₂/BLT, Si/CeO₂ 표면의 SEM 사진이다. (a), (b)의 BLT 박막의 경우 그레인 크기가 작고 약간의 기공이 관찰되지만 균일하여 막질이 양호하였다. (c)의 CeO₂ 박막은 기공이 없는 결정 구조임을 알 수 있다.



(a)



(b)



(c)

그림 2. SEM 표면 사진 (a) Si/BLT, (b) Si/CeO₂/BLT, (c) Si/CeO₂.

그림 3은 Si/CeO₂/BLT 박막의 단면 SEM 사진이다. Si 위에 CeO₂ 박막은 약 16 nm 정도 증착되었고, BLT 박막은 약 330 nm 정도 증착되었다. BLT 박막에 비해 절연층으로 이용한 CeO₂ 박막은 아주 얇지만, MFS-FET에서 나타나는 BLT 박막과 Si 사이에 좋지 않은 계면 특성의 원인이 되는 확산은 일어나지 않은 것으로 보인다.

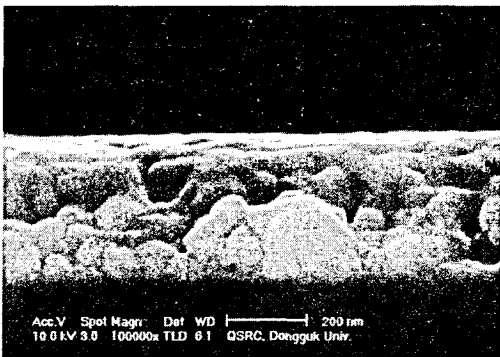


그림 3. Si/CeO₂/BLT의 SEM 단면 사진.

그림 4는 Si/BLT/Pt 구조의 1 MHz C-V 특성을 나타내었다. C-V 곡선이 강유전층으로의 전하 주입에 의해 약간 오른쪽으로 shift 된 것을 볼 수 있다. 커패시턴스는 축적에서 반전상태까지 변하며, 강유전체의 분극반전에 의한 이력 곡선이 관찰되었다. Si/BLT/Pt 구조의 memory window는 2.3 V 정도의 값을 갖는다.

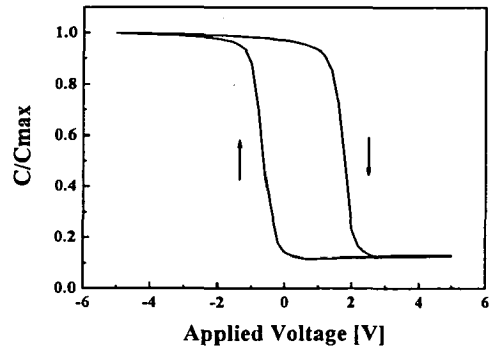


그림 4. Si/BLT/Pt 구조의 C-V 특성.

그림 5는 Si/CeO₂/BLT/Pt 구조의 1 MHz C-V 특성을 나타내었다. Mobile ion, 항전계 등과 관련된 memory window 값은 결정 방향, 막의 두께, 그레인의 크기에 의해 영향을 받는다. 절연층이 없이 BLT만을 증착한 구조의 C-V 특성인 그림 4와 비교해 볼 때, 막 두께가 아주 작은 CeO₂로 인해 memory window는 약 2배 정도인 4.78 V의 큰 값을 갖는 것을 알 수 있다.

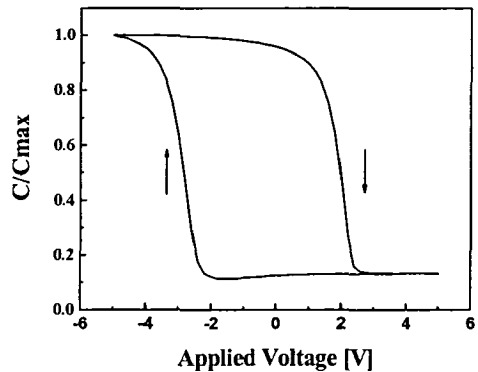


그림 5. Si/CeO₂/BLT/Pt 구조의 C-V 특성.

4. 결 론

강유전체 BLT 박막과 절연물질로 사용된 CeO_2 박막은 MOD법에 의해 제조하여 스피너 코팅 방법으로 $\text{Si/BLT/CeO}_2/\text{Pt}$ 의 MFIS 구조를 제작하였다. CeO_2 박막은 (311) 결정 방향을 나타내었고, BLT 박막은 (117) 결정성이 강한 다결정임을 XRD를 통해 관찰 하였다. 표면 SEM 사진을 통해 양호한 막 상태를 확인할 수 있었고, 단면 SEM 사진을 통해 BLT와 Si 사이에 확산이 일어나지 않은 우수한 계면 특성을 관찰할 수 있었다. 1 MHz C-V 곡선에서 Si/BLT/Pt 구조의 memory window는 2.3 V였고, 절연층을 사용한 $\text{Si/CeO}_2/\text{BLT/Pt}$ 구조의 memory window는 4.78 V였다. 이것으로 CeO_2 를 절연층으로 사용했을때 특성이 우수하여 $\text{Si/CeO}_2/\text{BLT/Pt}$ 의 MFIS-FET 구조는 비휘발성 메모리소자로서 응용 가능성이 확인 되었다.

참고 문헌

- [1] T. Kijima, Y. Fujisaki, and H. Ishiwara, "Fabrication and Characterization of $\text{Pt}/(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}/\text{Si}_3\text{N}_4/\text{Si}$ Metal Ferroelectric Insulator Semiconductor Structure for FET-Type Ferroelectric Memory Applications", Jpn. J. Appl. Phys., Vol. 40, p. 2977, 2001.
- [2] K. Nagashima, T. Hirai, H. Koike, Y. Fujisaki, and Y. Tarui, "Characteristics of Metal/ Ferroelectric/Insulator/Semiconductor Structure Using $\text{SrBi}_2\text{Ta}_2\text{O}_9$ as the Ferroelectric Material", Jpn. J. Appl. Phys., Vol. 35, p. L1680, 1996.
- [3] H. W. Song, C. S. Lee, D. G. Kim, and K. S. No, " Characterization of CeO_2 thin films as insulator of metal ferroelectric insulator semiconductor(MFIS) structures", Thin Solid Films, 368, p. 61, 2000.
- [4] B. K. Moon, H. Ishiwara, E. Tokumitsu, and M. Yoshimoto, "Characteristics of ferroelectric $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ films epitaxially grown on $\text{CeO}_2(111)/\text{Si}(111)$ substrates", Thin Solid Films, 385, p. 307, 2001.

- [5] H. S. Choi, Y. T. Kim, S. I. Kim, and I. H. Choi, "Electrical Characteristics of $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{Ta}_2\text{O}_5/\text{Si}$ Using Ta_2O_5 as the Buffer Layer", Jpn. J. Appl. Phys., Vol. 40, p. 2940, 2001.