

다결정 다공질 실리콘 나노구조의 전계 방출 특성

Field Emission properties of Porous Polycrystalline silicon Nano-Structure

이 주원, 김 훈, 박 종원, 이윤희¹, 장 진², 주 병권

Joo-Won Lee, Hoon Kim, Jong-Won Park, Yun-Hi Lee¹, Jin Jang² and Byeong-Kwon Ju

Abstract

We establish a visible light emission from porous polycrystalline silicon nano structure(PPNS). The PPNS layer are formed on heavily doped n-type Si substrate. 2um thickness of undoped polycrystalline silicon deposited using LPCVD (Low Pressure Chemical Vapor Deposition) anodized in a HF: ethanol(=1:1) as functions of anodizing conditions. And then a PPNS layer thermally oxidized for 1 hr at 900 °C. Subsequently, thin metal Au as a top electrode deposited onto the PPNS surface by E-beam evaporator and, in order to establish ohmic contact, an thermally evaporated Al was deposited on the back side of a Si-substrate. When the top electrode biased at +6V, the electron emission observed in a PPNS which caused by field-induces electron emission through the top metal. Among the PPNSs as functions of anodization conditions, the PPNS anodized at a current density of 10mA/ cm² for 20 sec has a lower turn-on voltage and a higher emission current. Furthermore, the behavior of electron emission is uniformly maintained.

Key Words : Porous polysilicon , Anodization , Field emission , Turn-on voltage

1. 서 론¹⁾²⁾

최근 들어 다공질 다결정 실리콘 나노 구조 (Porous Polycrystalline silicon Nano-Structure : PPNS)의 전계 방출 (field emission) 특성이 보고되면서[1],[2],[3], 이를 새로운 평판 디스플레이(Flat Panel Display : FPD) 소자로 적용시키고자 하는 움직임이 활발하게 일고 있다.

현재 평판 디스플레이는 박막 트랜지스터 액정 디스플레이 (Thin Film Transistor Liquid Crystal Display : TFT-LCD)가 주류를 이루고 있으나 색 재현성, 응답속도 및 대형화가 어려운 단점 때문에 대화면 영역에서는 플라즈마 디스플레이 패널 (Plasma Display Panel : PDP)이 빠른 속도로 발전하고 있으며, 소형 휴대제품의 영역에서는 유기 발

광 디스플레이 (Organic Light Emitting Display : OLED)의 추격을 받고 있다.

이러한 디스플레이 구현 기술 중 냉음극 전계 방출 소자(field emission cold cathode)는 음극선관 (Cathode Ray Tube : CRT)의 우수한 화질을 그대로 표현할 수 있고, 음극선관의 단점인 무게와 부피를 줄일 수 있어 오랜 동안 연구되어 왔으나, 패널 내의 고 진공 유지와 형광체 및 스페이서(spacer) 관련 기술 및 균일한 대면적화를 위한 반도체 공정상의 한계점 등이 여전히 해결해야 할 문제점으로 남아 있다.

본 실험은 이러한 문제점들을 해결 할 수 있는 냉음극 소자로서 PPNS를 제작, 평가하였다. PPNS의 전계 방출은 현재 Qusaiballastic emission model[1]에 의한 해석이 지배적이다. 진공 중에서 나노 결정(nano-crystal)을 함유한 다공질 다결정 실리콘의 상부전극 및 양극(anode)에[그림2] 전압이 인가 되면 전자들이 나노 결정 내를 통과하면서 가속 에너지를 얻는다. 나노 결정 내의 전자는 평균 자유 행정이 길어 충돌 확률이 매우 낮아 방향성을 가지며 빠르게 움직이다 외부를 둘러싼 산화막에 의해 더욱 가속되어 보다 쉽게 진공 내로 방출된다. 결국 낮은 저항의 결정 내부와 높은 저항의 외부 산화막

한국과학기술연구원 마이크로시스템 센터

서울시 성북구 하월곡동 39-1

Fax : 02-958-5692

E-mail : won@kist.re.kr

¹한국과학기술연구원 정보재료소자연구 센터

²경희대학교 물리학과

서울시 동대문구 회기동 130-701

을 통과하면서 가속 에너지를 얻게 된다.

또한 PPNS는 기존의 다른 형태의 냉음극 소자들
에 비하여 낮은 진공에서도 동작이 가능하고[3] 제작
및 대면적화가 상대적으로 용이한 장점을 가지고 있
다.

실험은 앞서 발표된[4] 전기 화학적 양극 산화가
전계 방출에 미치는 영향에 근거하였다. 다결정 실
리콘에 전류 밀도와 산화 시간을 조절하여[표1] 소자
를 제작하였고 전압-전류(I-V)측정 및 표면 분석
(Scanning Electron Microscopy : SEM)을 통하여
PPNS의 전계 방출 특성을 파악하였으며 아울러 평
판 디스플레이로의 적용 가능성도 시험하였다.

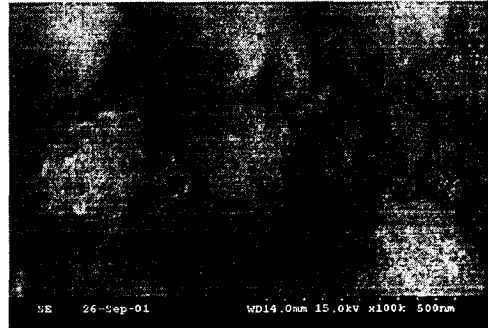
표1. 전기 화학적 양극산화 조건

	전기 화학적 양극 산화 조건							
시료번호	#1	#2	#3	#4	#5	#6	#7	#8
전류밀 도(mA /cm ²)	5	5	5	10	10	10	20	20
양극산 화시간 (초)	50	70	90	10	20	30	20	30

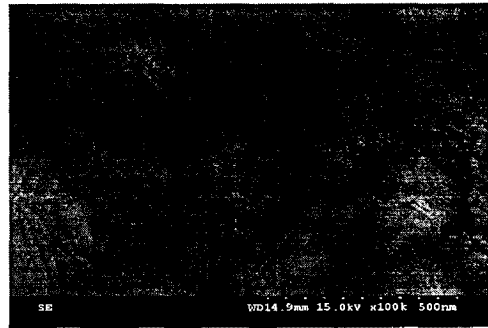
2. 실험

본 실험에서는 강하게 도핑된 n-형[100] 실리콘
웨이퍼 사용하였다. 먼저, 실리콘 웨이퍼를 120℃의
황산(H₂SO₄)과 과산화 수소(H₂O₂)가 4:1 부피 비로
혼합된 용액으로 10분간 유기물을 제거 한 후 초 순
수로 세척하여 건조시켰고, 저압 화학 기상증착기
(Low Pressure Chemical Vapor Deposition :
LPCVD)를 이용하여 약 2.0 μ m의 다결정 실리콘
(poly-silicon)을 증착 하였다. 전기 화학적 양극 산
화 (anodization)는 자체적으로 제작한 장치에 불산
(HF:50wt%)과 에탄올 (ethanol:99.8wt%)을 1:1 부피
비로 혼합 한 후, 양극(+)에 다결정 실리콘, 음극(-)
에 백금(Pt)전극으로 구성하여 표1에 따른 조건으
로 PPNS를 제작하였다. 제작된 PPNS는 900℃ 에서
1시간 동안 열 산화하였는데, 산화막의 두께는 분광
기(nano-spectroscopy)로 확인한 결과 약 100nm의
두께였다. 상부전극은 전자 빔 증착기(E-beam
evaporator)를 이용하여 15nm 두께의 금(Au)을, 하
부에는 ohmic 접촉을 형성하기 위하여 열원 증발기
(thermal evaporator)를 이용하여 100nm의 두께의
알루미늄(Al)을 각각 증착 하였다.

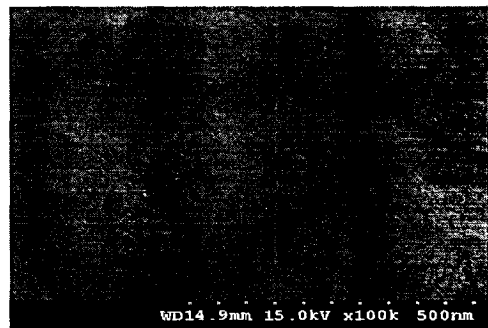
전압-전류 특성은 고 진공 (Ultra High Vacuum :
UHV) 챔버(chamber) 내부의 그림2와 같이 구성된
회로 장치로 측정하였다. 측정 시 진공은 1 \times 10⁻⁵
Torr으로 유지하였고, 양극(anode)및 상부 전극에는



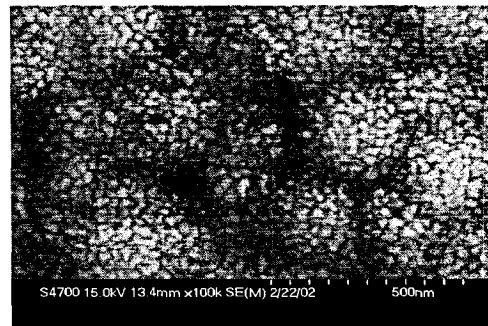
(a)



(b)



(c)



(d)

그림1. 단계별 표면 SEM 사진.(a)다결정 실리콘의
표면.(b)전기 화학적 양극산화 후 표면.(c)열 산화
후의 표면.(d) 금(Au) 증착후의 표면.

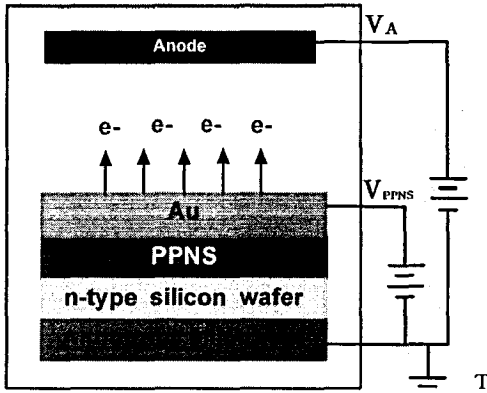


그림 2. PPNS 소자 측정을 위해 구성된 장치

Keithley 237 Source Measure Unit을 각각 사용하여 전압을 인가하였다. ITO(indium thin oxide) 박막 위에 형광체가 도포 된 양극은 +300V의 전압으로 고정하였고 동시에 상부전극은 0V ~ +20V로 인가전압을 변화시키며 전계 방출 특성을 측정하였다.

3. 결과 및 고찰

그림1은 단계 별 공정 후 SEM으로 측정된 PPNS의 표면 형태(morphology)사진이다. (a)는 저압 화학 기상 증착기(Low Pressure Chemical Vapor Deposition : LPCVD)로 증착한 다결정 실리콘의 표면으로 결정립(grain)의 크기를 관찰 할 수 있었다.. (b)는 조건 #5 번으로 전기화학적 양극 산화한 표면으로 다결정 실리콘 결정립이 결정면을 따라 수nm로 형성된 기공(pore)들이 넓게 분포되어 있었다. (c)는 (b)를 900°C에서 1시간 동안 열 산화한 후 측정된 표면으로 나노 결정이 함유된 기공들 사이 및 표면에 약 100nm 두께의 산화막이 형성되어 결정면에 따라 갈라진 기공이 폭이 좁아지는 것을 확인할 수 있었다. (d)는 전자빔으로 150nm 두께의 금(Au)을 증착 한 후의 표면으로 형상은 다결정 실리콘을 유지하면서 전체적인 표면은 미세한 금(Au) 결정들로 분포되어 있었다.

그림3에 표1의 조건들로 양극 산화한 PPNS의 전계 방출 특성을 측정하여 비교하였다. 10mA/cm²의 전류 밀도로 양극 산화한 나노구조들이 5mA/cm², 20mA/cm² 전류 밀도에 비하여 낮은 동작 개시 전압(turn-on voltage)과 높은 전계 방출(field emission)특성을 보였다. 특히, #5의 경우 +6V를 상부 전극에 인가하였을 때 동작 개시되어 +20V에서는 약 200μA 방출 전류(emission current)가 측정되어 다른 조건들에 비하여 월등한 특성을 지니고 있었다. 전류 밀도와 시간의 조건에 따라 다

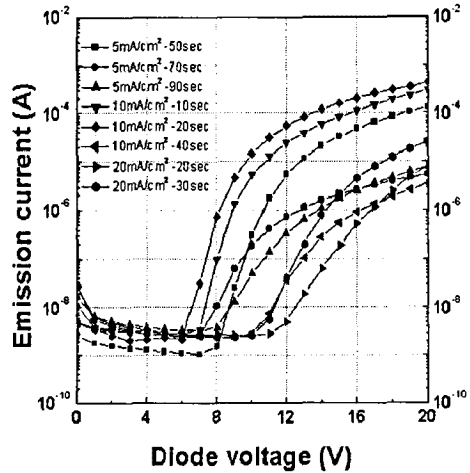


그림 3. 각각의 조건에 따른 I-V 특성

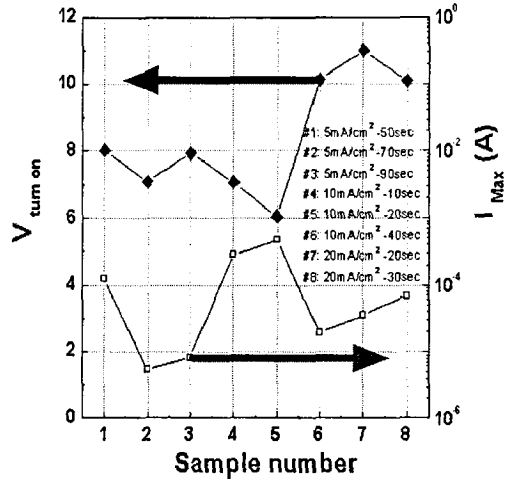


그림 4. PPNS 소자들의 최대 전계 방출 전류(maximum emission current) 및 동작 개시 전압(turn-on voltage)

른 양상을 보이는 현상은 PPNS의 전계 방출 특성이 전기 화학적 양극 산화 조건에 강하게 의존하고 있음을 나타낸다.

양극 산화 조건이 서로 다른 소자들의 동작 개시 전압 및 최대 전계 방출 전류를 그림 4에 나타내었다. #1, #4의 경우에는 높은 방출 전류는 측정되었으나 동작 개시 전압 역시 높았고, #2와 #3은 동작 개시 전압은 낮으나 방출 전류가 낮게 측정되었으며, #7과 #8은 다소 높은 방출 전류가 측정되었으나 동작 개시 전압이 매우 높아 적절하지 못한 조건들이었다. 반면 #5의 경우에는 그림3에서 확인 한 바와 같이 동작 개시 전압은 낮고 방출 전류는 높게 측정되어 가장 우수한 전계 방출 조건으로 나타났다.

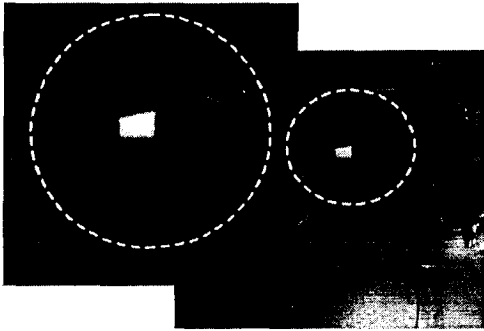


그림 5. PPNS의 방출 전자에 의한 형광체 발광 현상

그림 5는 전계 방출 전자에 의한 형광체 발광 사진이다. 발광은 PPNS 위에 Au가 증착된 면적에서 일어났으며, 방사된 전자빔의 퍼짐 현상이 발생하지 않았고, 소자 전역에서 균일한 전자 방출을 확인 할 수 있었다.

4. 결 론

다공성 다결정 실리콘 나노구조(PPNS)를 제작하여 전기 화학적 양극산화 조건에 강하게 의존하는 전계 방출 특성 및 표면의 변화를 확인 할 수 있었으며, 양극 산화반응으로 형성된 표면 기공의 구조를 확인하였다. 전류 밀도 및 시간을 실험 인자로 설정하여 최적의 전계 방출 조건은 전류 밀도 10mA/cm^2 로 20초 동안 양극 산화한 조건임을 확인하였고, 또한 전자 방출에 의한 형광체 발광 현상 시 방출 전자빔의 퍼짐 현상이 적고, PPNS에서 전자 방출이 균일하게 일어나는 것을 알 수 있었다..

이상과 같은 결과로부터 PPNS를 최적의 조건으로 전기 화학적 양극 산화하면 기존의 다른 형태의 냉 음극 소자들에 비하여 용이하게 평판 디스플레이 구현이 가능하다. 특히 낮은 진공에서도 동작이 가능하고 제작 및 대면적화가 상대적으로 간단하여 다음 세대의 대표적인 평판 디스플레이로 응용이 기대된다.

참고 문헌

- [1] N.Koshida, X.Sheng, T.Komoda, "Quasiballistic electron emission from porous silicon diodes" Appl.Surf.Sci.146,p371,(1999).
- [2] T.Komoda, X.Sheng, N.Koshida, "Mechanism of efficient and stable surface-emitting cold cathode based on porous polycrystalline siliconfilms" J.Vac.Sci.Tech.B 17/3,p1076,(1999).
- [3] T.Komoda, Y.Honda, T.Hatai, Y.Watabe, T.Ichihara,

K.Aizawa, Y.Kondo, N.Koshida, "Matrix Flat-panel Application of Ballistic Electron Surface-Emitting Display" SID 00,p.428,2000.

[4] H.K,J.W.Park, J.WLee, B.K.Ju, "Electron Emission Characteristics of The Porous Polycrystalline ", IDMC 2002, P273, 2002.