

Pt-Ir(Pt₈₀Ir₂₀)-alloy를 이용한 PZT 박막 캐패시터 특성

PZT thin capacitor characteristics of the using Pt-Ir(Pt₈₀Ir₂₀)-alloy

장용운, 장진민, 이형석, 이상현, 문병무

(Yong-Un Jang, Jin-Min Chang, Hyung-Seok Lee, Sang-Hyun Lee, Byung-Moo Moon)

Abstract

A processing method is developed for preparing sol-gel derived Pb(Zr_{1-x}Ti_x)O₃ (x=0.5) thin films on Pt-Ir(Pt₈₀Ir₂₀)-alloy substrates. The as-deposited layer was dried on a plate in air at 70 °C. And then it was baked at 150. °C, annealed at 450. °C and finally annealed for crystallization at various temperatures ranging from 580. °C to 700. °C for 1hour in a tube furnace. The thickness of the annealed film with three layers was 0.3µm. Crystalline properties and surface morphology were examined using X-ray diffractometer (XRD). Electrical properties of the films such as dielectric constant, C-V, leakage current density were measured under different annealing temperature. The PZT thin film which was crystallized at 600. °C for 60minutes showed the best structural and electrical dielectric constant is 577. C-V measurement show that 700. °C sample has window memory volt of 2.5V and good capacitance for bias volts. Leakage current density of every sample show 10⁻⁸A/cm² r below and breakdown voltage(Vb) is that 25volts.

Key Words : FRAM, Pt-Ir(Pt₈₀Ir₂₀)-alloy, PZT thin film, C-V characteristics, dielectric constant, leakage current, window memory

1. 서론

반도체 메모리 반도체는 전자기기의 디지털화 및 소형화에 의해 저전력(Low Power), 저전압(Low Voltage), 고속화(High Speed), 고집적화가 요구되어 지고 있다. 제조공정 기술에 있어서도 계속 발전되어 shrink 효과에 따른 생산량 증대도 가속화될 전망이다. 그렇지만 단위기억 소자의 구조가 단순하여 소자의 동작 상태의 신뢰도가 높지만 집적도

이다[1]. 현재 상용중인 SiO₂, Si₃N₄/SiO₂ 또는 Ta₂O₅ 유전 박막의 경우 그 유효 산화막 두께가 얇아지게 되면 direct tunneling current가 크게 증가하고 TDDB(Time Dependent Dielectric Breakdown) 특성이 급격히 저하되기 때문에 두께 감소에 의한 정전용량의 증가는 이미 한계에 도달하였다[2]. 따라서 전극면적의 증가를 위해서 메모리 셀 구조를 트렌치(trench)형, 스택(stack)형 또는 hemispherical(HSG) 등의 입체구조로 하는 기술이 연구되고 있다. 그러나 Gigabit DRAM급 이상의 초고집적 소자의 경우 축적전극이 어떠한 형태의 구조를 갖더라도 공정상의 어려움, 절연층 면적의 한계, 낮은 신뢰성으로 인하여 정전용량을 확보하기가 매우 어렵기 때문에 기존의 유전박막을 대체할 수 있는 고유전율 박막물질의 개발요구가 증가하고 있다.

고려대학교 전기공학과
(서울특별시 성북구 안암동 5가 1,
Fax : 02-921-2098
E-mail : yujang@hanmail.net)
가 증가함에 따라 많은 문제점을 갖고 있는 실정

PZT는 강유전성(ferroelectric), 압전성(piezoelectric) 및 초전성(pyroelectric)을 갖는 ABO₃형 페로브스카이트 구조를 갖는 물질로써 자발적인 전기 분극현상과 전기장에 의한 내부분극의 스위치 능력이 hysteresis loop를 발생시켜 gate 재료, 고유전 캐패시터 및 고밀도 강유전체 기억소자로 유망한 물질이다. PZT를 박막화하는 방법 중 Sol-Gel법은 막의 균질성, 화학양론(stoichiometry)의 우수성, 대면적 증착 가능, 간단한 공정, 저비용 등의 장점이 있다. 이러한 고유전을 박막물질과 제조공정을 메모리에 응용하기 위해서는 높은 유전상수, 낮은 누설 전류 및 높은 항전계 등의 전기적 성질이 요구되며, fatigue 특성의 향상을 위한 하부전극의 개발 및 반도체 공정에 적용할 수 있는 낮은 온도에서의 증착기술이 필요하다. 특히 PZT 박막의 경우 Pt를 전극으로 사용할 경우 BST에 비해 쉽게 fatigue 특성이 나타난다. 그러나 산화막전극, Ir계 전극을 사용할 경우 이 현상을 상당히 감소시킬 수 있으나[3,4] 기판의 두께(thickness) 증가 및 하부 전극과 기판사이에 전극의 장벽 역할을 하는 층을 삽입하는 제조 공정의 증가로 인해서 메모리 집적에 단점으로 작용하고 있다[5,6].

따라서, 본 연구에서는 Pt-Ir(Pt₈₀Ir₂₀)합금 기판 위에 Pb(Zr_{0.5}Ti_{0.5})O₃[PZT(50/50)] stock solution을 사용하여 Sol-Gel법으로 spin-coating한 후 열처리(annealing)하여, PZT박막을 제작한 후 제작된 박막의 유전율, 누설 전류 등의 전기적 특성을 조사하여 DRAM 또는 강유전체 메모리(FRAM)등 유전재료의 응용가능성을 검토하였다.

2. 실험 방법

본 연구에서는 PZT stock solution 제조하는데 있어서 Chemat Technology 사의 PZT9103(Polymer for Lead Zirconate-Titanate)을 사용하였다. PZT9103은

Pb(Zr_{0.5}Ti_{0.5})O₃[PZT(50/50)]이며 결정화 온도(Crystallization temperature)는 450 °C 이다.

PZT 박막을 제조하기 위해 spin-coating법을 사용하였으며, Spin-coating의 순서는 deposition, spin-up, spin-off, evaporation의 4단계로 나눌 수 있다. 코팅 용액의 농도 및 점도, deposition시 사용되는 코팅용액의 양 및 spinner의 회전속도(rpm) 등에 의하여 박막 두께 조절이 가능하다. 기판으로는 Pt₈₀Ir₂₀층과 oxide층이 35Å의 두께로 증착되어 있는 Pt₈₀Ir₂₀/SiO₂/Si을 사용하였다.

Pt₈₀Ir₂₀기판은 2θ가 20°~60°사이에서 (111)면과 (002)면으로 강한 피크를 갖고 있다. 기판을 1cm×1cm로 자른 후 Kyowa Electronics사의 spin-coater를 이용하여 기판을 2000rpm으로 회전시킨다. 그리고 PZT stock solution은 주사기를 통해 기판에 분사시킨 후 회전 속도를 4000rpm으로 상승시켜 5분간 회전시킨 PZT 박막을 형성한다. 이후 70°C의 plate에서 solvent를 증발시키기 위해 15분간 건조시켜 solvent를 증발시켰다[18,19]. 이와 같은 Spin-Coating 과정을 그림 1에 나타내었다. 코팅과 건조를 반복하여 원하는 두께의 박막을 형성하였다. 박막의 열처리를 위해 conventional annealing 방법을 사용하였다. Polymer를 분해하기 위해 기판의 15분간 150. C로 열처리한 후 유기물 제거를 위해 중간열처리는 30분간 450. C로 한 후 최종열처리는 60분간 580~700. C에서 하였다[7]. 그리고, 박막의 전기적 특성을 평가하기 위해 PZT 박막 위에 여러 개 dot 형태의 면적 $2.38 \times 10^{-7} [m^2]$ mask를 이용하여 Au 상부전극을 진공 증착기를 사용하여 증착 후 100°C에서 1시간 동안 전극 열처리를 하였다. 마지막으로 Sliver paste를 실리콘웨이퍼 에 살짝 바른 후 PZT 박막을 완성하였다.

제작된 Pt₈₀Ir₂₀/SiO₂/Si 구조의 열처리 조건에 따른 결정화 특성을 조사하기 위해 SIEMENS사의 박막용 회절 분석기 Diffractrometer D5000을 이용하여, 2θ가 20°~60° 사이까지 XRD 분석을 하였다. 이 때 사용된 파장은 CuKα선이며, 40kV, 30mA, 주사속도는 20 deg/min, 샘플링 폭은 0.05 deg이었다. 정전용량은 Philips PM6304 RCL meter, HP4284A Precision을 사용하여 상온에서 1kHz~1MHz의 주파수의 범위에서 측정하였다. C-V 특성은 10k, 50k, 100kHz 주파수에서 -10V~10V의 바이어스 영역에서 측정하였다. I-V 특성은 Keithley 6517A를 사용하여 누설전류(leakage current)를 측정하였다.

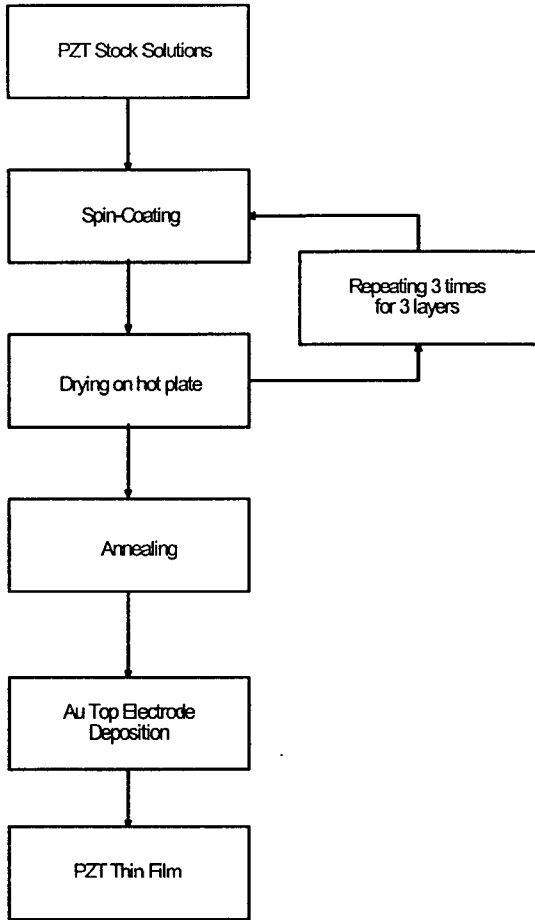


그림 1. PZT 박막 제조 과정.
Fig. 1. PZT Thin Film Processing.

3. 결과 및 고찰

그림 2는 열처리 온도에 따른 PZT/Pt₈₀Ir₂₀ 박막의 XRD결과이다. 기판온도를 580. C, 600. C, 650. C, 700. C에서 각각 60분간 열처리 후 XRD를 관찰한 결과 PtIr (111)면과 (002)가 강하게 관측되었으며, 모든 온도에서 결정성이 잘 나타나고 있다. 특히 낮은 온도인 580°C에서도 결정성이 양호함을 알 수 있다. 또한 열처리 온도가 증가함에 따라 650. C와 700. C 고온에서 (110)면이 splitting 현상이 일어나는 것을 보여준다.

이와 같은 XRD 결과를 볼 때 PZT는 Pt₈₀Ir₂₀ 박막 위에 상당인 낮은 온도에서 결정화가 이뤄짐을 알 수 있다. 제조회사인 Chemat Technology

사는 본 실험에 사용한 PZT9103의 경우 결정화 온도(Crystallization temperature)가 450. C이라는 data sheet를 볼 때 기판 및 증착조건에 따라서 결정화 온도를 더욱더 낮출 수 있을 것으로 기대된다[8].

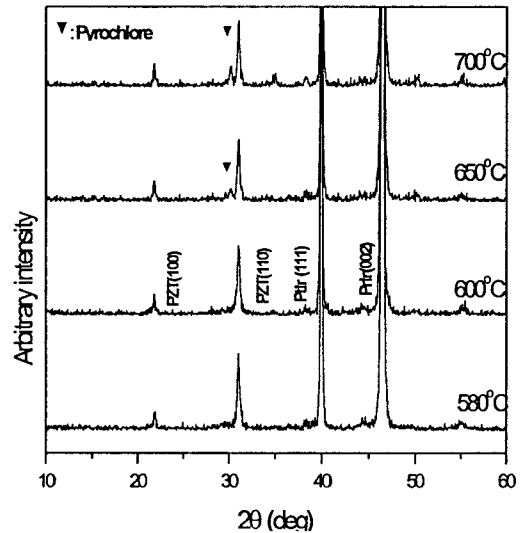


그림 2. 열처리 온도에 따른 XRD.
Fig. 2. XRD patterns of PZT films as function of annealing temperature.

그림 3은 열처리온도에 의해 제조된 박막의 주파수에 따른 정전용량을 측정한 결과이다. 주파수에 따라 감소하는 일반적인 유전체의 특성을 보이고 있다. 그러나 700. C로 열처리한 박막의 경우 1kHz~10kHz사이에서는 정전용량이 600°C에서보다도 낮음을 알 수 있다. 또한, 600. C시편의 경우 10kHz 이상에서 정전용량이 급격히 감소하는 반면에 700. C 시편의 경우 100kHz까지 서서히 감소하는 것을 볼 수 있다.

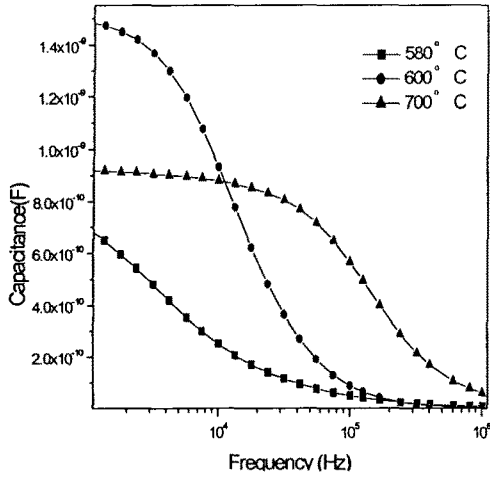


그림 3. 주파수에 따른 정전용량.
Fig. 3. Capacitance of PZT films as function of frequency.

일반적인 강유전체 박막의 경우 열처리 온도가 상승함에 따라 강유전상의 분율이 증가하여 정전용량이 증가하나 700. C 시편의 경우 600. C 시편보다 정전용량이 더 낮게 관찰되었다. 측정된 정전용량 값으로부터 박막의 유전율을 계산한 결과를 표 1에 나타내고 있다. 1kHz에서 600. C 시편의 경우 577의 유전상수를 갖는 것으로 나타났다. 이와 같은 결과로 PZT 박막을 conventional annealing 방법을 이용한 최적 열처리는 600. C 부근임을 알 수 있다.

표 1. 열처리 온도에 따른 유전상수.
Table 1. Dielectric constant of PZT films as function of annealing temperature.

| Annealing Temperature \ Dielectric Constant | 580 °C | 600 °C | 700 °C |
|---------------------------------------------|--------|--------|--------|
| 1 kHz | 140 | 577 | 216 |
| 10 kHz | 40 | 220 | 200 |

그림 4는 580. C, 600. C, 700. C에서 열처리한 박막에 10kHz로 주파수를 인가하여 C-V(capacitance-voltage)를 측정한 그림이다. 580. C 시편의 경우 윈도우가 전혀 나타나지 않았으며 열처리 온도가 상승할수록 윈도우 메모리가 커지는 현상을 알 수 있으며 700. C 시편의 경우 가장 확실한 윈도우 메모리를 갖는 형태를 보이고 있다.

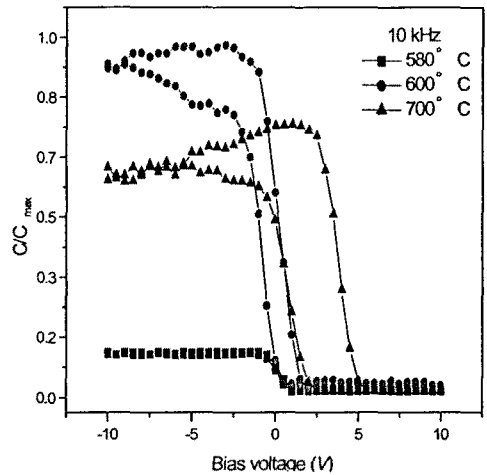


그림 4. 열처리 온도에 따른 C-V 특성 곡선.
Fig. 4. C-V characteristics as function of bias voltage with different annealing temperature.

그림 5는 700. C로 열처리한 박막을 10k, 50k, 100kHz로 주파수를 달리하여 캐패시턴스를 측정하여 나타내었으며 고주파일수록 전자들이 응답할 수 없는 형태를 보이면서 최소 캐패시턴스를 나타내었다. 여기서 캐패시턴스 값은 축적(accumulation)에서 반전(inversion)상태까지 변하며, 히스테리시스의 방향은 전하주입에 의한 현상이 아니라 강유전성의 분극반전에 의한 현상과 일치함을 알 수 있다[9-11]. 그림 5는 RICOH사의 MFMS 소자의 C-V 특성 곡선(그림 7)과 제작된 PZT 100kHz의 C-V 그림과 상당히 유사함을 알 수 있다. 메모리 윈도우를 측정된 결과 2.5V의 크기를 갖는 것으로 측정되었다. 따라서 0.1V의 오차는 RICOH에서 사용한 하부 전극에 Pt 전극대신 Pt/Rh 전극을 사용한 것, 강유전체 내에 존재하는

간류분극의 양을 증가 해석하여 C-V 특성을 계산한 오차라 생각된다. 고주파로 갈수록 윈도우 메모리가 작아짐을 알 수 있으며, 50kHz의 C-V 곡선의 왜곡현상은 강유전체 박막 PZT와 계면사이에 전하들이 포획되는 것으로 판단된다[12].

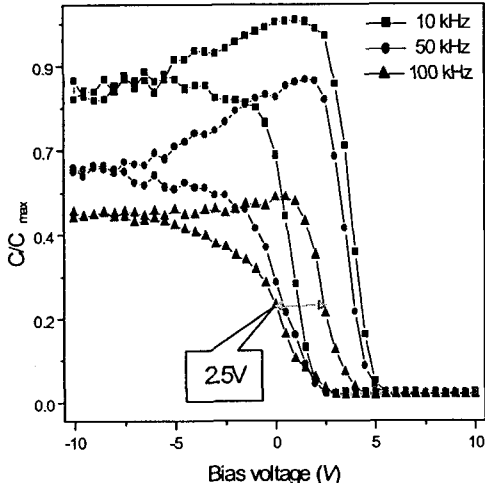


그림 5. 주파수에 따른 C-V 특성 곡선.
Fig. 5. C-V characteristics as function of bias voltage with different frequency.

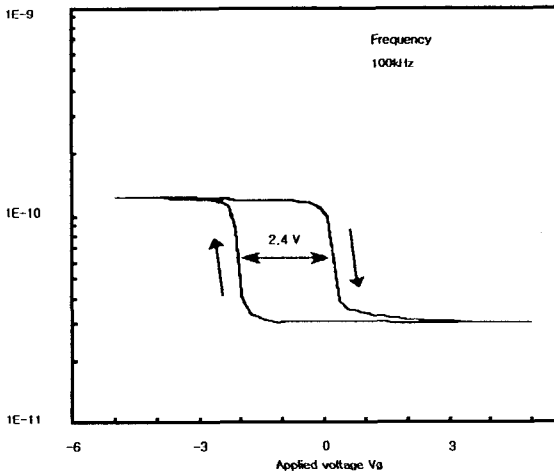


그림 6. MFMIS 소자의 C-V 특성 곡선(RICHO Co. LTD)[12].
Fig. 6. C-V characteristics as function of

bias voltage with different frequency[12].

그림 7은 박막의 인가전압에 따른 누설전류특성을 나타낸 그림이다. 10V까지는 큰 차이는 없었으나 전압이 커질수록 600. C의 시편의 경우 580. C, 700. C 시편보다 누설전류가 상당히 증가함을 나타내었으며 최대 인가 전압 30V에서 $4 \times 10^{-8} \text{ A/cm}^2$ 이하 값으로 우수한 값을 갖는 것으로 나타났다. 모든 박막의 절연파괴는 인가전압 25V, 전계 환산 값 70 kV/cm 이상에서 절연 파괴가 일어났다. 누설전류의 원인 설명하기 위해서 여러 가지 전도기구에 관한 이론이 제시되고 있다. 인가 전압에 대한 누설전류곡선의 slope를 통해서 일반적으로는 저전계 영역에서는 ohmic 특성이 나타나며 누설전류와 인가전압사이의 관계가 $J \propto V$ 의 특성을 나타낸다. 그러나 고전계 영역에는 기공기가 갑자기 증가하는 특성이 나타나며 이러한 특성은 Pool-Frenkel emission, Fowler-Nordheim emission, space-charge limited 등의 전도가 원인으로 사료된다.

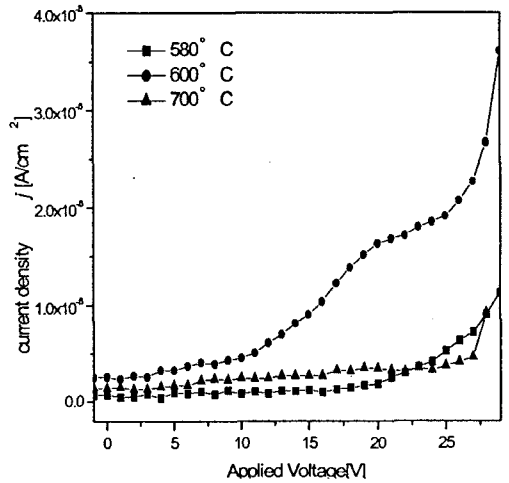


그림 7. 열처리 온도에 따른 누설전류밀도.
Fig. 7. Leakage current density as function of applied voltage with different annealing temperature.

4. 결 론

본 연구는 전극으로 사용되는 Pt와 전극의 barrier 기능을 하는 Ir이 80:20으로 함유되어있는 Pt-Ir(Pt₈₀Ir₂₀)합금 위에 Sol-Gel법으로 PZT stock solution을 제조한 후, Pt₈₀Ir₂₀/SiO₂/Si 기판 위에 spin-coating하고 열처리에 의해 PZT 박막 캐패시터를 제조하여 XRD 분석을 통하여 박막의 구조적 특성을 그리고 정전용량, C-V곡선, 누설전류를 통한 전기적 특성을 고찰하여 다음과 같은 결과를 얻었다.

1. 일반적으로 Sol-Gel에 의해 제작된 PZT는 매우 낮은 온도에서는 파이로클로로 상의 형성으로 인해 최종열처리를 600. C이하로 낮추는 것은 어렵지만 낮은 온도 즉 600. C에서도 양호한 결정이 성장함을 알 수 있다.
2. 두께 3000Å인 PZT 박막의 유전율은 최종 열처리 온도를 600. C에서 60분간 열처리했을 때 1kHz에서 577로 최대를 나타내었다.
3. PZT 박막의 경우 높은 온도에서는 700. C에서는 PZT 유전상수 216(1kHz)으로 낮으나 C-V 특성 곡선에서 강유전체의 분극특성에 의한 이력곡선을 관찰할 수 있었으며, 이때의 메모리 윈도우를 측정된 결과 2.5V (100kHz)의 크기를 갖는 것으로 측정되어 C-V 특성은 양호함을 알 수 있었다.
4. 두께 3000Å인 PZT 박막의 인가전압을 30V 까지 누설전류는 $4 \times 10^{-8} \text{A/cm}^2$ 이하 값으로 누설전류는 상당히 우수한 특성을 갖고 있는 것으로 나타났다.

[참고문헌]

[1] 임창규, "한국 메모리 반도체 산업의 현황과 전망" 전자공학회지, 제 26권, 제 12호, pp. 72-80, 1999.12

[2] P.J. Wright, and K.C. Saraswat, "Thickness Limitations of SiO₂ Gate Dielectrics for MOS ULSI", IEEE Trans. Electron Devices, Vol 37, pp. 1884-1892 (1990)

[3] 유희준, 김시호, 유종선, "미래의 메모리 FRAM", 시그마프레스, pp. 33-46, 2000

[4] Takashi Nakamura, Yuichi Nakao and Hidemi Takasu, "Electrical properties of

PZT thin films with Ir and IrO₂ electrodes", Applications of Ferroelectrics, ISAF '94, Proceedings of the Ninth IEEE International Symposium on 1994, pp. 547-550, 1995.

[5] K.B. Lee, S. Tirumala and S.B Desu, "Highly C-axis oriented Pt(Zr,Ti)O₃ thin films grown on Ir electrode barrier and their electrical properties", Applied Physics Letters, Vol. 74, No.10, pp. 1484-1486, 1999

[6] H. Itoh, Y. Tsunemine, A. Yutani, T. Okudaira, and K. Kashihara, "A new cell technology for the scalable BST capacitor using damasceneformed pedestal electrode with a [Pt-Ir] alloy coating", IEEE, VLSI Tech., pp. 106-107, 2000

[7] Guanghua Yi and Michael Sayer "Sol-Gel processing of thick PZT films", IEEE pp. 289-292, 1995

[8] Yoon J. Song, Yongfei Zhu and Seshu B. Desu, "Low temperature fabrication and properties of Sol-Gel derived (111) oriented PZT thin films", American Institute of Physics, Vol. 72, No. 21, pp.2686-2688, 1998

[9] S. M. SZE "Physics of semiconductor devices" Wiley Inter Science, 2nd Edition, 1994.

[10] Donald A. Neamen "Semiconductor Physics & Devices", Irwin 2nd Edition, pp.440-450, 1999

[11] 최정규, 신용철, 윤순길 "Pt/SBT/YMnO₂/Si(MFIS)-FET구조를 위한 YMnO₂ 박막의 영향", 전기전자재료학회 논문지, Vol. 12, No. 6, pp. 517-522, 1999

[12] 국상호, "강유전체 PZT박막을 이용한 MFMS소자의 모델링 및 특성에 관한 시뮬레이션 연구", 전기전자재료학회논문지, Vol. 13, No. 3, pp. 200-205, 2000