

원자층 증착 방법에 의한 Ta₂O₅ 박막의 전기적 특성

The Electrical Properties of Ta₂O₅ Thin Films by Atomic Layer Deposition Method

이형석, 장진민, 장용운, 이승봉, 문병무

(Hyung-Seok Lee, Jin-Min Chang, Yong-Un Jang, Seung-Bong Lee, Byung-Moo Moon)

Abstract

In this work, we studied electrical characteristics and leakage current mechanism of Au/Ta₂O₅/Si metal-oxide-semiconductor (MOS) devices. Ta₂O₅ thin film (63nm) was deposited by atomic layer deposition (ALD) method at temperature of 235°C. The structures of the Ta₂O₅ thin films were examined by X-Ray Diffraction (XRD). From XRD, the structure of Ta₂O₅ was single phase and orthorhombic. From capacitance-voltage (C-V) analysis, the dielectric constant was 19.4. The temperature dependence of current-voltage (I-V) characteristics of Ta₂O₅ thin film was studied from 300 to 423 K. In ohmic region ($<0.5 \text{ MVcm}^{-1}$), the resistivity was $2.4056 \times 10^{14} \text{ } (\Omega\text{cm})$ at 348 K. The Schottky emission is dominant in lower temperature range from 300 to 323 K and Poole-Frenkel emission dominant in higher temperature range from 348 to 423 K.

Key Words : Metal-Oxide-Semiconductor capacitor, Atomic Layer Deposition Method, Scanning Electron Microscopy, X-Ray Diffraction, Scottky emission

1. 서론

새로운 세기로 접어든 세계는 지금 산업사회의 정보와 지식이 고부가가치 창출의 원천이 된 '지식 주도경제'로의 패러다임의 변화를 맞이하고 있다. 산업사회로의 전환이 동력을 이용한 기계화 기술에서 비롯된 것에 비하여 기술·정보 사회로의 전환은 통신, 컴퓨터 등이 복합된 정보기술의 급속한 발전을 원동력으로 하고 있다. 이런 변화의 물결속에서 반도체산업, 그 중에서도 DRAM(Dynamic Random Access Memory)으로 대표되는 메모리사

업은 정보화산업의 눈부신 발달과 더불어 고속·고용량 데이터처리를 위한 변화의 선두에 서 있다.

따라서, 초고집적회로소자(ULSI)개발을 위한 DRAM과 같은 기억소자에서의 고집적화와 미세화는 필연적인 과정이고 이에 따라 단위 기억소자 내의 게이트 절연막에 대한 미세화, 축소화에 대한 요구는 더욱 엄격하게 되었다.

SIA(Semiconductor Industry Association)의 ITRS(International Technology Roadmap for Semiconductor)에 따르면 2003-2005년까지 게이트 절연막이 거의 1.5 nm에 이를 것으로 예측하고 있다. 이로 인해 절연막에 인가되는 전계가 증가하게 되었으며, 단위 기억소자당 면적의 감소로 기존에 사용해 온 SiO₂ 절연막으로는 필요한 축전용량(Capacitance)을 얻기가 어렵게 되었다[1]. 이러한 문제의 대안으로 고유전율을 가진 새로운 DRAM

고려대학교 전기공학과

(서울특별시 성북구 안암동 5가 1,

Fax : 02-921-2098

E-mail : hsrookie@hanmail.net)

캐패시터용 박막물질의 개발이 필요하게 되어 현재 널리 사용되고 있는 SiO_2 를 대체하기 위한 Si_3N_4 , Al_2O_3 , Ta_2O_5 , TiO_2 , ZrO_2 등의 물질이 활발히 연구되고 있으며[2], 그 중에서도 가장 유력한 물질로서 Ta_2O_5 산화막이 연구되고 있다.

Ta_2O_5 는 비유전율이 약 20-25정도로 SiO_2 (3.8)의 비유전율에 비하여 6배 정도 크고 Si_3N_4 (7)보다도 3배 이상이 크다. Ta_2O_5 박막은 양극산화 방법[3], 탄탈륨 박막을 열산화시키는 방법[4], 반응 스퍼터링 증착방법[6], CVD 방법, rf-magnetron 스퍼터링법[6], Sol-Gel법[5] 등 대부분의 경우 누설전류가 크고 내압이 낮아 실용화에 장애요인을 가지고 있어 이를 개선하기 위한 연구가 활발히 진행되고 있다.

본 연구에서는 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 를 precursor로 사용하여 ALD로 증착된 샘플을 가지고 전기적, 물리적 특성을 분석해 보았다. 먼저 Ta_2O_5 의 결정성과 방향성의 분석을 위해 X-Ray Diffractometer (XRD)를 이용하였으며, 표면의 분석을 위해 Scanning Electron Microscopy(SEM)을 사용하였다. 주파수의 변화에 따른 C-V도 알아보고, C-V를 통해서 Ta_2O_5 의 비유전율(dielectric constant)를 확인할 수 있었다. 또한, 300 K에서 423 K까지의 온도의 변화에 따른 누설전류특성을 보았고, 누설전류에 대한 구체적 해석을 위해 Ta_2O_5 의 누설전류전도기수로 해석되고있는 Scottky 전도기수[8]와 Pool-Frenkel 전도기수[9]를 통해 온도의존성을 알아보았다.

2. 실험

2.1 Ta_2O_5 박막의 제작

본 연구에서는 Flow-Type Atomic Layer Deposition Method를 사용하여 Ta_2O_5 박막을 제작하였다. 실험에 사용된 Flow-Type의 반응로 장비는 그림1에 나타내었다.

반응로는 직경이 51mm로 된 외부의 스테인레스 스틸 Reactor tube와 직경이 40mm와 36mm로 된 내부의 quartz tube로 구성되어 있다. 뒤의 튜브는 precursor 입구와 함께 증착영역(deposition zone)을 연결하는 원뿔형의 부분을 가지고 있다.

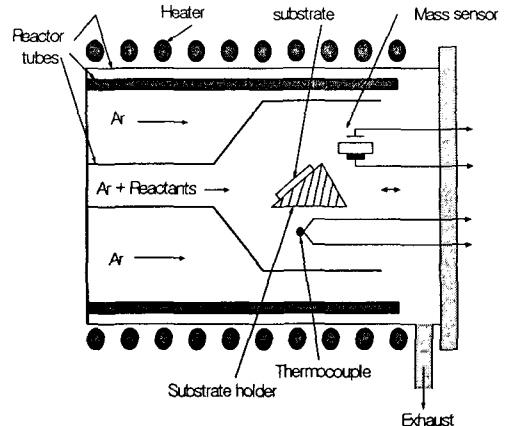


그림 1 Flow-Type ALD 반응로 장비의 개략도.
Fig.1 Schematic Diagram of the Flow-type ALD Reactor.

precursor들은 0.1초 이내로 precursor pulse를 on/off 할 수 있는 마이크로프로세서를 통해서 주입가스 안으로 넣었다. 실험에 사용된 반응로는 각각의 실험에 있어서 사용할 수 있는 다른 종류의 precursor에는 한계가 있어서 2원 화합물만을 증착할 수 있었다. 하지만, 이 반응로의 디자인은 각각의 실험에 있어서 증착영역에 다른 substrates를 놓는 것이 가능하였다. 이 반응로는 또한 증착 메커니즘의 in-situ 연구를 위한 quartz crystal microbalance(QCM) 연결이 가능하다는 장점을 가지고 있다.

이번 실험에 사용된 precursor는 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 였으며, Precursor를 운반시켜준 carrier Gas로는 Ar gas로서 순도가 높은 고순도의 제품을 사용하였다. 진공을 위한 펌프로는 turbo 펌프와 로터리 펌프를 사용하였다. 기판으로 사용된 것은 p-type Si(100)이었다. Si의 저항은 6.8-9.2 ohmcm였으며, 두께는 $525 \pm 50 \mu\text{m}$ 였다. 증착을 시킨 온도는 약 235°C 였으며, 증착된 Ta_2O_5 의 두께는 63nm였다.

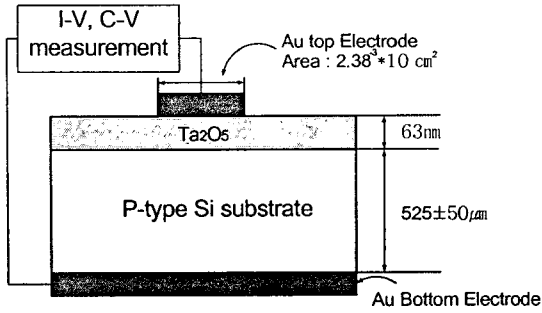


그림2. 제조된 Au/Ta₂O₅/Si MOS 캐패시터의 구조.
 Fig.2. Schematic Diagram of Au/Ta₂O₅/Si MOS Structure.

3. 결과 및 고찰

3.1 물리적 특성

그림3은 p-Si(100)위에 약 63nm의 Ta₂O₅ 박막을 원자층증착방법(ALD)으로 flow-type의 반응로에서 얻은 시편을 가지고 XRD 패턴을 나타낸 것이고, grazing incidence technique을 사용해서 측정을 하였다. 그림 3을 보면 (001), (110), (111), (002), (020), (202)인 피크가 나타나 있고; Orthorhombic의 전형적인 형태로써 본 실험에서 제작한 박막의 결정화가 잘 이루어지고 있음을 보여주고 있다.

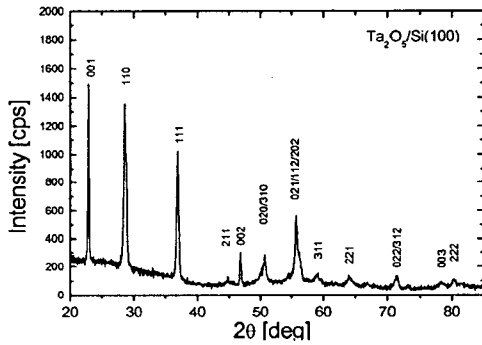


그림3. Ta₂O₅ 산화막의 XRD 패턴.
 Fig.3. (XRD)θ-2θ spectrum for Ta₂O₅ film deposited at 235°C on Si substrate by using grazing incidence technique.

원자층 증착 방법으로 P-type의 Si 기판상에 형성된 Ta₂O₅ 박막의 표면 구조를 알아보기 위하여 주사 전자 현미경(SEM)을 통하여 박막의 표면 구조를 살펴 보았다. 그림4에 그 결과를 나타내었다.

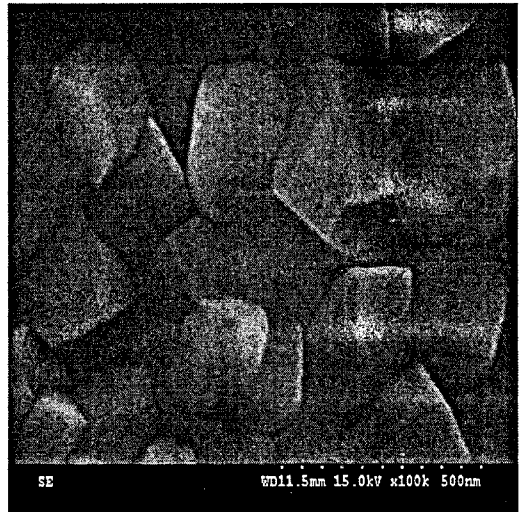
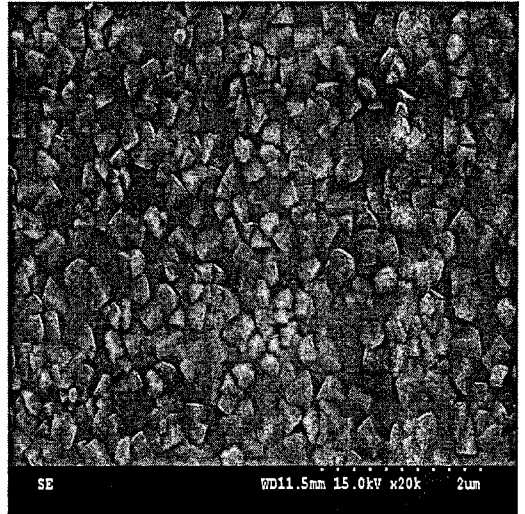


그림4. 235°C에서 Si 기판위에 형성된 Ta₂O₅ 박막의 표면구조.
 Fig.4. Surface morphology of Ta₂O₅ film deposited at 235°C on Si substrate.

3.2 전기적 특성

그림5는 Au/Ta₂O₅/Si MOS 캐패시터의 주파수에 따른 C-V 특성을 보여주고 있다. MOS 캐패시터에서 C-V의 측정은 주파수를 1 kHz에서 100 kHz까지 변화하면서 측정을 하였고, 고주파수 특성에 맞는 결과를 보여 주고있다[14]. C-V의 측정은 전압의 범위를 -15V에서 15V까지로 지정하였고, 앞에서 언급한 것처럼 Ta₂O₅는 235°C에서 증착이 되었고, 550°C에서 열처리를 하였다. 그리고 증착된 두께는 63nm였다. 이 그림에서 주파수에 따라 C-V의 변화는 적었으며, 최대 캐패시턴스로부터 Ta₂O₅의 유전상수를 다음식으로부터 구할 수가 있었다[11].

$$C = \frac{\epsilon_0 \epsilon_r A}{d}$$

여기에서 ϵ_0 : 진공중의 유전율(8.85×10^{-14}) [F/cm], ϵ_r : Dielectric Constant, C는 최대 정전용량(Maximum Capacitance)으로 650[pF](650×10^{-12} [F]), A는 전극의 면적 (2.38×10^{-3}) [cm²]이고, d는 박막의 두께로 63nm(63×10^{-7} cm)이다.

위의 식으로부터 Ta₂O₅의 유전상수는 약 19.4를 얻게 된다. 이는 일반적으로 알려진 Ta₂O₅의 유전상수인 20-25인것과 비교할 때 약간의 유전율의 감소는 Si 기판과 Ta₂O₅막 사이에 Ta, Si 및 O 원자들의 화합물로 이루어진 어떤 종류의 천이층이 형성되고 이 천이층의 존재로 인해 막두께 감소에 따른 유전율 감소 효과가 나타날 것으로 예상할 수 있으나 이 천이층의 물리적 성질을 규명하기 위해서는 향후 계속적인 연구가 필요할 것으로 사료된다[11].

그림6은 550°C에서 열처리를 한 시료를 hot plate 위에 놓여진 Ta₂O₅/Si MOS Structure 샘플을 상온(25°C)에서 150°C까지 온도의 변화를 통해 알아본 63nm의 박막증착된 Ta₂O₅의 I-V 변화를 나타내주고 있다. 앞서와 마찬가지로 Top electrode와 Bottom electrode 모두 Au가 사용이 되었다. 측정된 전압은 모두 forward bias로 범위는 0-5(V)였고, Delay time은 10(s)로 하였다. 그림에서 보여주고 있는 것처럼 기판의 온도가 증가함에 따라 누설전류가 증가하고있으며, 전계가 0.5 MVcm⁻¹이 하인 영역에서는 전류와 전압이 비례하는 ohmic region으로 설명할 수 있다[7]. 전계가 0.5 MVcm⁻¹ ohmic region에서 resistivity를 구하면, 2.4056×10^{14}

Ωcm (348K)이 나온 것을 알 수 있었다. 0.5 MVcm⁻¹ 이상의 고전계영역에서는 Ta₂O₅ 박막의 누설전류전도기구 해석방법으로 주로 사용되고 있는 Poole-Frenkel 전도 기구와 Schottky 전도기구 등의 해석방법[8,9]으로 온도의존성의 관계를 설명해 보았다.

물질의 굴절율(relative index)을 n이라 할 때 다음과 같은 관계가 성립한다[10].

$$\epsilon_{opt} = n^2$$

이때 ϵ_{opt} 를 Dynamic Dielectric Permittivity라고 한다. Ta₂O₅의 굴절율 n은 1.88에서 2.39의 값[13]을 가지고 있다. 위의 식을 통해 이상적인 Ta₂O₅의 dynamic dielectric permittivity는 3.534-5.71임을 알 수 있다.

Schottky emission을 보여주기 위하여 전류밀도에 세미로그를 취했으며, 전계에는 루트를 취해서 그림7에 나타내었다. 실험으로 얻어진 I-V 특성은 다음의 식에서 보여주는 것처럼 $\ln J - E^{1/2}$ 으로 나타내어졌다.

$$\ln \left(\frac{J_{sc}}{A^* T^2} \right) = -\frac{q\Phi_B}{kT} + \frac{q}{kT} \sqrt{\frac{qE}{4\pi\epsilon_0\epsilon_{opt}}}$$

A*는 리차드슨 상수(Richardson constant), Φ_B 는 장벽높이(barrier height), E는 Au 전극과 Ta₂O₅ film 경계에 가해진 전계, k는 볼츠만 상수, ϵ_{opt} 는 dynamic dielectric permittivity, ϵ_0 는 진공 유전상수이다.

이와 비슷한 방법으로 Ta₂O₅ film의 Poole-Frenkel Mechanism 특성을 확인하기 위한 방법으로 전류밀도에 세미로그를, 전계에는 루트를 취해서 그림 8에 나타내었다[14].

$$\ln (J_{PF}/E) = -\frac{q\Phi_B}{kT} + \frac{\sqrt{qE/\pi\epsilon_0\epsilon_{opt}}}{kT}$$

여기서, Φ_B 는 장벽높이(barrier height), E는 Au 전극과 Ta₂O₅ film 경계에 가해진 전계, k는 볼츠만 상수, ϵ_{opt} 는 dynamic dielectric permittivity, ϵ_0 는 진공 유전상수이다.

그림 7에 나타낸 것처럼 Schottky emission 전도기구에서는 300 - 323 K에서 굴절율에 따른 dynamic dielectric permittivity 값이 이상적인 값에

더 근사한 값을 보여주었다.

또한 그림 7로부터 Schottky 장벽의 높이는 0.99 eV가 나왔으며, 이때의 온도는 323 K 였다. 그리고, 그림 8에 나타낸 것처럼 Poole-Frenkel emission 전도기구에서는 348 - 423 K에서 이상적인 값에 더 근사한 값을 보여주었다.

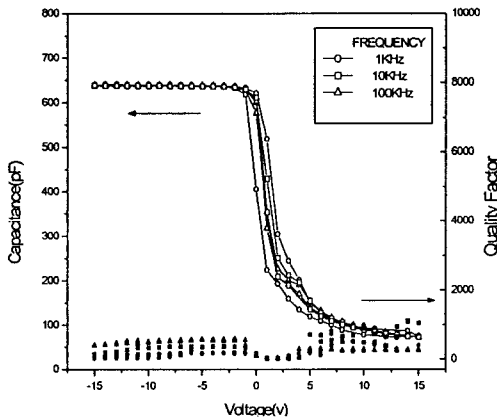


그림 5. Au/Ta₂O₅/Si MOS 캐패시터의 고주파 C-V 특성.

Fig. 5. High frequency C-V Characteristics for an Au/Ta₂O₅/Si MOS capacitor.

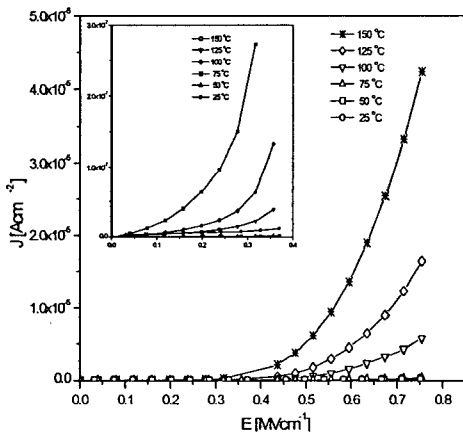


그림 6. Au/Ta₂O₅/Si MOS 구조의 누설전류-전압 특성.

Fig. 6. I-V experimental data of Au/Ta₂O₅/Si MOS Structure.

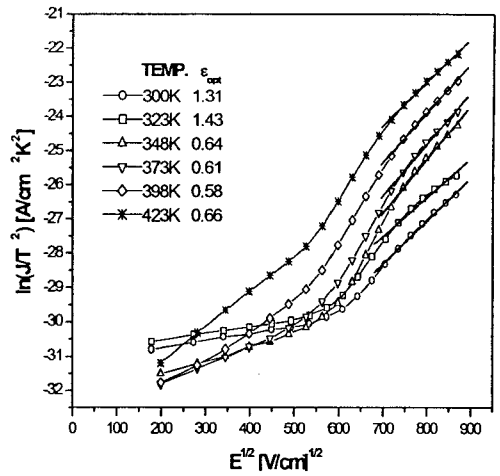


그림 7. Au/Ta₂O₅/Si MOS 구조의 Schottky emission 전도기구.

Fig. 7. Schottky emission plot for an Au/Ta₂O₅/Si MOS Structure.

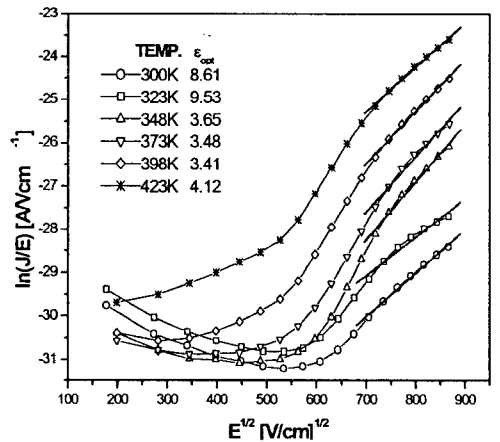


그림 8. Au/Ta₂O₅/Si MOS 구조의 Poole-Frenkel emission 전도기구.

Fig. 8. Poole-Frenkel emission plot for an Au/Ta₂O₅/Si MOS Structure.

4. 결론

오늘날은 정보화시대로의 이행으로 인해 더욱 많은 정보량의 처리와 고속·고집적·저전력의 반도체 기술을 요구하게 되었고, 반도체 미세가공기

술 역시 VLSI(Very Large Scale Integration)에서 ULSI(Ultra Large Scale Integration)로 비약적인 발전을 하게되었다. 이런 기술의 혁신 이면에는 새롭게 대두된 물리현상에 대한 해석이 요구되어진다.

이에 본 실험에서는, 다음과 같은 결론을 얻었다.

1. 235℃에서 증착된 Ta₂O₅의 박막은 XRD의 관찰결과 (001) 면과 (110) 면 등이 성장하는 전형적인 Orthorhombic 형태를 보여주었으며, SEM을 통해 박막의 표면을 관찰 할수 있었다.
2. Au/Ta₂O₅/Si MOS 구조의 C-V의 측정결과로부터 유전상수(dielectric constant)값을 계산할 수 있었는데, Ta₂O₅의 유전상수는 약 19.4를 얻게 된다. 이는 일반적으로 알려진 Ta₂O₅의 유전상수인 20-25인것[5]과 비교하면 비교적 이상적인 값에 근접한 것임을 알 수있었다.
3. 온도의 변화에 따른 Au/Ta₂O₅/Si MOS 캐패시터의 전기적 특성분석에서, 온도가 300K에서 423K 까지 증가함에 따라 누설전류가 증가 하는 것을 알 수 있었으며, ohmic region ($< 0.5Vcm^{-1}$)에서 resistivity를 구하면, $2.405610^{14} (\Omega cm)$ (348K) 이 나온 것을 알 수 있었으며, $0.5MVcm^{-1}$ 이상의 전계에서의 측정과 300-323K의 낮은 온도에서는 Schottky emission 전도기구가, 348-423K에서는Poole-Frenkel emission 전도기구가 더 지배적인 누설전류전도 기구임을 확인할 수 있었다.

이상의 결과로부터 원자층 증착 방법은 향후 박막증착방법에 있어서 유용한 방법으로 사용될 것으로 사료되고, 후열처리 등의 방법을 통해 누설전류를 줄일 수 있는 연구가 보다 활발히 진행된다면 향후 반도체 분야에서 많은 활용이 될 것으로 판단된다.

[참고문헌]

- [1] H. Shinriki, Y.Nishioka, Y.Ohij, and K. Mukai, "Oxidized Ta₂O₅/Si₃N₄ dielectric films on poly crystalline Si for DRAM's", IEEE Trans. Electron Devices., Vol.36, No.2, pp.328-332, 1989
- [2] 유병곤, 유중선, "신재료 고유전율/강유전체 박막의 기술 개발 동향", Journal of the Korean Institute of Electrical and Electronic Material Engineers., Vol.14, No.12. pp.22-29, 2002
- [3] S.G. Byeon and Y. Tzeng, "Charge trapping /generation and reliability for high-performance tantalum oxide capacitors", J. Appl Phys., Vol.66 pp.4837-4842, 1989.
- [4] G.S. Oehrlein, F.M. d'Heurle, and A. Reisman, "Some properties of crystallized tantalum pentoxide thin films on silicon", J. Appl. phys., Vol.55, pp.3715-3723, 1984
- [5] Shin-ichiro Kimura, Yasushiro Nishioka, Akira Shintani and Kiichiro Mukai, "Leakage-Current Increase in Amorphous Ta₂O₅ Films Due to Pinhole Growth during Annealing Below 600℃", J. Electrochem. Soc .,Vol.130, pp.2414-2418,1983
- [6] Susumu Shibata, "Dielectric constants of Ta₂O₅ thin films deposited by r.f sputtering", Thin Solid films, Vol.277, pp.1-4, 1996
- [7] Young-kag Yoo, "The Electrical conduction and Optical Properties of Ta₂O₅ Thin Films by Sol-Gel Method", Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol.13, No.7, pp.575-582, 2000
- [8] Kwan C. Kao and Wei Hwang, "Electrical Transport in Solids", Pergamon Press, 1981
- [9] Fu-Chien Chiu, Jenn-Jenn Wang, Joseph Ya-min Lee, and shich Chuan Wu, "Leakage currents in amorphous Ta₂O₅ thin films", J. Appl. Phys. Vol.81, pp.6911-6915, 1997
- [10] S.M. Sze, "Physics of Semiconductor Devices", John&Wiley & Sons, 1981
- [11] 김창덕, 이승환, 김종관, 이동희, 성영권 "레이저 CVD법에 의한 고품질 Ta₂O₅ 박막의 퇴적과 그 특성", J. ENG. SCI. & TECH., Vol.33, pp.37-42, 1996
- [12] Gerard barbottin and Andre Vapaille, "Instabilities in Silicon Devices : Silicon Passivation and Related Instabilities", North-Holland, 1986
- [13] H. A. Macleod, "Thin Film Optical Filters", 2nd edition, c. McGraw-Hill, 1989