

3차원 매립형 수동소자에 대한 통계적 분석

Statistical Analysis of Three-dimensional Embedded Passive Devices

신동욱, 오창훈, 이규복*, 김종규*, 윤일구

(Dongwook Shin, Changhoon Oh, Kyu-Bok Lee*, Jong-Kyu Kim*, Ilgu Yun)

Abstract

In this paper, the effect of device model parameter variation on three-dimensional embedded passive devices was investigated using statistical analysis. The optimized equivalent circuit models for several different structures were obtained from HSPICE simulation. The mean and the standard deviation of model parameters were extracted and the sensitivity analysis for each component was performed. From the analysis, the performance and parametric yield of the devices can be analyzed.

Key Words : LTCC; Embedded passives; Statistical analysis; Process variation

1. 서 론

현재 사용되는 각종 전자 기기는 점차 소형화되고 있다. 전자 기기를 소형화하기 위해서 이를 구성하는 능동소자와 수동소자를 결합하는 모듈 및 모듈화된 부품의 특성 구현을 위한 연구가 활발하게 진행되고 있다. 그 중에서 수동소자는 전자 기기 및 각종 소자에 매우 중요한 역할을 하고 있으며 수동소자가 차지하는 비율은 점점 증가하고 있다. 따라서 여러 응용분야에서 향상된 성능의 구현과 소형화를 위해 몇 개의 집적회로(IC)들을 함께 패키징(packaging)하는 Multichip Modules(MCMs)를 사용하고 있다[1].

이런 MCM 기술을 이용하여 저항, 인덕터, 캐패시터 등의 수동소자를 집적시켜 모듈화 하는데 저온 동시소성 세라믹(Low Temperature Cofired Ceramic : LTCC) 공정이 주로 사용되고 있다[2]. LTCC 공정으로 소자를 제작하게 되면 기판(substrate)에 많은 수의 수동소자를 집적할 수 있다는 것 외에도 높은 신뢰성, 가격절감, 부피감소 등의 장점이 있지만 한

번 만들면 재공정이 불가능하다는 단점이 있다[3]. LTCC로 제작되는 수동소자의 구조를 정확히 설계하기 위해서는, 각각의 소자에 대한 정확한 모델링이 필요하고, 컴퓨터를 이용한 회로설계에 활용할 수 있도록 library화하는 기술, 그리고 각 파라미터의 변화가 수동소자의 특성에 어떠한 영향을 미치는가에 대한 연구가 필요하다.

따라서 이 논문에서는 다층(multilayer) LTCC 공정으로 제조된 3차원 매립형 인덕터(3-dimensional embedded inductor)의 모델링과 모델링에서 얻은 각 파라미터의 statistical analysis를 통해서 공정변위가 실제 인덕터의 특성에 어떤 변화를 주는지 연구하고자 한다. 이를 위해 4가지 구조의 3차원 매립형 인덕터를 Partial Element Equivalent Circuit(PEEC) 방법으로 HSPICE simulation tool을 이용하여 정확히 모델링하고 최적화된 각 파라미터 값에 대한 statistical analysis를 통해서 각 파라미터의 변화가 인덕터의 특성에 어떠한 영향을 미치는지 연구하고자 한다.

2. 테스트 구조 설명 및 측정

2.1 테스트 구조 설명

테스트 구조는 각 두께가 4.3 mils인 12-layer로 되어 있으며 LTCC공정에 의하여 제작되었다. 유전

연세대학교 공과대학 전기전자공학과
(서울특별시 서대문구 신촌동 134번지)
Fax: 02-362-6444
E-mail: iyun@yonsei.ac.kr
*: 전자부품연구원 무선회로연구센터

상수 7.8 인 96% alumina substrate에 Ti/Au를 적층 (deposit)하였으며 그림 1과 같이 상부 도체(top conductor)와 하부 도체(bottom conductor)로 이루어 졌다. Electron beam evaporation system을 이용하여 0.04mm의 Ti와 0.2mm의 Au를 적층하였다. Standard photolithology와 etch back 기술을 이용하여 패턴(pattern)을 형성하였다. KCN solution으로 1분 동안 가열하여 Au를 제거하였고 BOE(Buffered Oxide Etch)를 이용하여 Ti를 제거하였다. 각각 다른 층의 도체를 thermal via를 형성하여 via stack으로 연결하여 solenoidal pattern을 만들었다. 또한 도체 사이에 발생할 수 있는 coupling conductances를 줄이기 위하여 도체 사이에 6개의 ceramic tape을 적층하였다.



그림 1. 3차원 매립형 인덕터의 구조.
Fig. 1. 3-D embedded inductor illustration.

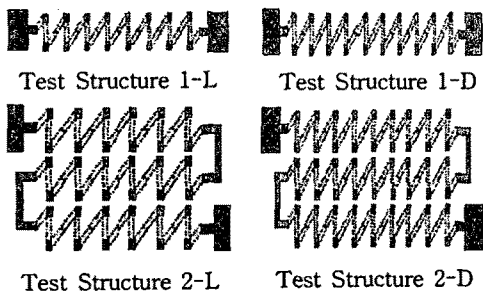


그림 2. 네 가지 테스트 구조의 2차원 모형.
Fig. 2. 2-D models of 4 test structures.

세 개의 LTCC 기판(coupon)은 동일한 공정을 거쳐 집적화된 수동소자(integrated passives)로 제작되었고, 각 기판 위에는 그림 2와 같이 네 개의 테스트 구조가 제작되었다. 따라서 각 구조별로 총 3개씩 동일한 모양의 인덕터가 존재하게 된다. 이 각각의 구조에 대하여 모양이 동일한 3개의 인덕터가 존재하므로 테스트 구조별로 가질 수 있는 공정상의 변위 뿐 아니라, 각 기판(coupon)별로 발생할 수 있는 변위도 고려할 수 있다.

그림 2의 테스트 구조 1, 2의 physical dimension은 같다. 테스트 구조 1은 직선형태의 솔레노이드

인덕터이다. 양쪽 끝 부분의 패드(pad)와 중간의 솔레노이드가 연결된 직선형태로 기본적인 구조는 같으나 솔레노이드 부분의 개수에서 차이가 있으므로 느슨(loose)한 구조(test structure 1-L)과 촘촘(dense)한 구조(test structure 1-D)로 구분하였다. 테스트 구조 2는 양쪽의 패드 중간의 솔레노이드 부분, 그리고 솔레노이드를 연결해 주는 링크(link) 부분으로 구성되어 있으며 'ㄱ'자 형태로 기본적인 구조는 같으나 왼쪽은 솔레노이드 부분이 느슨한 구조(test structure 2-L), 오른쪽은 솔레노이드 부분이 촘촘한 구조(test structure 2-D)로 구분하였다.

2.2 테스트 구조 측정

각 구조의 인덕터는 standard network analysis를 사용하여 HP8510C network analyzer와 Microtech probe station을 이용하여 측정하고 calibration은 Line-Reflect-Mismatch(LRM) method로 하였다. 인덕터로서의 성능을 결정하는 것은 테스트 구조의 입출력 전압과 전류의 관계를 나타내는 admittance parameter(Y-parameter)이나, 측정할 주파수 영역은 50MHz~5GHz의 고주파 영역으로 이 영역에서 Y-parameter를 직접 측정하는 것은 불가능하므로 각각의 구조에 대해서 50MHz~5GHz까지 201개의 scattering parameter(S-parameter)를 측정하였다. 이 때 입출력 저항은 각각 50Ω을 연결하여 임피던스 매칭(impedance matching)을 하였다. 또한 제조 공정에서 매우 작은 저항을 갖는 물질을 이용하였기 때문에 직류 저항은 무시하였다. S-parameter는 아래의 식으로 Y-parameter로 변환된다[4].

$$Y_{11} = \frac{1}{Z_0} \left[\frac{(1 + S_{22})(1 - S_{11}) + S_{12} S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12} S_{21}} \right]$$

$$Y_{12} = \frac{1}{Z_0} \left[\frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12} S_{21}} \right]$$

$$Y_{21} = \frac{1}{Z_0} \left[\frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12} S_{21}} \right]$$

$$Y_{22} = \frac{1}{Z_0} \left[\frac{(1 + S_{11})(1 - S_{22}) + S_{12} S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12} S_{21}} \right]$$

3. 모델링 및 최적화

3.1 모델링

모델링을 위하여 인덕터의 각 부분을 그림 3과 같이 기본적인 building block으로 나누었다. 각 building block은 partial element equivalent circuit(PEEC) method를 이용하였으며 각 building block들이 전체 인덕터에 미치는 영향을 고려하였고 각 building block의 실제 3차원 구조를 등가회로로 적용시켰다.

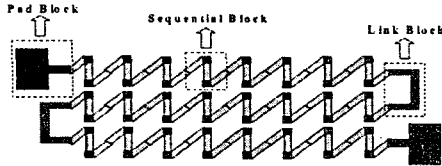


그림 3. 기본적인 building block.
Fig. 3. Basic building block.

기본적인 building block의 등가회로는 그림 4와 같이 대칭적인 구조이며 일반화된 인덕터 모델을 사용하였다. 각 building block의 등가회로의 아랫부분에 있는 캐패시턴스(C2)는 기판과 building block의 사이의 캐패시턴스를 고려한 것이다. 테스트 구조 2와 같이 꺾여있는 구조에서는 솔레노이드 부분끼리의 기생효과(parasitic effect)가 발생하게 되므로 솔레노이드를 통해 흐르는 전류의 방향을 고려하여 인덕턴스, 그리고 솔레노이드 사이의 캐패시턴스를 고려하여 모델링하였다.

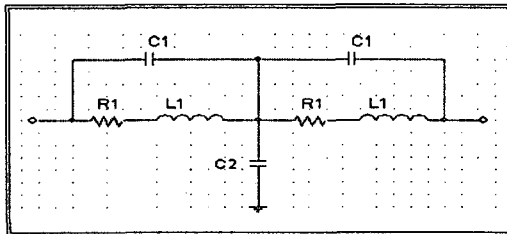


그림 4. 기본적인 partial element equivalent circuit.
Fig. 4. Basic partial element equivalent circuit.

3.2 HSPICE를 이용한 최적화

HSPICE를 이용한 최적화 알고리즘은 Levenberg-Marquardt(LM) 방법으로 수행하였다. 이 방법의 목적 함수는 다음과 같다.

$$F_0(X) |_{X=(x_1, x_2, \dots, x_n)} = \sum_{i=1}^m w_i \frac{f_i(X) - F_{meas}^i}{F_{meas}^i}$$

여기서 $X=(x_1, x_2, \dots, x_n)$ 은 추출되어야 하는 파라미터들의 값들의 집합이고, n 은 파라미터의 총 개수, F_{meas}^i 는 i 번째 파라미터의 실제 측정된 값, m 은 총 측정된 데이터의 수, $f_i(X)$ 은 i 번째의 시뮬레이션된 값이다. w_i 는 i 번째 측정된 데이터에 대한 weight 값이다. 이 방법을 사용하여 최종적으로 찾아내는 것은 $F_0(X)$ 를 최소화시키는, 즉 측정된 데이터와 시

뮬레이션된 데이터 사이의 오차를 최소화시키는 파라미터 집합 $X=(x_1, x_2, \dots, x_n)$ 가 된다.

각 building block을 구성하는 변수의 추출 및 최적화는 모든 테스트 구조들에 대해 50MHz에서 시작하였으며 인덕터로 동작하는 영역을 고려하여 첫 번째 공진 주파수(first resonant frequency)영역을 이용하여 모델링하였다.

4. 결과 및 토의

세 개의 coupon에 있는 각각의 테스트 구조에 대한 모델링을 완료한 후에 각 building block에 해당하는 최적화된 파라미터 값을 추출하였고, 그에 대한 평균과 표준편차를 표 1에 나타냈다.

표 1. 테스트 구조의 평균과 표준편차.

Table 1. Mean and standard deviation of test structures.

| | Structure 1-L | | Structure 1-D | | Structure 2-L | | Structure 2-D | |
|----------|---------------|-----------|---------------|-----------|---------------|-----------|---------------|-----------|
| | Mean | Variation | Mean | Variation | Mean | Variation | Mean | Variation |
| Rpad[Ω] | 7.7E-02 | 7.7E-03 | 4.1E-01 | 9.1E-02 | 6.7E-01 | 3.5E-02 | 1.5E+00 | 1.2E-02 |
| Lpad[H] | 5.5E-10 | 1.1E-21 | 1.2E-09 | 4.6E-20 | 1.8E-09 | 2.7E-19 | 2.0E-09 | 4.1E-21 |
| Cpad[F] | 2.8E-12 | 2.2E-24 | 2.0E-12 | 1.7E-25 | 9.5E-12 | 7.5E-24 | 1.4E-12 | 4.2E-25 |
| Rseq[Ω] | 1.0E-10 | 0 | 1.0E-10 | 0 | 1.0E-05 | 0 | 8.0E-03 | 1.8E-04 |
| Lseq[H] | 8.5E-10 | 2.3E-21 | 8.0E-10 | 5.4E-21 | 5.0E-09 | 3.5E-19 | 5.5E-09 | 1.0E-20 |
| Cpad[F] | 5.0E-13 | 1.2E-26 | 1.1E-12 | 1.6E-25 | 1.4E-12 | 7.1E-28 | 2.3E-12 | 3.5E-27 |
| Rlin[Ω] | - | - | - | - | 1.1E-02 | 3.9E-02 | 5.7E+01 | 2.0E-02 |
| Llin[H] | - | - | - | - | 8.9E-08 | 5.5E-16 | 1.0E-07 | 1.4E-17 |
| Cin[F] | - | - | - | - | 8.2E-13 | 1.1E-25 | 1.3E-12 | 6.3E-29 |
| Cand1[F] | 4.5E-13 | 3.3E-27 | 6.0E-13 | 5.5E-27 | 1.3E-12 | 4.3E-26 | 1.1E-12 | 7.8E-28 |
| Cand2[F] | 2.4E-13 | 2.6E-29 | 1.2E-13 | 3.3E-28 | 1.7E-14 | 1.0E-28 | 5.6E-14 | 1.5E-30 |
| Cand3[F] | - | - | - | - | 1.7E-12 | 6.5E-26 | 1.1E-12 | 8.0E-28 |

위의 결과를 볼 때에 각각의 테스트 구조에 대한 파라미터의 표준편차가 평균보다 훨씬 작으므로 최적화된 파라미터 값에 대한 신뢰성이 있음을 알 수 있다. 또한 각각의 테스트 구조를 구성하는 building block을 구성하는 파라미터 값이 유사한 범위 상에 존재하므로 세 가지 building block을 조합하여 구성한 다른 구조에 대해 소자를 직접 제작하지 않고 특성에 대한 예측이 가능하다고 할 수 있다.

테스트 구조에서 추출한 각각의 파라미터 값에서 평균과 표준편차를 이용하여 10% variation을 구하고 building block을 구성하는 각각의 파라미터에 대해 sensitivity analysis를 하였다. Sensitivity analysis를 수행한 결과 테스트 구조 1의 경우에 표 2에서 보는 바와 같이 sequential block을 구성하는 저항값(Rseq)의 변화에 대해서는 전혀 특성이 변하지 않는다. 그러나 각각의 테스트 구조는 building block을 구성하는 인덕턴스(Lpad, Lseq) 값이 변화할 때에 평균값과의 오차가 크게 발생하였다. 각 building block과 기판과의 캐패시턴스(Cgnd) 값은 기판의 종류에 따라 값이 달라지므로 무시하였다.

각 테스트 구조에서의 +10%와 -10%사이의 Norm of Square Error는 표 2와 같다.

표 2. 테스트 구조의 sensitivity analysis 결과.
Table 2. Sensitivity analysis result of test structures.

| | Structure 1-L | | Structure 1-D | | Structure 2-L | | Structure 2-D | |
|-------|---------------|---------|---------------|---------|---------------|---------|---------------|---------|
| | Mag | Phase | Mag | Phase | Mag | Phase | Mag | Phase |
| Rpad | 1.5E+00 | 6.0E-01 | 4.6E-02 | 2.4E-00 | 2.4E-03 | 2.4E-00 | 1.3E-05 | 1.8E-01 |
| Lpad | 9.8E-01 | 1.4E+03 | 4.9E-00 | 1.1E+03 | 1.3E-01 | 2.4E-02 | 3.1E-03 | 7.3E-01 |
| Cpad | 2.7E-01 | 2.5E+02 | 2.2E-00 | 2.5E+02 | 7.1E-02 | 8.4E-01 | 3.1E-03 | 7.3E-01 |
| Rseq | 0.0E+00 | 0.0E+00 | 0.0E+00 | 0.0E+00 | 0.0E+00 | 0.0E+00 | 2.1E-06 | 5.8E-02 |
| Lseq | 3.4E-01 | 2.7E+03 | 3.7E-00 | 1.4E+03 | 2.4E-02 | 3.4E-02 | 1.1E-01 | 3.3E-02 |
| Cseq | 4.7E-00 | 1.1E+02 | 3.1E-01 | 1.8E-01 | 1.0E-03 | 7.6E+00 | 1.3E-02 | 8.1E-00 |
| Rlin | . | . | . | . | 6.3E-05 | 3.4E-00 | 2.4E-05 | 2.8E-00 |
| Llin | . | . | . | . | 8.1E-04 | 3.6E-01 | 2.3E-03 | 7.0E-01 |
| Clin | . | . | . | . | 1.1E-02 | 7.1E+01 | 2.7E-02 | 9.1E-01 |
| Cgnd1 | 1.6E-00 | 3.2E+02 | 3.7E-00 | 1.4E+03 | 2.7E-03 | 2.0E+02 | 2.1E-03 | 1.1E-02 |
| Cgnd2 | 2.7E-01 | 3.0E+03 | 4.8E-00 | 1.6E+03 | 2.9E-03 | 7.2E+00 | 7.1E-02 | 4.4E-01 |
| Cgnd3 | . | . | . | . | 2.5E-02 | 5.5E-01 | 3.1E-02 | 1.4E-01 |

그림 5, 6과 같이 sequential block의 인덕턴스 (Lseq) 값에 따라 인덕터로 동작하는 주파수대역이 이동함을 알 수 있다. Sequential block의 인덕턴스 값(Lseq)은 다른 인덕턴스(Lpad, Llin) 값과는 달리 인덕터의 특성변화에 큰 영향을 미친다는 것을 볼 수 있다.(실선: Mean, 점선: +10%, 일점쇄선: -10%)

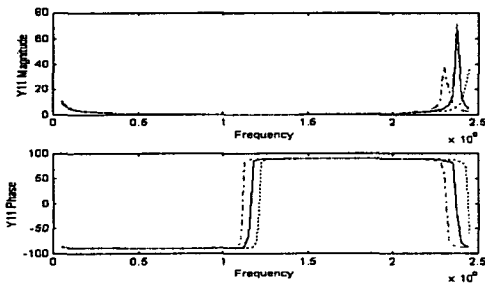


그림 5. 테스트 구조 1-L의 Lseq의 변화에 따른 Y11 특성 변화.
Fig. 5. Variation of Y11 specificity by alteration of Lseq on test structure 1-L.

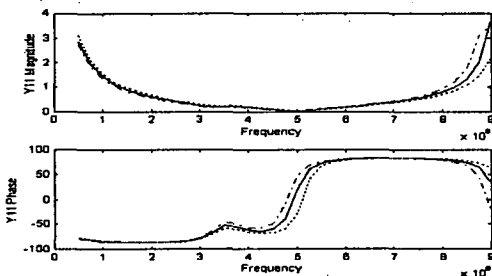


그림 6. 테스트 구조 2-D의 Lseq의 변화에 따른 Y11 특성 변화.

Fig. 6. Variation of Y11 specificity by alteration of Lseq on test structure 2-D.

5. 결론

본 논문에서는 다차원 패턴의 LTCC 공정으로 제작된 3차원 매립형 인덕터에 대한 모델링을 PEEC 방법을 이용하여 수행하였고 최적화된 결과에서 추출한 파라미터 값에 대한 평균과 표준편차를 계산하였다. 그리고 sensitivity analysis를 수행하여 각각의 파라미터 값의 변화가 전체 인덕터의 동작에 미치는 영향에 대해 통계적으로 분석하였다. 이를 바탕으로 공정상의 변위가 실제 제작된 인덕터의 동작에 어떤 영향을 미치는지에 대해 예측할 수 있다. 따라서 실제로 소자를 기획, 설계하거나 제작하는데 시간과 비용이 절감되며 수율을 향상시킬 수 있다.

감사의 글

본 연구는 전자부품연구원(KETI)의 유망전자부품 기술개발사업(Electro-0580)의 위탁 연구과제로 수행되었습니다.

참고 문헌

- [1] L. J. Golonka, K. J. Wolter, A. Dzedzic, J. Kita, L. Rebenklau, "Embedded passive components for MCM", 24th International Spring Seminar on Electronic Technology, pp. 73-77, May 2001
- [2] R. L. Brown, A. A. Shapiro, P. W. Polinski, "The Integration of Passive Components into MCMs Using Advanced Low-Temperature Cofired Ceramics", The Int. Journ. of Microcircuits and Electron. Packaging, Vol. 16, No. 4, pp. 328-338, Fourth Quarter 1993.
- [3] R. Poddar and M. Brooke, "Accurate High Speed Empirically Based Predictive Modeling of Deeply Embedded Gridded Parallel Plate Capacitors Fabricated in a Multilayer LTCC Process", IEEE Trans. Advanced Packaging, Vol. 22, No. 1, pp. 26-31, Feb. 1999.
- [4] D. M. Pozar, "Microwave Engineering", John Wiley & Sons, p. 192, 2000.