

멀티 보드 테스트를 위한 PSU(Path Select Unit) 설계

정우철*, 송오영*

*중양대학교 공과대학원 전자전기공학부
e-mail:song@jupiter.cie.cau.ac.kr

PSU(Path Select Unit) Design for Multiple Board System Testing

Woo Cheul Jung*, Ohyoung Song*

*School of Electrical & Electronics Engineering, Chung-Ang University

요약

하나의 보드에 대한 소자들의 테스트를 위해서 IEEE 1149.1이 제안 되었고 완전한 테스트를 지원한다. 하지만 여러 보드에 대해서는 불가능하여 IEEE 1149.1을 확장한 시스템 레벨의 테스트 방법이 제안되었다. 기존의 IEEE 1149.1을 확장한 방법은 보드 레벨의 테스트와 시스템 레벨의 테스트가 하나의 데이터 패스에 의해서 테스트 시간이 길고 비효율적이다. 본 논문에서는 보드 레벨 테스트와 시스템 레벨 테스트를 구분하여 불필요한 테스트 데이터 이동을 줄여 테스트 시간을 줄이고 효율적인 방법을 제시한다. 그리고 이를 지원하기 위한 Path Select Unit을 설계한다. 구현된 PSU는 작은 게이트 사이즈로 적은 테스트 비용으로도 효율적으로 시스템 레벨 테스트가 가능해진다.

1. 서론

최근 들어 VLSI칩의 고집적화, 멀티칩 모듈, SMD 디바이스 같은 패키징 기술의 발달 및 PCB기술의 발달로 기존의 테스트 방법으로는 높은 고장 검출률을 갖는 보드 테스트가 불가능해졌다. 이러한 문제를 해결하기 위해서 IEEE에서 경계주사 구조(Boundary Scan Architecture)와 프로토콜을 정의한 국제 표준인 IEEE 1149.1이 1990년도에 만들어 졌다[1, 2]. 이 표준은 흔히 JTAG이라 불린다. 시스템 레벨에서의 보드 테스트를 위하여 IEEE 1149.5가 제안되었지만[3] 이것은 IEEE 1149.1과 다른 프로토콜을 사용한다. 따라서 두 표준간의 프로토콜 변환이 필요로 하고 이것이 테스트 비용을 증가시키게 된다. 시스템 레벨에서의 보드 테스트를 IEEE 1149.1의 프로토콜을 확장하여 테스트 하는 방법이 제안되었고 이를 IEEE 1149.1 backplane 테스트 확장이라고 한다[4,5,6].

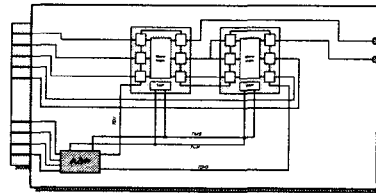


그림 1. ASP를 이용한 일반적인 보드

Shadow protocol이라는 새로운 연결 프로토콜을 이용하여 보드를 선택/해제를 함으로써 시스템 레벨에서의 보드 테스트를 가능하게 하였다[5]. Shadow protocol을 지원하는 칩셋으로 ASP(Addressable Shadow Port)가 있다[7]. [그림 1]은 ASP를 이용한 시스템 레벨 테스트를 위한 보드의 일반적인 구조이다.

본 논문에서는 기존의 shadow protocol을 지원하면서 시스템 레벨에서의 보드 테스트를 위한 데이터 패스를 하나 더 제공하여 불필요한 데이터 이동을 없

애고 보드를 하나의 가상 칩으로 생각하여 테스트 패턴 생성과 진단을 용이하게 하는 방법을 제안한다. 이를 지원하기 위한 PSU(Path Select Unit)를 설계하고 구현한다.

2. 본론

2.1 새로운 시스템 레벨 테스트 방법.

PSU(Path Select Unit)는 기존의 보드 레벨에서의 IEEE std 1149.1을 확장하여 시스템 레벨에서 테스트가 가능하게 해주는 칩이다. PSU를 이용하여 시스템 레벨 수준에서의 테스트가 가능하기 위해서 보드를 [그림 2]와 같이 제안한다.

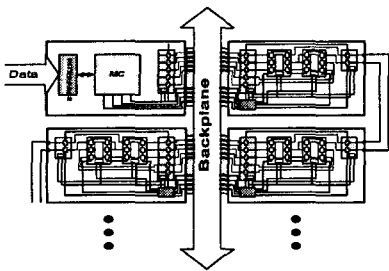


그림 2. 시스템 레벨 테스트를 위한 구조

보드내에서의 JTAG 체인은 패스 2번의 TDI와 TDO에 연결시킨다. 그리고 보드와 백플레인간의 연결과 보드와 보드사이의 연결은 BC(boundary cell)로 이루어진 칩을 통과시키고 BC들은 패스1번의 TDI와 TDO에 연결시킨다. 이렇게 함으로써 기존의 하나의 보드내에서의 JTAG 패스와 시스템 레벨에서의 테스트를 위한 JTAG 패스를 분리시켜 각각 알고리즘을 적용시키게 된다. 또한 패스 1번의 입장에서는 보드가 하나의 입출력이 있는 칩으로 여겨지게 된다

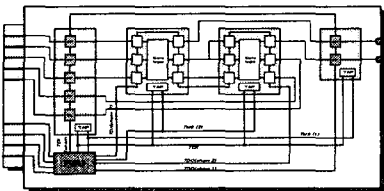


그림 3. PSU를 이용한 보드 제안

따라서 이러한 각 보드마다의 패스 1번을 PSU를 이용하여 연결시킴으로써 가상의 큰 보드를 만드게 된다. 기존의 IEEE 1149.1을 수용하면서 여러 보드 중 하나의 보드를 선택하는 방법, 선택된 보드중 체인을 결정하는 방법, 체인이 결정된 후 테스트 데이터 인가방법, 선택된 보드를 다시 비선택 하는 방법등이 PSU를 통하여 이루어지게 된다.

[그림 3]은 제안된 보드로 이루어진 시스템 레벨에서

의 보드 테스트를 위한 구조이다. [그림 2]의 보드들이 백플레인에 연결이 되어 있고 각 보드를 선택하고 테스트 데이터를 인가하는 마스트 보드가 백플레인에 연결이 된다.

2.1.1 연결 프로토콜의 구성

MC보드에서 시스템 레벨에서의 각 보드를 테스트하기 위한 연결 프로토콜의 구성이 [그림 4]에 보여진다. shadow protocol과 유사한 구조로 이루어져 있지만 패스를 선택하는 부분이 첨가되어 있다.

시작은 '1100'으로 인코딩이 되고 끝부분은 '0011'로 인코딩이 된다. 보드를 선택하는 부분은 1이 '01'로 인코딩이 되고 0은 '10'으로 인코딩이 된다. 그리고 특수 목적으로 사용되는 프로토콜이 3개가 존재하므로 실제 가능한 보드수는 $2^{10}-3$ 개이다. 패스를 결정하는 부분은 '01'은 1번 패스이고 '10'은 2번 패스로 인코딩이 된다.



그림 4. 연결 프로토콜의 구성

특수 목적의 프로토콜로 PSU를 초기화를 만드는 Reset 프로토콜, 연결된 보드를 끊는 Disconnect 프로토콜, 동시에 보드의 상태를 바꾸기 위해서 TMS신호만 연결하는 Resync 프로토콜이 있다. Reset 프로토콜에는 패스를 선택하는 부분에 '11'로 인코딩이 된다. Disconnect와 Resync는 모두 패스를 구분하여 보내게 된다.

2.1.2 보드 연결/해지 절차

먼저 [그림 3]과 같이 연결이 되어 있는 시스템에서 PSU에 보드를 선택하고 해지하는 프로토콜은 TDI신호를 이용한다. MC는 백플레인의 상태를 Run-Test/Idle로 만든 후 TDI를 통하여 보드를 선택하는 프로토콜을 보내게 된다. 각 보드에 있는 PSU는 이를 감지하여 보드마다 주어진 고유 번호와 일치할 경우 확인 프로토콜을 다시 MC로 보내게 된다. 이때 PSU는 선택된 패스에 따라 백플레인의 TDI,TDO,TMS를 보드내의 TDI,TDO,TMS에 연결을 시킨다. 패스 1번은 보드간의 테스트를 위한 것이고 패스 2번은 보드내에서의 테스트를 위한 것이다. MC는 확인 프로토콜을 수신 후 원하는 보드와의 연결이 되어 있는 상태이므로 TDI를 통하여 테스트 데이터를 이동시키게 된다. 데이터 이동이 끝난 후 MC는 TMS를 통하여 해지 프로토콜을 보내게 된다. 이때 해지하는 패스가 해지 프로토콜에 포함이 되어 있다. MC와 연결이 되어있던 PSU는 해지 프로토콜내의 패스를 받아서 연결이 되어 있던 패스를 MC와 끊게 된다. 이 때는 확인 프로토콜은 MC로 보내지 않는다.

2.1.3 PSU를 이용한 알고리즘

PSU를 이용하여 패스 1번을 선택하면 각 보드는 하나의 가상 칩으로 생각할 수 있다. 즉 보드간의 테스트를 별도의 패스를 됴으로써 보드간의 테스트를 위한 테스트 패턴 생성과 진단이 용이해 지고 기존의 하나의 패스에 의해서 테스트 데이터를 이동시키는 것보다 테스트 시간을 줄일 수 있다. [그림 5]는 각 보드를 가상의 칩으로 생각한 것을 보여준다. 하나의 보드가 가상의 칩이 됴으로써 기존의 하나의 보드에 대한 ATPG와 진단을 그대로 사용할 수가 있다. 가상의 칩 개념을 도입하여 PSU를 이용한 알고리즘은 다음과 같다.

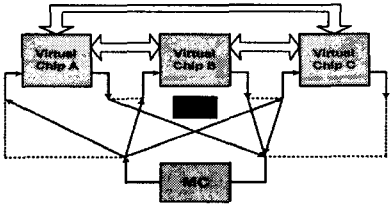


그림 5. 가상의 칩을 이용한 보드간의 테스트 방법

가상 칩 A,B,C가 하나의 JTAG 패스에 연결이 되어 있다고 가정하고 테스트 패턴을 생성한다. 이때 보드간의 연결은 멀티 센싱과 멀티 드라이빙이 되는 형태이다. 테스트 패턴이 생성이 된 것을 각 가상 칩에 맞게 패턴을 분리한다. 이때는 패스 1번의 BC의 개수와 동일하게 분리한다. 분리된 패턴의 앞과 뒤에 PSU를 이용하여 보드를 선택/해지하는 프로토콜을 삽입한다. MC에서는 전체 상태를 Run-Test/Idle로 보낸 후 Reset 프로토콜을 각 PSU에 보내어 상태를 Test-Logic/Reset의 상태로 만들어서 초기화를 시킨다.

이제 가상 칩 A를 선택하는 프로토콜을 보내고(패스 1번 선택) 가상 칩 A에 있는 PSU로부터 확인 프로토콜이 오면 A에 해당하는 테스트 패턴을 이동시킨다. 그리고 상태를 Pause-DR로 만든다. 그리고 해지 프로토콜을 보내서 연결을 끊는다. 같은 방법으로 가상 칩 B,C에 대해서도 테스트 패턴을 보내고 끊는다. 이제 각 보드내의 패스 1번은 Pause-DR상태이므로 이때 MC는 각 PSU로 Resync 프로토콜을 보낸다. Resync 프로토콜은 Pause-DR에서만 유효한 프로토콜로 이 프로토콜을 수신후에는 각 보드의 패스 1번의 TMS신호는 MC의 TMS신호와 연결이 된다. TDI와 TDO는 끊어진 상태이다. 상태를 Pause-DR에서 Run-Test/Idle로 동시에 보냄으로써 각 보드내의 테스트 데이터가 동시에 업데이트가 된다. 다시 각 가상 칩 A,B,C를 선택하여 데이터를 쉬프트 아웃하여 보드간의 테스트를 진단하게 된다.

2.2 PSU(Path Select Unit)의 구조

[그림 6]은 PSU의 전체 구조 블록도이다.

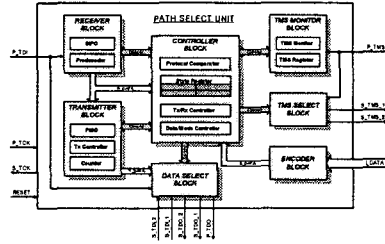


그림 6. PSU의 전체 구조

TMS Monitor Block(TMB)

마스터 보드에서 보내는 TMS신호를 모니터링을 하는 블록이다. 현재 TAP의 상태를 Controller Block으로 보낸다. TMS 레지스터는 TAP의 상태 천이에 따라서 PSU의 각 블록이 동작할 모드 값과 Receiver Block에서 TDI 값이 테스트 데이터와 프로토콜을 구분하는 플래그 값을 가지고 있다. 리셋 프로토콜에 의해서 Test-Logic/Reset 상태로 천이가 된다.

Receiver Block(REB)

백 플레인의 TDI로부터 새도우 프로토콜을 받는 블록이다. 기본 구조는 직렬 입력 병렬 출력 구조 (Serial-In Parallel-Out)이며 Controller Block에 의해서 동작이 된다. 매 TCK마다 직렬로 들어온 프로토콜은 30bit가 되었을 때 프로토콜인지를 파악하는 프리 디코더로 보내지게 된다. 프리 디코더에서는 시작과 끝부분을 제외한 22bit를 Controller Block내의 프로토콜 비교기로 보내며 동시에 확인을 위한 전송을 위해서 Transmitter Block의 병렬입력 직렬출력 (Parallel-In Serial-Out)으로 보낸다.

Transmitter Block(TRB)

PISO 구조로 이루어져 있으며 REB에서 온 22bit를 Controller Block에서 받은 프로토콜이 유효할 경우 TCK의 falling edge에 시작과 끝부분을 첨가하여 30bit를 전송한다. 30bit 전송이 끝나면 Controller Block에 의해서 TRB는 작동을 하지 않는다. 전송은 MSB에서 LSB순서로 이루어 진다.

Data Select Block(DSB)

Controller Block내의 Data/Mode 콘트롤러에 의해서 프로토콜 내의 선택된 패스에 따라 백플레인의 TDI,TDO가 보드내의 TDI,TDO와 연결을 시켜 준다.

Controller Block(COB)

PSU를 중앙에서 제어하는 블록으로 프로토콜 비교기, 전체 상태 레지스터, 송수신 콘트롤러,

Data/Mode 컨트롤러로 이루어져 있다. 프로토콜 비교기는 REB 블록에서 받은 프로토콜을 각 PSU마다 주어진 고유 번호와 비교하여 Connect, Disconnect, Reset, Resync, Mismatch의 상태를 상태 레지스터에 보내게 된다. 송수신 컨트롤러는 상태 레지스터와 TMB 블록내의 TMS 레지스터를 보고 송수신단을 제어한다. Data/Mode 컨트롤러는 상태 레지스터와 프로토콜 내의 패스 선택에 의해서 TSB와 DSB 블록을 제어한다.

2.3 결과 및 시물레이션

구현된 PSU는 LG 라이브러리를 이용하여 Synopsys에서 합성 결과 약 2K정도의 크기를 가진다. 이것은 작은 면적을 차지하므로 전체 보드 하드웨어 오버헤드에 큰 영향을 주지 않는다. 그리고 구현된 PSU는 SOC되는 추세에서 IP로서 사용이 가능하다. 구현된 PSU를 작은 하드웨어 오버헤드로 효율적인 시스템 레벨 테스트 방법으로 실현하기에 가장 적합한 방법이다

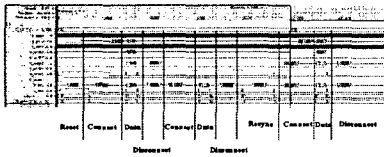


그림 7. 시물레이션 결과

[그림 7]은 본 논문에서 제시된 알고리즘을 바탕으로 PSU의 시물레이션 결과이다. Verilog-XL을 이용하여 시물레이션을 하였다. 먼저 Reset 프로토콜을 보내면 PSU는 리셋상태로 된다. 보드를 선택하는 프로토콜에 대하여 자기 고유 아이디와 매치가 되기 때문에 바로 확인 프로토콜을 MC로 보낸다.

이제 연결이 된 상태이기 때문에 MC가 보내는 테스트 데이터를 그대로 보드내로 전송한다. 이때는 선택된 패스로만 데이터가 전송이 된다. 전송이 끝난후 해지 프로토콜이 보내지고 연결이 끊어진다. 다른 보드를 선택하는 프로토콜에 대해서는 계속 끊어진 상태를 유지한다. Resync 프로토콜이 왔을 때 TMS만 연결이 되고 MC가 보내는 TMS신호를 보드내로 전송을 한다.

3. 결론

본 논문에서는 기존의 IEEE 1149.1 backplane 테스트 확장 방법을 그대로 지원을 하면서 보드 간의 테스트를 위한 패스를 구분하여 기존의 테스트 방법이 가지고 있던 단점인 테스트 시간을 줄이고 테스트 패턴을 생성과 진단이 용이하게 하는 방법을 제시하였다. 본 논문에서 제시된 알고리즘을 지원하기 위하

여 PSU(Path Select Unit)을 설계하였고 PSU를 장착한 보드를 제안하였다. 제안된 보드와 PSU를 이용하여 각 보드는 가상의 칩으로 생각할 수가 있고 이것이 테스트 패턴의 생성과 진단을 용이하게 만든다. 구현된 PSU는 작은 하드웨어 오버헤드로 전체 테스트 상송을 억제하면서 효율적인 시스템 레벨에서의 보드간의 테스트를 가능하게 한다. PSU를 이용한 방법은 저비용으로 보드간의 테스트를 지원하는 효과적인 방법이라고 할 수 있다.

참고 문헌

- [1] IEEE Standard Test Access Port and Boundary Scan Architecture, IEEE Std. 1149.1-1990, *IEEE Press*, New York, 1990
- [2] Colin M. Maunder, Rodham E. Tulloss, "The Test Access Port And Boundary Scan Architecture", *IEEE Computer Society Press*, pp.23-28, 1990
- [3] IEEE Standard for Module Test and Maintenance Bus(MTM-Bus) Protocol, IEEE Std 1149.5-1995, IEEE Press, New York, 1996
- [4] Harry Bleeker and Peter van den Eijnden, "Boundary-scan Test A Practical Approach", *Kluwer academic publishers*, 1993
- [5] L. Whetsel, "A Proposed Method of Accessing 1149.1 in a Backplane Environment", *Proc. of International Test Conf.*, pp206-216, 1992.
- [6] L. Whetsel, "Hierarchically Accessing 1149.1 Applications", *Proc of International Test Conf.*, pp517-526, 1993.
- [7] TI, "10-Bit Addressable Scan Ports Multidrop-Addressable IEEE STD 1149.1 TAP Transceivers", Data Sheets, Texas Instruments, 1999