SOI기판과 트랜치 기법을 이용한 완전 절연된 MOSFET의 전기적인 특성에 관한 연구

박 윤 식, 강 이 구, 김 상 식, 성 만 영
고려대학교 전기공학과 반도체 및 CAD 연구실

A new structure of completely isolated MOSFET using trench method with SOI

Yun-Sik Park, Ey-Goo kang, Sangsig Kim, Man-Young Sung
Department of Electrical Engineering, Korea Univ., Seoul, Korea

Abstract - 본 논문에서는 반도체 응용부문 중 그 활용도가 높은 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)의 새로운 구조를 제안하였다. 제안한 소자를 가지고 전자회로의 구성할 때 인접 디바이스들과 연계되어 발생되는 래치 업(latch-up)을 근본적으로 제거하고, 개별소자의 완전한 절연을 실현하였으며 누설전류 또한 제거된다. 이는 SOI기판 위에 벌크실리콘 공정을 이용하여 구현된다. 즉, 소자 양옆의 트랜치 웰(Trench-well)과 SOI 기판의 절연층으로 소자의 독립성을 지켜준다. 또한 게이트 절연층을 트랜치 구조로 기존 MOS구조의 채널 부분에 위치시키고 드레인과 소스를 위치시켜 자연적으로 자기정렬이 되어진다. 이와 같은 과정으로 게이트-소스, 게이트-드레인 기생 커패시터의 효과를 현저히 줄일 수 있다.

1. 서 론

오늘날 VLSI기술의 발전에는 MOSFET 소자의 끊임없는 개발이 뒷받침 되어왔다. 전자회로의 고집적화와 소자의 소형화에 의한 절연 특성, 래치 업 현상과 같은 2차적 효과는 그 설계 조건에 많은 영향을 미치게 된다. 이는 MOSFET 소자의 자체적 구조에 기인한 것으로 이를 줄이기 위해 트랜치 웰(trench well) 공정기법 등을 사용하여 각 소자간을 절연시키거나 SOI(Silicon On Insulator)기판을 이용하여 기존의 구조를 기판 위에 올리는 등 여러 시도들이 있었다. 그러나 SOI기판 위에 소자를 올리는 방법에는 벌크실리콘 공정에서 볼 수 있는 후면기판접촉이 없기 때문에 기형적인 디바이스의 특성인 비꼬임효과(kink effect)를 초래할 뿐만 아니라 공정 기술이 복잡한 단점을 가지고 있다.

본 논문에서는 SOI기판을 사용하고, 트랜치 기법을 이용하여 집적회로를 구성할 때 단위 소자들을 완벽히 절연시킬 수 있는 MOSFET의 새로운 구조를 제안하였다. 제안된 구조에서는 벌크 실리콘 기술이 그대로 응용되며, 래치 업 현상을 제거하고, 자동적으로 자기 정렬 공정이 수행되어 기생 커패시터 효과를 현저히 줄이고, 서브 미크론 공정에서 충분히 활용 가능하도록 고안되었다.

2. 본 론

2.1 제안된 소자의 구조

일반적인 CMOS 설계에 있어서 p형 채널과 n형 채널 소자가 가까운 거리에서 결합되기 때문에 기생적인 쌍극성 구조가 만들어지며, 실제로 p-n-p-n구조를 발견할 수 있고 이로 인해 단지 사이리스터로 작용 할 수도 있다. 특정 바이어스 상태에서는 이 구조의 p-n-p부분이 n-p-n구조의 베이스 전류를 공급할 수 있으며 이로 인해 상당한 전류가 흐르게 되는 래치 업 현상을 초래하게 된다.

그림 1은 본 논문의 시뮬레이션에 사용된 MOSFET 구조의 단면도로서 소자의 양쪽에 트랜치 산화층을 두고 SOI기판의 매립 산화막 층과 연결하였다. 이는 이 소자의 양옆에 놓여질 다른 소자와의 완전한 절연을 실현하게 되어 래치 업 현상을 근본적으로 없애주는 구조이다.

또한, 소자가 절연물질로 둘려 싸여 있기 때문에 트랜지스터와 기판이나 인접한 디바이스들 간의 누설전류는 거의 제거된다.

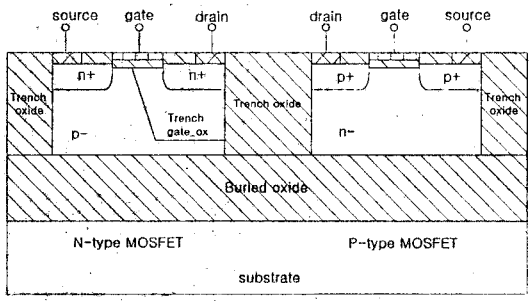

그림 1 제안한 MOSFET 소자의 단면도
Fig. 1 Structure of proposed MOSFET

이 구조의 여러 설계 변수값들은 표 1에 나타내었고, 이를 2차원 시뮬레이터인 MEDICI를 이용하여 분석하였다. 제안된 소자와 비교 분석하기 위한 기존의 MOSFET와 본 논문에서 제안한 구조는 게이트 산화층의 두께를 제외하고 각 영역의 구조와 크기, 채널의 길이, 셀 크기, 도핑 농도 등은 모두 동일하게 설정하였다.

표 1 시뮬레이션을 위한 제안된 구조의 설계 변수
Table1 Characteristic of proposed structure for simulation

변 수	깊 이	농 도
p- n-	4㎛	$1\times10^{16}/cm^{-3}$
n+, p+ 드레인	1㎛	$1\times10^{21}/cm^{-3}$
n+, p+ 소스	1㎛	$1\times10^{21}/cm^{-3}$
트랜치 게이트 산화막 두께	0.4㎛	
채널길이	2㎛	

2.2 시뮬레이션 결과 및 고찰

그림 2는 제안한 소자의 I-V 특성곡선을 나타낸다. 드레인 전압을 0V에서 5V까지 변화시키면서 게이트 전

압을 0V에서 5V까지 직류 스윕 시키면서 드레인 쪽의 선전류를 나타내었다. V_{GS}=5V일 때, I_{DS}=25A/m가 측정되었다.

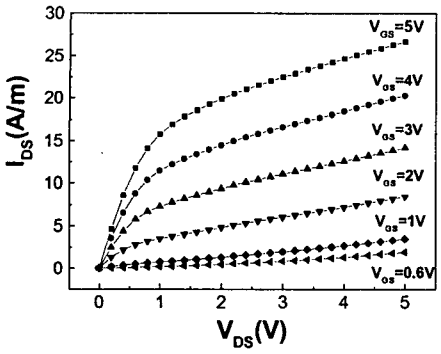

그림 2 제안한 소자의 I-V 특성곡선

Fig. 2 I-V Characteristic of the proposed MOSFET

그림 3은 제안한 소자의 I_{DS}-V_{DS} 특성 곡선이며, 게이트 전압입력 증가시 드레인 전류가 증폭되어짐을 볼 수 있다.

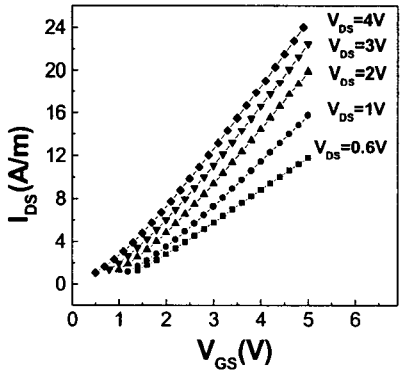

그림 3 제안한 소자의 I_{DS}-V_{DS} 특성곡선

Fig. 3 I_{DS}-V_{DS} characteristics of the proposed MOSFET

시뮬레이션 결과 제안된 소자는 게이트-소스, 게이트-드레인 기생 커패시터의 효과가 제거되면서, 현재 상용되고있는 2㎛ 채널길이를 갖는 MOSFET와 거의 같은 특성을 보였다.

3. 결 론

본 논문에서 제안된 소자는 같은 설계조건 하의 기존 MOSFET소자와 거의 같은 특성을 보이며, PMOS와 같이 설계 하였을때 완전한 독립 절연에 의한 래치 업 제거, 누설 전류의 제거, 기생 커패시터 효과 감소의 장점을 가진다. 앞으로 공정과 물질 변수에 대한 최적화를 거쳐 많은 응용분야에 사용되어질 것으로 기대된다.

[참 고 문 헌]

[1] E.H.Nicollian, J.R.Brews "MOS Physics and Technology", A Wiley-Iterscience publication, 1982

[2] Ong, D. G, "Mordern MOS Technology : Processes, Devices, and Design", New York : McGraw-Hill, 1984

[3] Pierret, R. F. "Semiconductor Device Fundamentals", Addison-Wesley,1996

[4] John Y. Chen, "CMOS Devices and Technology VLSI", Englewood Cliffs, N.J.: Prentice-Hall, pp.233-284, 1990

[5] K. Y. Ciu, J. L. Moll, and J. Manoliu, "A bird's beak free local oxidation technology for VLSI," IEEE Trans. on Electron Devices, ED-29, pp.536-540

[6] Koichi Kato, Tetsunori Wada, and Kenji Taniguchi, "Analysis of kink characteristics in silicon-on insulator MOSFET's using two-carrier modeling," IEEE Electron Devices Meeting Technical Digest, Dec. 1983, Washington, D.D., pp.513-517