

Multi RESURF구조를 갖는 LDMOS의 on 저항과 항복전압

최이권, 최연익, 정상구
아주대학교 전자공학부

On resistance and breakdown voltage of LDMOS with Multi RESURF structure

E-Kwon Choi, Yearn-Ik Choi, Sang-Koo Chung
School of Electronics Engineering, Ajou University

Abstract - Reduction of on-resistance (R_{on}) in high voltage devices is of critical importance for the power consumption of the device. R_{on} decreases with increase of the doping concentration of the drift region. However, breakdown voltage(BV) decreases also with increase of doping concentration. In this report, a multi-resurf LDMOS[1] structure is proposed to reduce the R_{on} which allows no degradation in BV. The on-and off-state characteristics of the proposed structure are simulated using the two-dimensional devices simulator ATLAS and compared with those from the conventional structure.

1. 서 론

LDMOS(Lateral Double diffused MOS)는 다수 캐리어 소자로서 빠른 스위칭 응답, 높은 입력 임피던스를 갖는 대표적인 수평형 전력소자이다 [1]. 전력 소자로 사용되는 LDMOS의 주요 특성 중 대표적인 것으로 항복전압(breakdown voltage)과 R_{on} 저항을 들 수 있는데, 이것은 주로 n-에피층(epi layer)의 농도 및 두께에 의하여 결정된다. 일반적으로 높은 항복전압을 얻기 위해서 에피층의 농도를 낮게 하고 두께를 두껍게 한다. 하지만 이렇게 하면 R_{on} 저항도 증가하게 되어 전력 소모가 커지는 단점이 있다.

이런 단점을 개선하기 위하여 RESURF(REDUCED SURFACE FIELD) 원리를 사용하는데, RESURF는 얇은 에피층을 사용하여 에피층이 모두 공핍(depletion)이 되면 표면에서 발생하는 최고의 전계가 접합의 한쪽에서 일어나지 않고 양쪽에서 일어나게 되어 표면에서의 항복을 피하고 벌크(bulk)내에서 항복이 발생하도록 유도하는 원리를 말한다.

본 논문에서는 LDMOS의 R_{on} 저항을 개선하기 위하여 드리프트 영역에 N+, P+를 강하게 도핑하여 같은 항복전압에서 R_{on} 저항을 감소시켰다. 최적의 R_{on} 값을 찾기위하여 N+, P+층의 두께를 변화시키면서 소자 시뮬레이터인 Silvaco[3]를 사용하여 최적의 R_{on} 값을 찾았으며, 기존의 LDMOS와 Multi RESURF LDMOS의 역방향 항복과 On 저항을 비교 검토하였다.

2. 본 론

그림 1에 시뮬레이션에서 사용된 소자의 단면도를 나타내었다. 그림 1.(a)는 기존의 LDMOS이며, 그림 1.(b)는 제안된 Multi RESURF LDMOS의 구조를 나타낸 것이다. 기존의 구조의 경우 드리프트영역에 N+의 강한 도핑을 이용하여 온저항을 줄였다. 이때

표 1. 시뮬레이션에 사용된 변수

변 수	값
P- 영역의 농도	$1 \times 10^{14} \text{cm}^{-3}$
드리프트 영역의 두께, (d_i)	$5 \mu\text{m}$
드리프트 영역의 길이, (L)	$10 \mu\text{m}$
소오스, 드레인 접합의 깊이, (x_j)	$2 \mu\text{m}$
채널길이	$1.5 \mu\text{m}$

N-layer의 전하의 양은 R_{on} 저항의 중요한 요소이다. 수평형 전력소자의 경우 수평길이 L, R_{on} , 항복전압이 중요한 요소인데 이는 N-layer의 전하량과도 밀접한 관계가 있다. 또한 N-layer의 전하의 양은 면저항과는 반대로 전하량이 많은 경우 R_{on} 저항값이 줄어들게 된다. 이 논문은 그림 1(a) 일반적인 구조를 통하여 최고의 항복전압과 최적의 N-layer의 농도를 구했으며, 이를 통하여 제안된 구조의 특성과 비교하였다. 제안된 구조 그림 1(b)에서는 높게 도핑된 P+ sinker는 소오스와 substrate 사이를 연결시켜주는 역할을 하며, P-의 에피층의 농도는 $1 \times 10^{14} \text{cm}^{-3}$ 이고, 두께는 $3 \mu\text{m}$ 로 설계하였다. 또한 드리프트 영역, N_{top} , P_{top} 그리고 N-층의 두께는 0.6, 0.6, $0.8 \mu\text{m}$ 로 수직방향으로 깊이는 $2 \mu\text{m}$ 로 제안하였다[2]. P_{top} 층은 N-영역과 N_{top} 층의 공핍 영역의 확장을 도와주어 적은 전압, 높은 농도에서도 빠른 공핍층을 형성하고 있다. 온상태에서 N_{top} 의 도핑농도를 높일 경우 일반적인 구조에 비하여 R_{on} 저항이 많이 감소함을 볼 수 있다. 이는 전하량의 증가에 따른 현상이다. 표1은 시뮬레이션에 사용된 변수들을 보여주고 있다.

항복전압을 알아보기 위해 source 와 gate를 접지시키고, drain에 +전압을 증가시켰다. 드리프트 수평 영역의 길이는 $10 \mu\text{m}$ 이고 두께가 $5 \mu\text{m}$ 일때, 기존의 LDMOS와 제안된 Multi RESURF LDMOS의 항복전압은 동일하게 96V가 나왔다. On 상태에서의 R_{on} 저항을 측정하였다. 이 경우 기존의 구조의 저항은 $4.5 \Omega \text{cm}$ 이고, 제안된 구조의 경우 $3.74 \Omega \text{cm}$ 으로 대략 20%감소 하였다.

그림 2는 기존의 LDMOS구조에서 도핑농도에 따라 항복전압과, R_{on} 저항의 변화를 나타내고 있다. N-영역의 도핑 농도가 올라갈수록 온저항 값은 줄어들고, 도핑농도가 $8 \times 10^{15} \text{cm}^{-3}$ 점을 지나고 나서부터 항복전압이 급격히 감소함을 볼 수 있다. 이때 최대 항복전압은 드레인에서부터 substrate까지의 n+p-p+방향으로 수직방향 전계에 의한 항복전압과 거의 같다. 드리프트 영역의 농도가 $8 \times 10^{15} \text{cm}^{-3}$ 을 넘어서면서 부터는 수직

방향의 전계의 값에 의하여 결정되는 것이 아니라, 드리프트영역이 완전히 공핍되지 않기 때문에 표면의 전계값에 의하여 항복전압은 결정되며(3)(4), 항복전압이 급격히 감소함을 보여주고 있다. 농도가 $8 \times 10^{15} \text{cm}^{-3}$ 일 때 항복전압이 96V이고, R_{on} 저항은 $4.5 \Omega \text{cm}$ 의 값을 얻을 수 있었다. 이 값을 벗어나는 농도를 가진 경우는 항복전압이 급격히 감소함을 보여주고 있다. 그림 3은 제안된 구조에서의 항복전압을 나타내고 있다. N_{top} , P_{top} 의 두 개의 도핑 농도는 일치시키고, N_{top} , P_{top} , N- 각 영역의 두께는 0.6, 0.6, 0.8 μm 이며, 이때의 N-영역의 도핑농도를 변화시켰다. N-영역의 농도가 $1 \times 10^{16} \text{cm}^{-3}$ 고, N_{top} , P_{top} 의 도핑농도가 $5 \times 10^{16} \text{cm}^{-3}$ 일 경우 최고의 항복전압을 나타내고 있다. 온 저항을 결정하는 요소는 N_{top} 의 농도이므로, 이때 R_{on} 은 최소가 된다. N_{top} , P_{top} 의 농도가 $5 \times 10^{16} \text{cm}^{-3}$ 을 넘어서면서 붙어는 항복전압이 96V가 아니고 그 보다 낮은 전압을 보이고 있는데, 이는 공핍이 드리프트영역 전체에 걸쳐 형성되지 않아 전계의 침투 깊이가 게이트 끝에서 생기는 현상이며, 따라서 표면 전계에 의하여 항복이 일어나게 된다. 그림 4의 경우 N_{top} , P_{top} 영역의 두께를 0.1~0.9 μm 로 변화 시키면서 항복전압을 조사하였다. 최적의 R_{on} 값을 가질 가지는 경우는 두 가지가 있는데 첫 번째는 N_{top} , P_{top} 두께는 각각 0.6 μm 이고, $N_{top} = P_{top} = 5 \times 10^{16} \text{cm}^{-3}$, $1 \times 10^{16} \text{cm}^{-3}$ 일 경우와 N_{top} , P_{top} 영역의 두께 0.7 μm 이고, 농도는 $4 \times 10^{16} \text{cm}^{-3}$ 며, N-영역의 농도가 $1 \times 10^{16} \text{cm}^{-3}$ 임을 볼 수가 있다. 두 가지 경우의 R_{on} 저항을 비교해보면, 전자의 경우 R_{on} 값은 3.8 Ωcm 이며, 후자의 경우는 3.74 Ωcm 로 더 좋은 특성을 나타내고 있다. On 상태에서는 전류가 표면을 따라 흐르므로, 표면의 N+영역의 농도가 높은 경우 전하가 많이 존재하게 된다. 또한 두께에 의하여 전하량이 결정됨을 볼 수 있다. 그러나 최적의 두께를 벗어난 경우 오히려 항복전압이 나빠지는 것을 나타내고 있다. 그림 5의 경우 N_{top} , P_{top} 영역의 두께는 0.7 μm 이고 농도는 $4 \times 10^{16} \text{cm}^{-3}$ 이며, N-영역의 농도는 $1 \times 10^{16} \text{cm}^{-3}$ 일 때 on 상태 출력 특성을 나타내고 있다. 게이트 전압이 2V에서는 거의 전류가 안 흐르는 것을 알 수 있다. 문턱 전압이 2V이기 때문에 inversion 이 일어나지 않아 생기는 현상이다. 또한 게이트 전압이 10V를 넘어서면 거의 포화상태가 된다. 따라서 on 저항을 구할 때 게이트에 10V를 가하였다. on 저항 값은 드레인 전압이 0.1V일 때 값을 비교하였다. R_{on} 저항은 LDMOS에 있어 항복전압과 같이 매우 중요한 요소 중의 하나이다. 일반적으로 높은 항복전압을 얻기 위하여 드리프트 영역의 농도를 낮추거나 드리프트 영역 층을 두껍게 한다. 그러나 이렇게 하면 on 저항이 증가하므로 항복전압과 R_{on} 저항은 trade-off 관계가 있다. 따라서 LDMOS를 설계할 때 항복전압을 증가시키고, on 저항은 감소시키는 것이 매우 중요하다.

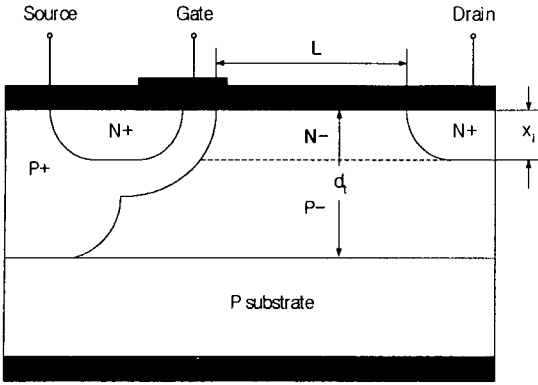
3. 결론

본 논문에서는 여러 층을 가지고 있는 Multi RESRUF LDMOS 구조를 제안하였고, 최대 역방향 항복전압이 96V인 경우, on 상태의 R_{on} 저항 값을 기존의 LDMOS와 비교하였다. 최적의 R_{on} 값은 기존의

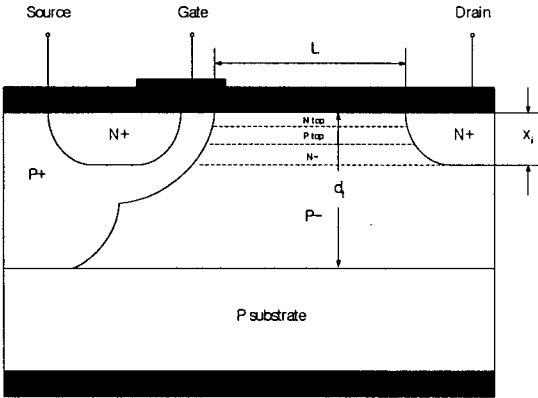
구조의 경우 드리프트 영역의 농도가 $8 \times 10^{15} \text{cm}^{-3}$ 일 경우이며, 제안된 구조의 경우 N_{top} , P_{top} 영역의 두께 0.7 μm , 농도가 $4 \times 10^{16} \text{cm}^{-3}$ 이고 N- $1 \times 10^{16} \text{cm}^{-3}$ 일 때 최적의 R_{on} 값을 가진다. 이때의 온 저항 값을 비교하여 보면 20%가량 감소함을 알 수 있다. 이는 드리프트 영역의 P_{top} 영역을 삽입하여 높은 농도에서도 빠른 공핍층을 형성하게 함으로 가능하다. 기존의 LDMOS보다 제안된 구조가 같은 값의 항복전압을 가지면서, on 상태에서의 R_{on} 저항 값이 감소함을 알 수 있다.

(참 고 문 헌)

- [1] L. Vestling, J. Olsson, K. H. Eklund, "Drift region optimization of lateral RESURF devices", Solid-state Electronics, 2002
- [2] Jun Cai, Changhong Ren, N. Balasubramanian and Johnny K. O. Sin, "High performance Stacked LDD RF LDMOSFET", ISPSD, pp. 103~106, 2001.
- [3] Sang-Koo Chung et al. "An analytical model for minimum drift region length of SOI RESURF diodes", IEEE, Electron Device Letters, Vol. 17, No. 1, pp22~24, 1996.
- [4] Sang-Koo Chung, "An Analytical model for Breakdown Voltage of Surface Implanted SOI RESURF LDMOS", IEEE Trans. Electron Devices vol. 46, No. 5, pp. 1006~1009, 2000.



(a) 기존 LDMOS 구조



(b) Multi-RESURF 구조

그림 1. Device Structures.

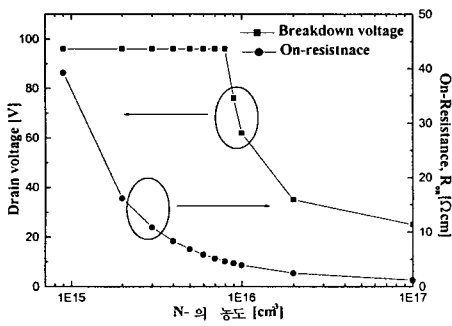


그림 2. 기존구조의 농도에 따른 항복전압과 R_{on} .

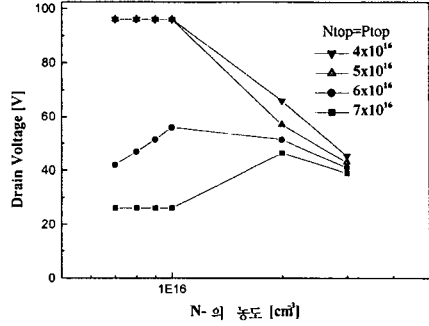


그림 3. 제안된 구조의 드리프트영역의 도핑에 따른 항복전압.

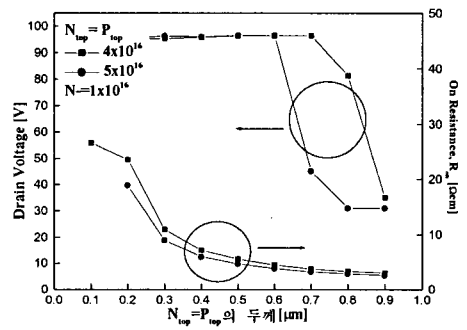


그림 4. 제안된 구조의 두께에 따른 항복전압.

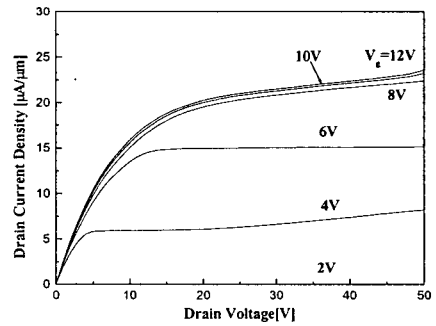


그림 5. 제안된 구조의 On 상태에서의 출력 특성.