

Pt/HfSi_xO_y/Silicon 구조의 전기적 특성에 관한 연구

박전웅, 염민수, *심현상, *김성일, 성만영, *김용태
 고려대학교 전기공학과 반도체 & CAD 연구실, 서울, 136-701
 *한국과학기술연구원(KIST) 시스템 연구부, 서울, 136-791

Electrical Characteristics of Pt/HfSi_xO_y/Silicon Structure

Jun Woong Park, Youm Min Soo, *Heun Sang Shim, *Sung Il Kim, Man Young Sung, *Yong Tae Kim
 Department of electrical Engineering, Korea University
 *Korea Institute of Science and Technology

Abstract - Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)의 게이트 유전체로서 실리콘 산화막(SiO₂)은 두께가 1.5nm 이하로 낮아질 경우 터널링 전류가 증가하여 누설 전류가 증가하게 된다. 이로 인해 사용 전력이 증가하게 되고, 소자의 성능을 떨어뜨리게 된다. 본 논문은 높은 유전상수와 넓은 에너지 밴드 갭을 갖는 HfO₂를 RF Magnetron Sputter를 이용하여 증착한 다음 RTA 열처리를 통하여 HfSixOy를 생성하여 전기적 특성을 측정하였다. 실험결과, 열처리 시간이 증가함에 따라 HfSixOy의 분포가 균일해지는 반면 두께가 얇아져서 누설 전류가 증가 하는 것으로 관찰되었다. HfO₂를 게이트 유전막으로 증착하였을 경우 HfO₂/HfSixOy/Si의 이중 박막 구조가 생겨 유전상수를 떨어뜨리는 반면, 실리콘 기판과 우수한 계면 특성을 갖는 HfSixOy만을 증착할 경우 양질의 단층 게이트 유전막으로 활용가능 할 것으로 사료된다.

이용하여 증착 한 다음 RTA 열처리를 통하여 HfSixOy를 생성하였다. 상부 전극으로는 Pt를 이용하였다. HP 4380A를 이용하여 HfSixOy의 전압 변화에 따른 유전 용량 변화를 측정하였고, 전류-전압 특성은 HP 4145B를 사용하였다. High-frequency C-V와 Quasi-static C-V를 측정하여 HfSixOy와 실리콘 계면에서의 Interface trap density를 측정하였다.

1. 서 론

실리콘 산화막(SiO₂)은 1960년대이후로 Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)의 게이트 유전체로 사용되어 왔다. 지금의 반도체 기술은 게이트의 길이를 마이크로 단위로 줄이고 있으며, 이로 인해 게이트의 두께 또한 줄어들 수 밖에 없는 실정이다. 그러나 기존의 MOS 구조에서 실리콘 산화막의 두께가 1.5nm 이하로 낮아질 경우 터널링 전류가 증가하여 누설 전류가 증가하게 된다. 게이트에서 누설 전류가 증가할 경우 사용 전력이 증가하게 되고, 소자의 성능을 떨어뜨리는 원인이 되며 회로의 안정성에 많은 영향을 끼치게 된다.

2.2 결과 및 고찰

전압 변화에 따른 유전 용량 변화가 그림 1에 나타나 있다. RTA 열처리 온도는 800°C이며 열처리 시간은 30초 간격으로 변화를 주었다. 증착된 HfSixOy 막의 두께는 50Å이다. 열처리 전에는 -2V 이하에서 누설전류 증가에 따른 현상이 나타나며, 약간의 이력곡선도 있음을 알 수 있다. 800°C 에서 30초간 열처리 한 후에는 유전 용량이 증가하였으며 누설전류와 함께 이력곡선도 많이 줄어들어는 것을 알 수 있다. 이력특성은 산화막내에 존재하는 결함과 실리콘 기판과의 전하교환으로 나타나는 현상으로 열처리 후의 박막은 결함이 적어 좋은 특성을 가지는 것으로 판단된다[5]. 그러나 열처리 시간이 증가할 수록 특성이 안 좋아지는 현상이 나타나고 있다.

ZrO₂, HfO₂와 Al₂O₃는 실리콘 기판 위에 증착되었을 때, 열적-물리적 안정성 때문에 많은 관심을 끌고 있다. Al₂O₃는 다른 박막들에 비해 유전상수가 높지는 않지만(k=11.5, SiO₂=5.9) 열적 안정성과 실리콘과의 계면 특성이 좋기 때문에 고 유전율 게이트 박막으로 가는 중간 단계로 연구 되어지고 있다[1].

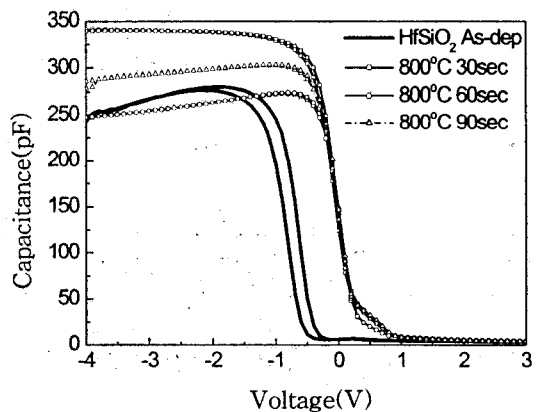


그림 1 열처리 시간변화에 따른 Capacitance-Voltage 특성 변화

2. 본 론

2.1 실험 및 측정

p형 실리콘 기판위에 HfO₂를RF Magnetron Sputter를

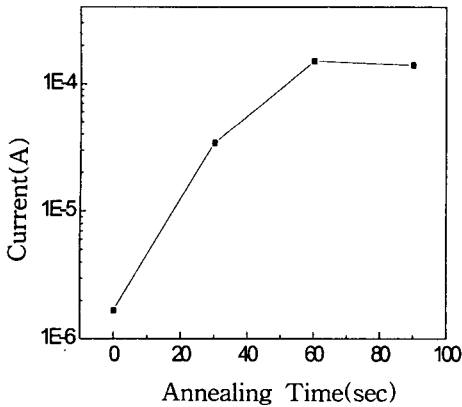


그림 2 열처리 시간 변화에 따른 누설전류의 변화

그림 2는 -1V에서 누설전류의 변화를 열처리 시간에 따라 측정한 것이다. 유전용량이 열처리 시간변화에 따라 증가했다가 감소하는 반면 누설 전류는 꾸준히 증가하는 양상을 보이고 있다. 이는 열처리 시간이 증가함에 따라 HfSixOy의 분포가 균일하게 이루어지는 반면 두께가 얇아져서 누설전류가 증가하는 것으로 사료된다.

3. 결 론

HfSixOy는 HfO₂보다는 유전 상수가 작지만 실리콘 기판과 우수한 계면 특성을 나타낸다. 또한 HfO₂를 게이트 유전막으로 증착하였을 경우 HfO₂/HfSixOy/Si의 이중 박막 구조가 생겨 유전상수를 떨어뜨리는 반면, HfSixOy만을 증착할 경우에는 양질의 단층 게이트 유전막을 얻을 수 있다.

(참 고 문 헌)

- [1] S. H. Lo, "Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's" IEEE Electron Devices Lett., Vol. 18, pp.209-211, 1997
- [2] L. Kang, "Electrical Characteristic of Highly Reliable Ultrathin Hafnium Oxide Gate Dielectric" IEEE Electron Devices Lett., Vol. 21, pp.181-183, 2000
- [3] B. H. Lee, " Thermal stability and electrical characteristics of reoxidized with rapid thermal annealing" Appl. Phys. Lett., Vol. 76, pp.1926-1928, 2000
- [4] G. D. Wilk, " Electrical properties of hafnium silicate gate dielectrics deposited directly on silicon" Appl. Phys. Lett., Vol. 74, pp.2854-2856, 1999
- [5] Y. Rohet, "The Hysteresis Caused by Interface Trap and Anomalous Positive Charge in Al/CeO₂-SiO₂/Silicon Capacitors" Jpn. J. Appl. Phys., Vol. 36, pp.L1681-L1684, 1999