

집적회로용 PNP BJT의 베이스 Gummel Number 계산 방법에 관한 연구

이 은 구, 이 동 렬*, 김 태 한, 김 철 성
 인하대학교 전자과 반도체연구소, * 부천대학 정보통신과

A study on the method of the calculation of the base Gummel number of the PNP BJT for integrated circuits

Eun Gu Lee, Dong Ryul Lee, Tae Han Kim and Cheol Seong Kim

Dept. of Electronics Eng., Univ. of INHA, Dept. of Information and Communication, Bucheon College

Abstract - The method of the analysis of the base Gummel number of the PNP BJT(Bipolar Junction Transistor) for integrated circuits based upon the semiconductor physics is proposed and the method of calculating the doping profile of the base region using process conditions is presented. The transistor saturation current obtained from the proposed method of PNP BJT using 20V and 30V process shows an averaged relative error of 6.7% compared with the measured data.

1. 서 론

아날로그 설계회사는 다양한 제품을 짧은 기간 내에 개발함으로써 경쟁력을 확보하기 때문에 공정개발과 검증용 회로설계를 동시에 진행하는 제품개발 방법을 사용해야 한다. 그러나 기존에 사용되는 제품개발 방법은 검증용 회로를 설계하기 위해 SPICE^[1] 파라미터의 측정치가 필요하므로^[2] 공정개발과 검증용 회로설계를 동시에 진행할 수 없어 개발 기간이 증가하는 단점을 갖는다. 또한 제품 개발에 필요한 SPICE 파라미터를 예측하기 위해 Graaff^[3]는 소자와 공정 모의실험 결과를^{[4],[5],[6]} 이용하나 2차원 시뮬레이션을 이용한 근사적인 계산 방법은 행렬연산 시간이 많이 필요하므로 제한적으로 사용되며 3차원 구조를 갖는 BJT에 대한 시뮬레이션은 메모리의 한계로 인해 모의실험이 불가능하다.^[7]

따라서 제품개발 기간을 단축하고 제품의 특성에 적합한 공정을 유도하기 위해서는 공정 조건으로부터 SPICE 파라미터를 빠르고 정교하게 추출하는 방법이 필요하다. 특히 컬렉터 전류의 크기를 결정하고 다른 SPICE 파라미터의 근간이 되는 역포화 전류는 회로 설계의 기준과 DC 동작점을 제시하므로^[8] 정교한 모델이 필요하다.

그러나 역포화 전류는 베이스 Gummel number의 함수이며^[9], 기존에는 역포화 전류의 계산에 사용되는 베이스 Gummel number를 구하기 위해 공정 엔지니어의 경험에 의존하여 추정된 값을 회로 설계자에게 제공하였으나 이러한 방법으로는 공정 조건에 따라 다양한 분포를 갖는 베이스 불순물 농도를 고려할 수 없어 많은 오차를 포함한다.

반도체 이론을 바탕으로 기존에 사용된 베이스 Gummel number와 역포화 전류의 해석적 모델중, Baliga^[10]와 Muller^[9]는 NPN BJT의 베이스 Gummel number를 구하기 위해 소자 내부의 불순물 분포를 상수로 가정하여 해석의 정확도에 한계를 갖고 있으며 Lateral PNP BJT의 역포화 전류에 관한 효과적 해석방법은 제시하지 않은 상태이다. Joardar^[11]는 Lateral PNP BJT의 역포화 전류에 관한 해석적 모델을 제시하였으나 베이스를 세부영역으로 나눈 후 전류의 흐름을 1차원으로 근사하여 계산함으로써 많은 오차를 포함한다.

본 논문에서는 반도체 소자이론에 근거한 집적회로용 바이폴라 접합 트랜지스터의 베이스 Gummel number를 정교하게 계산하는 방법을 제시한다. 베이스 영역의 불순물 분포를 공정 조건으로부터 유추하는 방법과 베이스

Gummel number를 이용하여 원형 에미터 구조를 갖는 Lateral PNP BJT의 역포화 전류를 효과적으로 구하는 방법을 제시한다. 제시한 방법의 정확도를 검증하기 위해 베이스 Gummel number를 이용한 역포화 전류의 계산치를 20V 공정과 30V 공정을 기반으로 제작된 PNP BJT의 실측치와 비교한다. 본 논문의 2장에서는 PNP BJT의 베이스 Gummel Number를 계산하는 방법을 제시하고 3장에서 제안된 방법을 근간으로 계산된 역포화 전류를 실측치와 비교한다.

2. 원형 에미터 구조를 갖는 Lateral PNP BJT의 베이스 Gummel Number

SPICE는 DC와 AC해석 방법을 제공하며 40개 이상의 모델 파라미터를 필요로 한다. SPICE 모델 파라미터는 공정에 따라 다양한 값을 갖기 때문에 공정 조건이 바뀌면 새로운 공정에 맞는 파라미터를 추정해야 한다. 특히 DC 해석에 필요한 파라미터는 정확도에 따라 회로가 정상적으로 동작 가능한지 여부를 판단할 수 있기 때문에 정교한 모델이 필요하다.

역포화 전류는 DC 파라미터에 직접 또는 간접적으로 영향을 주는 베이스 불순물 분포에 관한 정보를 포함하며 DC 동작점을 잡기 위한 설계 기준을 제시한다. 역포화 전류는 전자 및 정공 전류밀도 관계식에서 유도된다. 베이스 영역에서 반송자의 재결합 전류가 없다는 가정 하에 다수 반송자의 전류밀도 방정식으로부터 베이스 내부 전계를 구하고, 소수 반송자의 전류 밀도방정식에 대입함으로써 역포화 전류식을 유도할 수 있다.

$$J_{s,PNP} = \frac{qn_i^2 D_p}{GN_{B,PNP}} \tag{1}$$

식(1)은 Lateral PNP BJT의 역포화 전류식^[9]이다. 여기서 D_p 는 Lateral PNP BJT의 베이스 영역의 확산계수이고 정공의 이동도를 이용하여 구한다. Lateral PNP BJT의 베이스 영역의 불순물 농도가 일정하므로 정공의 확산계수는 상수이다.

$$\mu_p = 54.3 \left(\frac{T}{300} \right)^{-0.57} + \frac{1.36 \times 10^8 T^{-2.23}}{1 + \left[\frac{N}{2.35 \times 10^{17} \left(\frac{T}{300} \right)^{2.4}} \right]^{0.88} \left(\frac{T}{300} \right)^{-0.146}} \tag{2}$$

식(2)는 정공의 이동도^[10]이고 식(1)에서 정공의 확산계수를 계산하기 위해 사용된다. 여기서 N은 불순물 농도이고 T는 절대온도이다.

식(1)에서 $GN_{B,PNP}$ 는 베이스 영역의 Gummel Number이고 본 논문에서는 역포화 전류를 정교하게 구하기 위해 반도체 이론을 근간으로 공정 조건으로부터 PNP BJT의 베이스 영역의 Gummel Number를 정교하게 계산

하는 방법을 제시한다.

Lateral PNP BJT의 베이스 영역은 에피로 구성되며 에미터와 콜렉터에 비해 불순물 농도가 낮으므로, 높은 전원 전압이 인가되면 베이스 중성영역이 감소한다. 특히 에미터와 콜렉터 모서리 영역에서 전계 crowding 현상이 발생되면 낮은 전원 전압에서도 Punchthrough와 역방향 항복 특성이 발생해 소자가 정상 동작을 벗어나므로, 본 논문에서는 그림 1과 같이 에미터와 콜렉터를 원형^[12]으로 제작한다.

베이스 영역에서 재결합이 발생하지 않는다고 가정하면 에미터에서 채널로 유출되는 정공 전류는 모두 콜렉터로 유입되므로 에미터로부터 일정한 거리를 갖는 베이스 채널 단면에 흐르는 정공 전류는 일정한 값을 갖는다. 그림 1은 베이스 채널 영역과 정공 전류를 나타낸다.

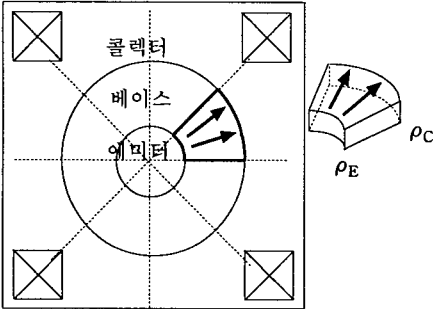


그림 1 베이스 채널 영역과 정공 전류
Fig. 1 The Base channel region and the hole current

베이스영역의 불순물 분포는 균일하므로 깊이에 따른 이동도는 일정하나 에미터-베이스간 접합면과 베이스-콜렉터간 접합면의 단면적이 다르므로 전류밀도는 단면적에 반비례하여 감소한다. 에미터와 콜렉터의 단면적을 각각 A_E 와 A_C 라 정의하고 원점으로부터 ρ 만큼 떨어진 베이스 채널 영역의 단면적을 A_ρ 라 하면 콜렉터 전류밀도와 베이스 단면적의 관계를 구할 수 있다.

$$J_E \times A_E = J_C \times A_C = J_\rho \times A_\rho \quad (3)$$

$$J_\rho = \frac{A_C}{A_\rho} J_C = \frac{\rho_C}{\rho} J_C \quad (4)$$

식(3)과 식(4)는 베이스 영역에서 에미터로부터 일정한 거리를 갖는 베이스 단면적과 콜렉터 전류의 관계를 나타낸다. 베이스영역에서 반송자의 재결합이 발생하지 않는다는 가정 하에 베이스의 전자 전류밀도 방정식에서 베이스 내부 전계를 유도할 수 있다.

$$J_\rho = q \frac{D_p}{N_{epi}} \frac{d p_n}{d \rho} \quad (5)$$

식(5)는 내부 전계를 정공 전류밀도 방정식에 대입한 후 정리한 결과이다. 여기서 D_p 는 정공의 확산계수이며 Einstein relation으로부터 식(2)의 정공 이동도를 이용하여 구한다. 식 (4)를 식 (5)에 대입한 후 양변을 적분한다.

$$\int_{\rho_C}^{\rho_E} \frac{N_{epi}}{q D_p} \frac{\rho_C}{\rho} J_C d \rho = p_{EB} n_{EB} - p_{CB} n_{CB} \quad (6)$$

식 (6)에서 에피 영역의 전자 농도와 확산 계수는 상수이고 콜렉터 전류밀도는 베이스 단면적과 무관하므로, 식(6)은 콜렉터 전류에 관한 수식으로 정리될 수 있다. 여기서 ρ_C 와 ρ_E 는 각각 에미터 중심에서부터 에미터-에피간

접합과 콜렉터-에피간 접합까지의 반지름이다.

$$J_C = \frac{q n_i^2 D_p}{N_{epi} \rho_C \ln \left(\frac{\rho_C}{\rho_E} \right)} \left\{ e^{\frac{V_{EB}}{V_i}} - e^{\frac{V_{CB}}{V_i}} \right\} \quad (7)$$

식 (7)은 식 (6)을 정리한 결과이다.

$$GN_{B,PNP} = N_{epi} \rho_C \ln \left(\frac{\rho_C}{\rho_E} \right) \quad (8)$$

따라서 식(8)은 식(1)과 식(6)으로부터 유도된 베이스 Gummel Number이다.

3. 결과 및 고찰

제시한 방법의 정확도를 검증하기 위해 베이스 Gummel number를 이용한 역포화 전류의 계산치를 20V 공정과 30V 공정을 기반으로 제작된 집적회로용 바이폴라 접합 트랜지스터의 실측치와 비교한다. 집적회로용 바이폴라 접합 트랜지스터를 제작하기 위해 보론(B) 기판 위에 매립영역을 형성하고 소자를 전기적으로 격리시키기 위해 보론을 이온주입하여 BIT(Base Isolation) 영역을 형성한다. 에피영역을 생성하고 Deep 콜렉터 영역을 형성한 후 표면에서 소자를 격리하기 위해 IT(Isolation)를 형성한다. 베이스 영역인 BO(Base Open)를 생성하기 위해 보론을 주입하고 에미터 N'영역인 EO(Emitter Open)를 생성한 후 메탈 증착 단계를 진행한다. 표 1은 20V와 30V의 공정조건이다.

표 1 20V와 30V 공정조건
Table 1 The condition of 20V and 30V process

단계	공정조건	20V공정 [um]			30V공정 [um]			
(1)	기판비지향,(100)Orientation	14.0			14.0			
(2)	매립층		24.0	2.5	7.5	25.6	2.0	3.6
	Sheet 저항	상측접합 깊이						
(3)	BIT		150	4.25	5.5	198	3.2	4.4
	Sheet 저항	상측접합 깊이						
(4)	에피 비지향	2.0			1.8			
(5)	Deep콜렉터 Sheet저항	접합깊이	1.6	6.8	1.9	6.0		
(6)	IT Sheet저항	접합깊이	12.0	6.5	30.5	5.0		
(7)	BO Sheet저항	NPN 접합깊이	212.0	3.0	300.0	1.65		
	BO Sheet저항	PNP 접합깊이	212.0	2.75	300.0	1.6		
(8)	EO Sheet저항	접합깊이	7.0	1.7	12.5	0.92		

그림 2는 표 1의 단계별 공정조건에 따라 제작된 집적회로용 바이폴라 접합 트랜지스터의 수직 구조이다. 그림 2의 좌측은 NPN BJT의 수직 단면도이고 우측은 PNP BJT의 수직 단면도이다. PNP BJT의 BO 공정의 접합깊이는 20V공정과 30V공정에 대해 각각 2.75[um]와 1.6[um]이고 NPN BJT의 BO 공정의 접합 깊이는 에미터 push 효과^[9]에 의해 20V와 30V공정에 대해 각각 3.0[um]와 1.65[um]이다.

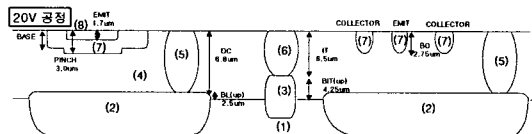


그림 2 집적회로용 바이폴라 접합 트랜지스터의 수직단면도
Fig. 2 The vertical view of the BJT for integrated circuits

그림 3은 원형 에미터 구조를 갖는 PNP BJT이고 빗금 친 부분은 전극이다. 공정단계 (5)를 거쳐 베이스 영역을 형성하고 공정단계 (7)을 거쳐 에미터와 컬렉터 영역을 형성한다.

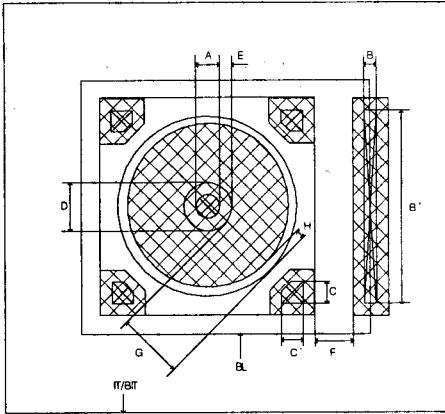


그림 3 집적회로용 PNP BJT의 Layout
Fig. 3 The layout of PNP BJT for integrated circuits

표 2는 PNP BJT의 Design Rule이다. 여기서 EO는 베이스 영역이고 BO는 에미터와 컬렉터 영역이다.

표 2 집적회로용 PNP BJT의 Design Rule
Table 2 The design rule of PNP BJT for integrated circuits

기호	Description(PNP)	20V 공정 MIN Rule [um]	30V 공정 MIN Rule [um]
A	BO(Emitter) Contact Size	4.0	4.0
B, B'	EO(base) Contact Size	2.0*28	2.0*26
C, C'	BO(Collector) Contact Size	3*3	3*3
D	BO(Emitter) Size	8.0	8.0
E	Spacing Contact to BO(Emitter)	2.0	2.0
F	Spacing BO to EO(Base)	6.5	4.5
G	Spacing BO to BO(WB)	9.0	7.0
H	Spacing MF to BO(Collector)	1.5	0.5

표 3은 제안된 베이스 불순물 분포를 이용한 베이스 sheet 저항의 계산값과 실측치를 비교한 결과이다. 여기서 PNP BJT의 X_{jb} 는 에미터-에피와 컬렉터-에피간 금속학적 접합 깊이이다. 제안된 방법과 실측치를 비교한 결과 0.4%의 평균 상대오차를 보이므로 제안된 방법의 정확도를 확인할 수 있다.

표 3 베이스 Sheet 저항
Table 3 The sheet resistance of the Base region

공정	BJT type	제안된 불순물 분포를 이용한 계산값				측정치		
		N_{db} [atoms/cm ²]	D_{1b} [cm ²]	X_{jb} [um]	$R_{sh,b}$ [Ω /square] a	X_{jb} [um]	$R_{sh,b}$ [Ω /square] b	상대오차 a-b /b
30V	PNP	1.8793e14	8.877e-10	1.60	301.2	1.61	300.3	0.3 %
20V	PNP	2.357e14	2.7060e-9	2.75	212.1	2.76	213.5	0.66 %

그림 4는 20V 공정을 사용해 제작한 PNP BJT의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_{BE} 가 0.3V부터 0.63V까지 $I_C - V_{BE}$ 곡선과 $I_C - V_{EB}$ 곡선을 지수함수로 근사한 추세선이다. R^2 은 산포도이고 산포도가 1이므로 100%의 신뢰도를 보인다.

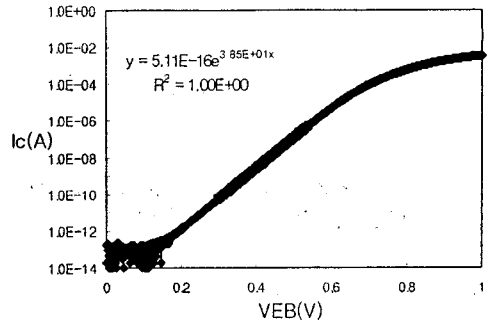


그림 4 20V 공정용 PNP BJT의 컬렉터 전류
Fig. 4 The collector current of PNP BJT using 20V process

그림 5는 30V 공정을 사용해 제작한 PNP BJT의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_{BE} 가 0.33V부터 0.67V까지 $I_C - V_{BE}$ 곡선과 $I_C - V_{EB}$ 곡선을 지수함수로 근사한 추세선이다. 산포도가 1이므로 100%의 신뢰도를 보인다.

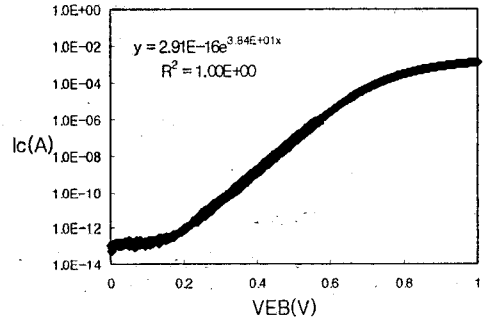


그림 5 30V 공정용 PNP BJT의 컬렉터 전류
Fig. 5 The collector current of PNP BJT using 30V process

표 4는 제안된 베이스 Gummel number를 이용한 역포화 전류의 계산치와 실측치를 비교한 결과이다. 표 4에서 PNP BJT의 에미터 폭은 에미터 중심으로부터 에미터-에피간 접합까지의 간격이고 그림 3에서 D/2이다. 또한 컬렉터 폭은 에미터 중심으로부터 에피-컬렉터간 접합까지의 간격이며 그림 3에서 G와 D/2의 합이다. PNP BJT에 대해서 9.2%의 평균 상대오차를 보이므로 제안된 계산 방법을 사용하면 다양한 공정으로 제작된 BJT의 베이스 Gummel number와 역포화 전류를 비교적 정교하게 구할 수 있다.

표 4 제안된 방법과 실측치 비교
Table 4 The comparison between proposed method and measured data

BJT 소자 측정온도(298, 12K)	20V 공정		30V 공정	
	PNP		PNP	
에미터폭 (PNP)	4[um]	13[um]	4[um]	11[um]
컬렉터폭 (PNP)				
제안된 IS(A)	4.71e-16		2.60e-16	
IS의 실측치(B)	5.11e-16		2.91e-16	
상대오차 A-B /B*100 [%]	7.8		10.65	

4. 결 론

반도체 소자이론에 근거한 집적회로용 PNP BJT의 베이스 Gummel number를 정교하게 계산하는 방법을 제시하였다. 또한 PNP BJT의 베이스 Gummel number를 이용하여 역포화 전류를 정교하게 계산하는 방법을 제시하였다.

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작한 바이폴라 접합 트랜지스터의 베이스 Sheet 저항과 제안된 베이스 Gummel Number를 이용하여 계산한 역포화 전류를 실측치와 비교하였다. PNP BJT의 역포화 전류를 실측치와 비교한 결과 .2%의 평균 상대오차를 보이고 있으므로 제안된 방법을 사용하면, 다양한 공정조건을 갖는 BJT의 역포화 전류를 비교적 정교하게 예측할 수 있음을 확인하였다.

5. 참고문헌

- [1] Paul W. Tuinenga, SPICE A Guide to Circuit Simulation and Analysis Using PSpice, Prentice Hall, Englewood Cliffs, New Jersey, 1988.
- [2] L. W. Nagel, SPICE2- A Computer Program to Simulate Semiconductor Circuits. Electr. Res. Lab. Memo. ERL-M520, University of California, Berkeley, 1975.
- [3] H. C. de Graaff, F. M. Klaassen, Compact Transistor Modeling for Circuit Design, Springer-Verlag, New York, pp.4-6, 1990.
- [4] W. L. Engl, H. K. Dirks, B. Meinerzhagen, Device Modeling. Proc. IEEE 71, pp.10, 1983.
- [5] E. J. Prendergast, An Integrated Approach to Modeling. NASECODE IV, pp.83, 1985.
- [6] V. Marash, R. W. Dutton, "Methodology for Submicron Device Model Development", IEEE Trans. CAD 7, pp.299 1988.
- [7] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드리프트-확산방정식의 해석. 프로그램 개발", 대한전자공학회논문집 제34권 D편 제8호, pp.41-51, 1997.
- [8] Ian E. Getreu, Modeling the Bipolar Transistor, Elsevier scientific publishing company, New York, 1978.
- [9] R. S. Muller, T. I. Kamins, Device electronics for Integrated Circuits, John Wiley & Sons, New York, pp.110-115, pp.270-294, pp.35-40 1977.
- [10] B. J. Baliga, Power semiconductor devices, PWS publishing company, Boston, pp.198-232, 1996.
- [11] Kuntal Joardar, "An Improved Analytical Model for Collector Currents in Lateral Bipolar Transistors", IEEE Tran. Electron Devices, vol. 41, No. 3, pp. 373-382, Mar, 1994.
- [12] Paolo Antognetti, Power Integrated circuits: Physics Design and Applications, McGraw-Hill, NewYork, pp.3.14-4.11, 1986.