

Trench Power MOSFET의 최소 on 저항을 위한 cell spacing의 계산

홍지훈, 정상구, 최연익
아주대학교 전자공학과 전자소자연구실

Calculation of Optimum Cell Spacing for Minimum On-resistance of Trench Power MOSFET

Ji-Hoon Hong, Sang-ko0 Chung and Yearnik Choi
School of Electronics Engineering, Ajou University

Abstract - The trench MOSFET structure is characterized by reduced on-resistance due to elimination of R_{JFET} and high packing density. An analytical calculation of R_{on} as the sum of R_{ch} and R_{epi} has been reported previously for the trench MOSFET structure. However, the accumulation layer resistance may not be neglected for Trench MOSFET especially for a relatively large value of the cell spacing, where a major contribution to R_{on} comes from R_a as the simulation results in this paper shows.

1. 서 론

전력용 MOSFET은 낮은 전력손실, 높은 입력 임피던스, 높은 switching speed라는 고유한 특성 때문에 100V 아래의 voltage 영역에서 전력변환 응용의 개별소자로 중요하게 사용된다. 하지만 on 저항이 크다는 단점이 있다. 기존의 VDMOSFET에서 on저항(R_{on})은 channel resistance (R_{ch}), parasitic JFET resistance (R_{JFET}), accumulation resistance (R_a), resistance of epitaxial drain-buffer region (R_{epi})의 네 개의 저항성분의 수단에 의해 일반적으로 계산된다. 이런 일반적인 VDMOSFET의 단점을 보완한 것이 Trench MOSFET 구조이다. 이 구조는 R_{JFET} 의 제거와 높은 패키지 집적도 때문에 on 저항을 줄이는 특성이 있다. 지금까지 R_{on} 의 해석적 계산은 R_{ch} 과 R_{epi} 의 합으로 보고되었다. 그러나 이 논문에서 나타난 시뮬레이션 결과로는, 특히 셀 간격(Gate 길이)이 큰 경우에 Trench MOSFET의 R_{on} 계산에 있어서 R_a 는 무시할 수 없다. 이 논문의 목적은 R_a 를 저항성분으로 포함시켜서 Trench MOSFET의 최소 R_{on} 을 얻기 위한 셀 간격 최적점을 해석적으로 찾는 것이다. 계산결과를 2-D 시뮬레이션인 ATLAS를 이용해 검증하였다.

2. 본 론

그림 1은 기존의 VDMOSFET 구조와 Trench MOSFET 구조의 단면도 및 on 저항 성분을 나타낸 것이다. 1-(b)에서 trench를 파중으로써 1-(a)의 기존의 VDMOSFET이 저항 성분 중 R_{JFET} 저항 성분이 제거됨을 알 수 있다. 표1에 시뮬레이션에 사용된 여러 변수들의 값을 나타냈다.

표 1. 시뮬레이션에 사용한 변수들

변수	값
L_{ch} (Channel length)	$1\mu m$
L_g (Gate length)	$1.5\mu m$
T_{OX} (Gate oxide thickness)	500A
C_{OX} (Gate oxide capacitance)	$6.8 \times 10^{-8} F/cm^2$
V_G (Gate voltage)	10V
V_{th} (Threshold voltage)	2V
V_{FB} (Flat band voltage over the epitaxial layer)	-2V
μ_{na} (Electron mobility in the accumulation layer)	$1500 cm^2/s \cdot V$
μ_{ni} (Electron mobility in the inversion layer)	$500 cm^2/s \cdot V$
W_{epi} (Thickness of epitaxial layer)	$3\mu m$
ρ (Resistivity of epitaxial layer)	$0.516 \Omega cm$

2.1 Trench MOSFET 구조와 on 저항

그림 2는 시뮬레이션에서 사용한 trench MOSFET의 물리적인 파라미터를 넣은 단면도를 보여준다. 여기서 s 는 double diffused p body이고 a 는 셀 간격이다. epi층의 총 두께는 $3\mu m$ 에 고정했고 수직 채널 길이는 $1\mu m$ 이다. $1.5\mu m$ 의 trench 두께를 가진 gate가 있다. 또한 그림 2의 소자를 통하는 전류 벡터는 2-D 시뮬레이션으로 얻었다.

Trench MOSFET이 해석에서 R_{epi} 는 전류가 퍼지는 각도를 45도로 고정하는 식을 사용해 계산했고[2], R_a 역시 transmission line 해석에 기초한 해석적 모델[3]로부터 계산되었다. R_{epi} 는 다음 식을 사용해 계산했다.

$$R_{epi} = \rho \left(\frac{s+a}{2} \cdot \log \frac{s+a}{a} + W_{epi} - \frac{s}{2} \right), \quad (W_{epi} > \frac{s}{2})$$

$$= \rho \cdot \left(\frac{s+a}{2} \cdot \log \frac{s+a}{a} \right), \quad (W_{epi} \leq \frac{s}{2})$$

여기서 W_{epi} 는 에피층의 두께, ρ 는 비저항, s 는 double diffused p body의 두께, a 는 셀 간격이다. ρ 의 값은

(참 고 문 헌)

$\rho = \frac{2BV_{DSS}}{\mu_{nb} \epsilon_{si} E_c^2}$ 로부터 결정된다. E_c 는 에벌런치

항목이 발생할 때의 전기장이다. 그리고 μ_{nb} 는 드레인 영역에서 벌크의 전자 이동도이다. 수치적 계산을 위해 $BV_{DSS} = 5V$ 에서 $E_c = 4.01 \times 10^5 V/cm$ 그리고 $\mu_{nb} = 1500 m^2/V \cdot s$ 의 값이 사용되었다. 그 결과 $\rho = 0.774 \Omega cm$ 이다. 이 값은 보고된 논문의 $n_{epi} = 10 \times 16 cm^{-3}$ 에서의 $\rho = 0.72 \Omega cm$ 와 가까운 값을 가진다.

acumulation resistance(R_a)는 다음 식에 의해 주어진다.

$$R_a = \frac{1}{3} \cdot \frac{s+\alpha}{2} \cdot \frac{\alpha}{2} \cdot \frac{1}{\mu_{na} C_{OX} (V_G - V_{TE})}$$

여기서 μ_{na} 는 축적 영역에서의 전자 이동도이고, V_{TE} 는 공핍 모드 MOSFET의 문턱 전압이다. 그리고 C_{OX} 는 단위 지역 당 산화막 캐패시턴스이다. C_{OX} 는 게이트 산화막인 T_{OX} 의 두께에 의해 결정된다. 식은 $C_{OX} = \epsilon_{ox} \epsilon_o / T_{OX}$ 이다. 계산 결과 $C_{OX} = 6.8 \times 10^{-8} F/cm^2$ 이다.

주어진 채널 저항을 위한 식은

$$R_{ch} = \frac{s+\alpha}{2} \cdot \frac{L}{C_{OX} \mu_{ni}} \cdot \frac{1}{(V_G - V_{th})}$$

여기서 μ_{ni} 는 반전 층에서의 전자 이동도이고, V_{th} 는 문턱 전압이다. 그리고 L 은 채널 길이이다. 그 밖의 다른 파라미터는 $L = 1\mu m$, $V_G = 10V$ 가 사용되었다.

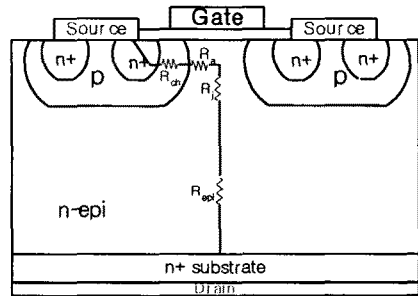
2.2 시뮬레이션 결과와 토론

그림 3은 s 를 $6\mu m$, $10\mu m$, $20\mu m$ 로 고정시키고 셀 간격을 변화시켰을 때의 R_{ch} , R_a , R_{epi} 그리고 R_{on} 의 해석적 계산 결과이다. R_{on} 의 시뮬레이션 결과 또한 비교해 보여준다. 해석적 계산 결과는 시뮬레이션과 비교해 좋은 부합을 보였다. 이 결과는 R_{on} 의 최소값이 $\alpha = 4\mu m$ 근처에서 나타남을 보여준다. 셀 간격이 큰 값에서는 R_{on} 의 주요 성분으로 R_a 가 꼭 필요함을 알 수 있다. 또한 최적의 셀 간격은 p body 영역의 폭에 의존한다. 그림 3은 R_{on} 의 s 에 대한 의존을 보여준다. s 가 $20\mu m$ 이하에서 최적점은 $\alpha = 10\mu m$ 안에서 나타난다. 또한 최적점은 s 가 커짐에 따라 더 커진다.

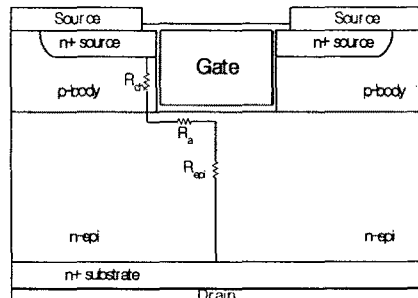
3. 결 론

기존에 발표된 논문에서 고려하지 않은 축적 영역의 저항성분(R_a)을 포함하여 on 저항 식을 세우고 셀 간격을 변화시켜 그에 따른 최소 on 저항을 구하고 시뮬레이션과 비교해 검증했다. 셀 간격에 따른 on 저항과 저항 성분들의 계산 결과는 시뮬레이션 결과와 좋은 부합을 보였다. 따라서 축적 영역의 저항성분은 Trench MOSFET를 위한 on 저항의 해석적 계산에 포함되어야 한다. $BV_{DSS} = 65V$ 에서 Trench MOSFET의 최소 on 저항을 위한 최적의 셀 간격은 $s \geq 10\mu m$ 일 때 $\alpha \approx 4\mu m$ 에서 찾을 수 있었다. Trench MOSFET를 위한 셀 간격에 따른 최적화는 저전압 Trench MOSFET의 설계에 매우 유용할 것이다.

- (1) C. Hu, M. Chi, and V. M. Patel, Optimum design of power MOSFETs, IEEE Trans. Electron Devices, vol. ED-31, No.12, pp. 1693-1700, 1984.
- (2) D. Ueda, H. Takagi, and G. Kano, A new vertical power MOSFET structure with extremely reduced on-resistance, IEEE Trans. Electron Devices, vol. ED-32, No. 1, pp.2-6, 1985.
- (3) S. C. Sun and J. D. Plummer, Modeling of the on-resistance of LDMOS, VDMOS, and VMOS power transistors, IEEE Trans. Electron Devices, vol. ED-27, No. 2, pp.356-367, 1980.



(a)



(b)

그림 1. 저전압 전력용 MOSFET (a) planar 구조와 그것의 on 저항 (b) trench 구조와 그것의 on 저항

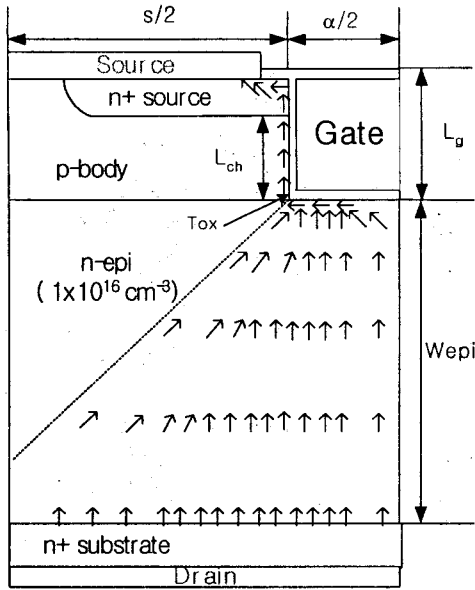
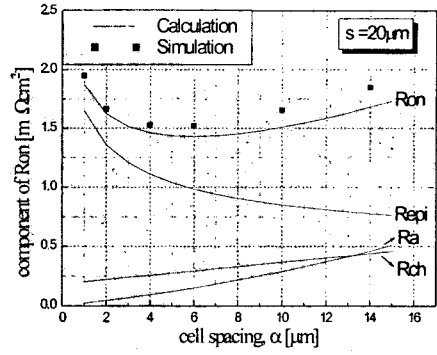
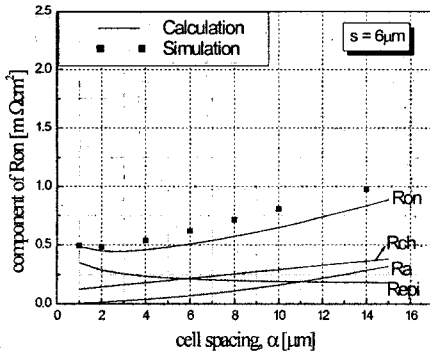


그림 2. 전류 백터를 보여주는 Trench MOSFET 하프 셀을 위한 물리적인 파라미터를 가진 단면도



(c)

그림 3. 셀 간격에 따른 on 저항과 저항 성분의 변화 (a) $s=6\mu\text{m}$ (b) $s=10\mu\text{m}$ (c) $s=20\mu\text{m}$



(a)

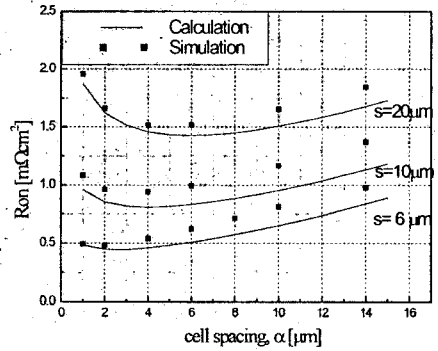
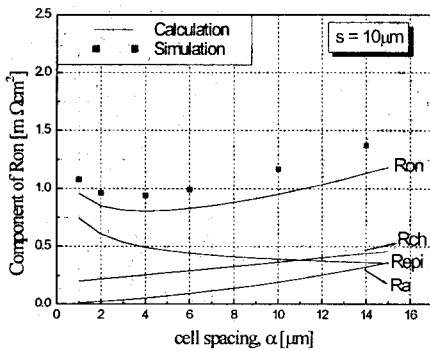


그림 4. 셀 간격에 따른 on 저항 변화



(b)