

최소 순방향 전압강하를 위한 NPT IGBT의 최적 게이트 길이 설계

박동욱, 최연익, 정상구
아주대학교 전자공학과

Gate Length Optimization for Minimum Forward Voltage Drop of NPT IGBTs

Dong-Wook Park, Yean-Ik Choi and Sang-Koo Chung
School of Electronics Engineering, Ajou University

Abstract - NPT IGBT의 게이트 길이 최적화에 대해 수치 해석적으로 분석하였다. 게이트가 길어질 때 드리프트 영역의 전압강하는 급격히 감소하는 반면 소자 표면의 전압강하는 일정하게 증가하기 때문에 순방향 전압강하가 최소가 되는 게이트 길이를 얻을 수 있음을 보였고 시뮬레이션 결과에 부합하는 표면 전압 강하에 대한 해석적인 모델을 처음으로 제시하였으며 그 결과가 시뮬레이션과 잘 일치함을 보였다.

1. 서 론

IGBT의 트레이드-오프 특성과 고전압특성의 향상을 위해서는 게이트 길이의 최적화가 필수적이다. 게이트가 길어지면 게이트 전극 아래 부분의 다수 캐리어를 더욱 증가시켜(accumulation) 드리프트 영역 내에서 전류밀도의 증가를 초래하기 때문에 소자의 순방향 전압특성이 향상된다. 하지만 실리콘과 산화막의 경계면에서 발생하는 표면 전압강하는 게이트가 길어짐에 따라 같이 증가하게 된다.

게이트 전압이 문턱전압 이상으로 인가된 NPT-IGBT에서 총 전류밀도가 $100A/cm^2$ 인 소자의 전압강하를 순방향 전압강하 또는 $V_{CE,SAT}$ 이라고 하며 이를 전류 경로를 따라 분석하면 채널 영역의 전압강하 (V_{CH}), 축적 영역의 전압강하 (V_{ACC}), 드리프트 영역의 전압강하 (V_{DRIFT}), 그리고 소자 하단부의 P+/N 접합의 전압강하 (V_J) 등 네 가지 성분들의 합으로 표현 할 수 있다. [1] 게이트 길이와 순방향 전압강하의 연관성은 이미 실험적으로 연구되었고 그 결과에 의하면 순방향 전압강하가 최소화되는 최적 게이트 길이가 존재한다. [2] 그러나 최적 게이트 길이에 대한 상세한 이론적인 분석은 아직까지 수행되지 않았다.

이 논문의 목적은 게이트 길이에 대한 전압강하의 변화를 수치 해석적으로 찾음으로 순방향 전압강하가 최소가 되는 최적 게이트 길이를 설계하는 것이다. 2차원 소자 시뮬레이션 도구인 ATLAS를 이용하여 시뮬레이션을 수행하였고 시뮬레이션 결과에 대한 이론적인 분석을 제시하였다.

2. 본 론

2.1 시뮬레이션 및 분석

그림 1은 N형 드리프트 두께가 $95\mu m$ 인 NPT-IGBT의 1/2 셀의 단면도이며, 표 1은 시뮬레이션에 사용된 변수들이다. 게이트 길이(L_G)는 축적 영역의 길이 (L_A)와 채널영역의 길이(L_{CH})의 합으로 표현 할 수 있으며 게이트 길이의 변화에 따른 자료를 얻기 위해 축적영역의 길이를 $4\mu m$ 부터 $48\mu m$ 까지 증가시키면서 시뮬레이션을 수행하였다.

그림 2는 각각 L_G 가 $6\mu m$, $14\mu m$, $26\mu m$ 인 경우에 대한 표면 전압의 시뮬레이션 결과이다. 표면 전압은 거리 변수(y)와 게이트 길이(L_G)가 커지면 더불어 증가하지만 게이트 전압이 증가하면 반대로 감소한다. 한편 그림 2의 표면 전압 분포의 경사값으로 주어지는 표면 수평 전기장 분포는 거리 변수 y 에 대해 급격한 감소 현상을 보이는데 이는 드레인 방향으로 선형적인 증가를 보이는 MOSFET의 경우와 정 반대되는 것이다.

그림 3은 표면에서부터 $0.3\mu m$ ($y=0.3\mu m$) 떨어진 점에서 캐리어의 변화를 조사한 결과이다. 이 점에서 전자 밀도와 정공 밀도는 고주입 상태(High Level Injection)이므로 같은 값을 갖는다. 게이트가 길어짐에 따라 정공의 농도도 같이 증가하고 게이트 전압이 커지게 되면 축적되는 전자의 농도가 증가함으로 정공의 농도 역시 증가하게 된다.

그림 4는 게이트 끝단 ($y=L_G$)에서의 캐리어 농도 ($p(L_G)$)와 전압강하 V_S 를 각 게이트 길이에 대해 조사한 결과이다. V_{CH} 와 V_{ACC} 의 합인 V_S 와 $p(L_G)$ 는 게이트 길이에 따라 거의 선형적으로 증가하지만 게이트 전압에 대해서는 $p(L_G)$ 는 증가하는 반면 V_S 는 감소한다.

그림 5는 15V의 게이트 전압이 인가되었을 때 게이트 끝단에서 수직방향으로 조사한 수직 전압 분포와 정공 농도 분포를 나타내며 P+/N 접합에 떨어지는 V_J 는 항상 일정한 값을 갖는 것을 알 수 있다. 게이트가 길어짐에 따라 게이트 아래쪽의 캐리어의 농도가 큰 폭으로 상승하면서 이 영역의 전압강하를 감소시키지만 나머지 드리프트 영역에서는 거의 일정한 전압 강하가 나타난다.

그림 6은 게이트 길이와 게이트 전압에 대한 드리프트 영역의 전압강하의 변화를 보여준다. 게이트 길이가 비교적 작은 경우에는 전압강하가 급격한 감소를 보이지만 길어질수록 변화가 점차 완만해진다.

2.2 결과 및 해석적인 식의 유도

그림 7은 각각의 전압강하 성분들과 이들의 합으로 나타나는 순방향 전압강하($V_{CE,SAT}$)를 게이트 길이에 대해 나타낸 그래프이다. L_G 가 증가함에 따라 V_S 는 선형적으로 증가하지만 V_{DRIFT} 가 급격히 감소하기 때문에 $V_{CE,SAT}$ 이 최소가 되는 최적 게이트 길이가 존재함을 알 수 있다. 이 소자의 경우 L_G 가 $14\mu m$ 근처인 곳에서 약 1.16V의 최소 $V_{CE,SAT}$ 이 나타났다.

그림 4의 $V_S(L_G)$ 와 $p(L_G)$ 의 선형적인 변화는 다음과 같이 일차식으로 근사할 수 있다.

$$V_S(L_G) = 0.025 + \gamma L_G \quad (1)$$

$$p(L_G) = P_C + 0.43 \times 10^{15} L_G \quad (2)$$

여기서 $V_G = 10V, 15V, 20V$ 에 대해 각각 $\gamma = 20.8 \times 10^{-3}, 14.43 \times 10^{-3}, 11.76 \times 10^{-3}$ [$1/\mu m$]이고 $P_C = 2 \times 10^{15}, 2.7 \times 10^{15}, 3.0 \times 10^{15}$ [$1/cm^3$]이다.

그림 2의 표면 전압 변화는 다음과 같이 표현 될 수 있다.

$$V_S(y) = V_S(L_G)[1 - e^{-\alpha y}] \quad (3)$$

여기서 α 는 $\alpha = \frac{1}{V_S(L_G)} \left(\frac{dV_S(y)}{dy} \right)_{y=0}$ 으로부터 상수로 얻어지며 $V_S(L_G)$ 는 V_{CH} 와 V_{ACC} 의 합으로 표면에서의 전압강하이다. 또한 식(3)으로부터 표면전계분포를 $E(y) = E(0) e^{-\alpha y}$ 형식으로 유도 할 수 있으며 거리 y 가 증가하면 전기장은 급격히 감소하게 되는데 이는 앞서 언급하였던 시뮬레이션 결과에 부합한다. α 값은 그림 2로부터 구할 수 있으며 게이트 전압이 15V일 때 약 0.6 [$1/\mu m$]이다. 실리콘 표면에 유입되는 전하량은

$$Q_n(y) \cong -C_{ox}[V_G - V_T] \quad \text{단, } (V_G - V_T) \gg V_S(L_G)$$

으로 표현되며 여기서 C_{ox} 는 단위 면적 당 커패시턴스이고 V_T 는 문턱전압이다. 이로부터 $V_S(L_G)$ 에 대한 식은 다음과 같이, 유입된 전하량의 저항을 이용하여 구할 수 있다.

$$V_S(L_G) = \frac{I_{MOS} L_G}{W \mu_n C_{ox} [V_G - V_T]} \quad (4)$$

여기서 I_{MOS} 는 MOS 부분의 전자 전류이고 W 는 소자의 채널 폭, μ_n 은 채널 영역에서의 유효전자이동도 이다.

식 (4)는 그림 4의 시뮬레이션 결과를 설명한다.

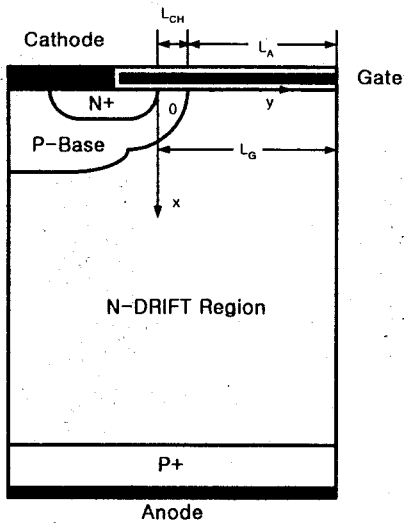
드리프트 영역의 전압강하에 대한 식은 드리프트 영역에 걸친 전기장을 적분함으로써 얻을 수 있는데 이 적분식의 주도적인 부분이 $J(x)/p(x)$ 에 비례하므로 그림 5의 비교적 작은 게이트 길이에 대하여 표면에 가까운 드리프트 영역의 전압강하가 급격히 변화하는 현상을 설명할 수 있다. 한편 드리프트 영역에서의 전류밀도도 표면 부근에서 급격히 증가한다.

3. 결 론

IGBT의 순방향 전압강하가 최소값이 되도록 게이트 길이를 최적화할 수 있음을 보였다. IGBT의 순방향 전압강하를 구성하는 전압강하 요소들에 대한 이론적인 분석을 하였으며 특히 표면 전압강하에 대한 해석식을 유도하여 그 타당성을 시뮬레이션 결과로 증명하였다.

[참 고 문 헌]

- [1] D. S. Kuo, and C. Hu, "An analytical model for the power Bipolar-MOS Transistor", Solid-State Electronics, Vol. 29, No.12, pp1229-1237, 1986
- [2] Koh Yoshikawa, et al., "A Novel IGBT chip design concept of high turn-off current capability and high short circuit capability for 2.5kV power pack IGBT", Proc. ISPSD, pp177-180, 1999
- [3] S. D. Kim, I. J. Kim, Min-Koo Han, Y. I. Choi, "An accurate on-resistance model for low voltage VDMOS devices", Solid-State Electronics, Vol.38, No.2, pp345-350, 1995
- [4] J. Fernandez, et al., "An On-resistance closed form for VDMOS Devices", IEEE Electron Devices Lett, Vol.10, No.5, pp212-215, 1989



parameters	values
Concentration of N-Drift Region	$1 \times 10^{14} / \text{cm}^3$
Thickness of N-Drift Region	$95 \mu\text{m}$
Thickness of Gate Oxide	$0.1 \mu\text{m}$
Channel Length	$2 \mu\text{m}$
Peak Concentration of P+ Double Diffused Region	$2 \times 10^{19} / \text{cm}^3$
Junction Depth of P+ Double Diffused Region	$5 \mu\text{m}$
Peak Concentration of Inversion Layer	$1 \times 10^{11} / \text{cm}^3$
Concentration of P+ Anode Region	$5 \times 10^{18} / \text{cm}^3$
Thickness of P+ Anode Region	$30 \mu\text{m}$

그림 1) Cross section of NPT IGBT

표 1) Parameters for Simulation

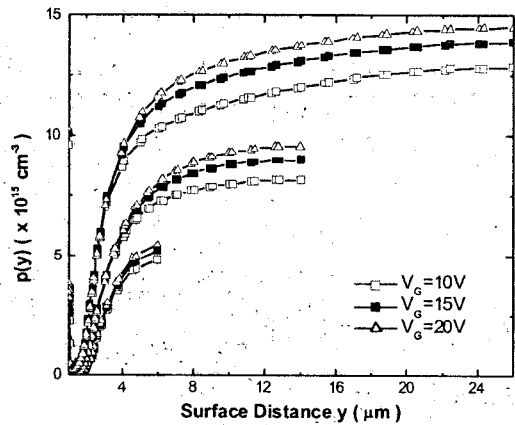
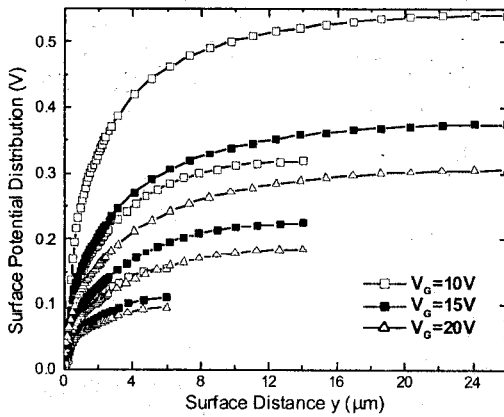


그림 2) The variation of the surface potential as function of y and V_G

그림 3) The hole carrier variation at $x = 0.3 \mu\text{m}$

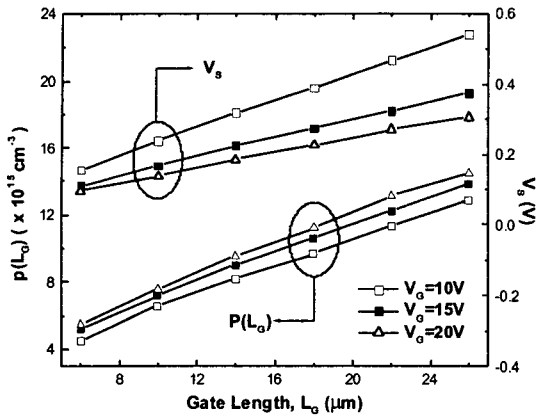


그림 4) The surface voltage drop and the carrier density at $y=L_G$

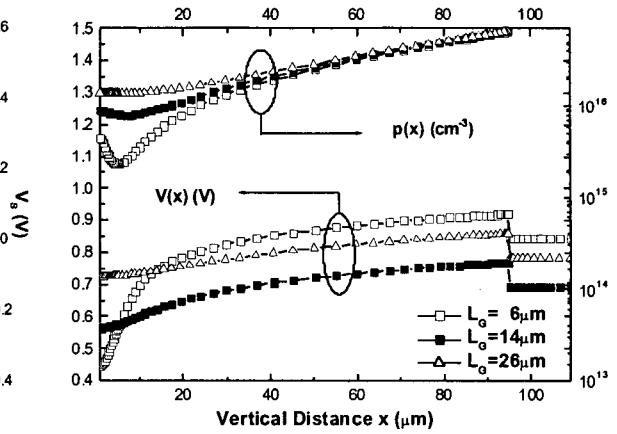


그림 5) the carrier density and the potential distributions along the drift region at $V_G=15V$

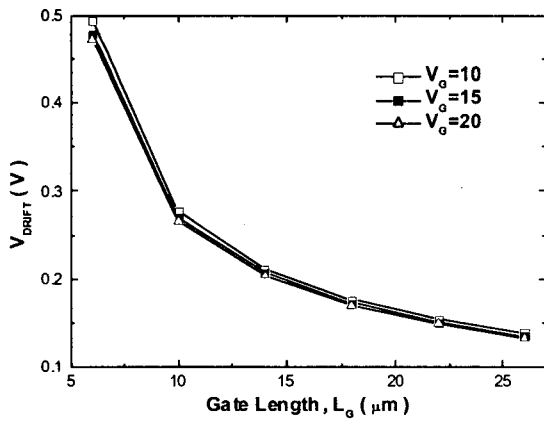


그림 6) V_{DRIFT} as a function of L_G

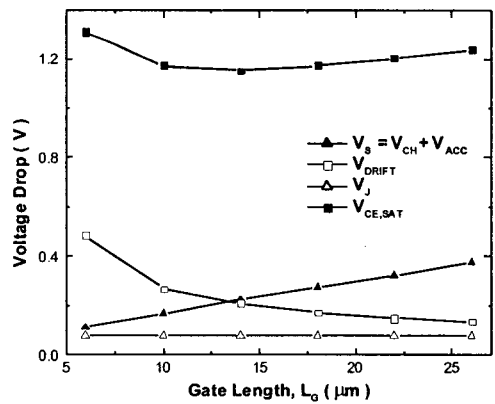


그림 7) The simulation results for V_s , V_{DRIFT} , V_J , and $V_{CE,SAT}$ as a function of the gate length