

N+P+P-N+ 구조를 가진 Punch-through 다이오드의 항복전압 특성

송세원, 정상구, 최연익
아주대학교 전자공학과 전자소자연구실

Breakdown Characteristics of a Punch-through Diode with N+P+P-N+ Structure

Se-Won Song, Sang-Koo Chung, Yearn-Ik Choi
Department of Electronics Engineering, Ajou University, Suwon, Korea

Abstract - Breakdown characteristics of a punch-through diode with n+p+p-n+ structure are analyzed with two-dimensional device simulation. Effects of base doping concentration and profile on the breakdown are presented. An analytical expression of a maximum base doping level for the punch-through breakdown is derived. The diode with a linearly graded base doping shows superior leakage current and capacitance is satisfactory for applications for low-voltage circuits.

1. 서 론

VLSI(Very Large Scale Integration)회로에는, 낙뢰, ESD(Electro Static Discharge), inductive load switching등에 의해 발생하는 voltage spike를 막기 위해 TVS(Transient Voltage Suppressor)가 사용되는데, 전력공급기의 사용전압대가 급속하게 내려감에 따라, TVS소자역시 낮은 구동전압이 필요하게 되었다.

일반적인 제너다이오드의 경우 낮은 항복값을 얻기 위해 높은 농도로 도핑을 해야한다[1]. 하지만, 이 경우 누설전류와 capacitance가 증가하게 되는 단점이 있다. 편치드루 다이오드의 원리는 낮은 베이스 도핑농도 구조를 가진 BJT(Bipolar Junction Transistor)의 punch-through breakdown을 이용한 것으로, 고전력, 고전압대에서 TVS소자 연구가 계속되어 오고 있다[2,3]. Punch-through breakdown은 avalanche breakdown보다 낮은 전압에서 발생한다. 일반적으로 다이오드, BJT, MOSFET(Metal-Oxide Semiconductor Field-Effect Transistor), 그리고 IGBT(Insulated Gate Bipolar Transistor)중 대부분의 소자에 역방향 전압이 가해진 상태에서 항복 메커니즘은 대부분 avalanche breakdown이다[4],[5],[6]. n+p+p-n+ 구조를 가진 punch-through 다이오드는 제너다이오드보다 훨씬 적은 누설전류와 capacitance를 갖는다는 연구논문이 발표되어 있다[1]. 하지만, punch-through 상태에서의 다이오드의 베이스 도핑 농도에 관한 연구 결과는 없었다. punch-through 다이오드의 베이스 도핑 농도에 관한 한계선을 찾는 것은 항복전압과 관련하여 아주 중요한 의미를 갖게 된다.

이 논문에서는 베이스 도핑 농도와 도핑 분포가 항복전압의 특성에 어떤 영향을 미치는가를 보여주고 있으며, punch-through 항복현상이 발생하는 베이스 도핑 농도의 한계값과 항복전압식에 관하여 해석적인 식으로 유도하였고, 계산 결과를 ATLAS의 시뮬레이션 결과와 비교 검증하였다.

2. 본 론

그림1은 시뮬레이션에 사용된 n+p+p-n+구조를 가진 다이오드의 도핑 분포를 보여주고 있다. p+와 p-층은 $W_b=1\mu\text{m}$ 와 $W_e=0.1\mu\text{m}$ 로 고정되어 있다. 일반적으로

로 베이스 층의 두께가 얇을수록 punch-through 전압을 최적화하는데 더 유리하다. p+층의 최대 도핑 농도는 10^{15}cm^{-3} 부터 10^{17}cm^{-3} 까지인 반면에 p-층은 10^{14}cm^{-3} 혹은 10^{15}cm^{-3} 로 고정되어 있다. uniform하게 도핑된 베이스 구조와 선형 경사농도를 가진 베이스 구조를 제안하였으며, 같은 농도 분포와 두께를 가진 p+n+n-p+구조 역시 n+p+p-n+구조와 비교하였다.

그림2에 보이는 항복 특성은 10^{16}cm^{-3} 로 균일하게 도핑된 제안된 구조의 경우와, p+와 n+영역 모두 10^{19}cm^{-3} 로 그리고 i-영역은 10^{14}cm^{-3} 로 도핑된 p-i-n 다이오드의 경우와 p+.n+ 영역 모두 10^{19}cm^{-3} 로 도핑된 제너다이오드의 경우를 보여주고 있다. 저전압용 TVS 소자에 비해 일반적인 제너다이오드의 경우 높은 누설전류값을 가지며, p-i-n 다이오드의 경우는 높은 항복전압값을 가지고 있음을 알 수 있다. p-i-n 구조의 경우 낮은 전압대의 항복을 얻기가 어렵다. n+p+p-n+구조와 비교해서 p+n+n-p+구조는 정공 이동도가 더 작기때문에 최대 surge current에 의해 정의되는 클램핑 전압값이 높다[1]. 그림3은 n+p+p-n+구조의 베이스 농도를 변화시켜가면서 얻은 다이오드의 I-V곡선이다. n+p+p-n+ 구조의 다이오드의 경우 p+층의 농도가 증가할수록 스넬백 현상이 감소하는 것을 확인하였다[1]. 스넬백 현상은 클램핑 전압의 감소시키는 것으로 알려져 있다[1]. 그림4는 베이스의 농도가 균일하게 10^{16}cm^{-3} 로 도핑 됐을때의 전계이며, 나머지 한 곡선은 베이스 농도가 10^{17}cm^{-3} 일 때 punch-through가 일어나기 전 avalanche breakdown일 때의 전계 그림이다.

전계 분포식은 다음과 같다.

$$E(x) = E_c \text{ for } 0 \leq x \leq W_e$$

$$E(x) = E_c - (qN_b/\epsilon_s)(x - W_e) \text{ for } x \geq W_e \quad (1)$$

여기서 N_b 는 베이스 영역에서의 균일한 도핑 농도를 나타내며, ϵ_s 는 실리콘의 유전상수를 나타낸다. 실리콘에서 avalanche breakdown일 때의(1)식을 사용하면, $A \int_0^{W_e} E(x)^2 dx = 1$ 이고, 이때 $A = 1.8 \times 10^{-35}$ 와 공핍영역 넓이 W에서의 전계 $E(W) = 0$ 를 유지할 때, 층 구조에서의 항복전압 조건은 아래와 같이 정리되며

$$(E_c)^2 [W_e + 0.125E_c / (qN_b/\epsilon_s)] = 1/A \quad (2)$$

식 (2)에서 $W_e = 1\mu\text{m}$ 와 $N_b = 10^{17}\text{cm}^{-3}$ 일 때 임계 전계값 $E_c = 4.6 \times 10^5 \text{ V/cm}$ 를 구할 수 있고, 식 (1)을 이용하여 $E(W) = 0$ 일 때 $W = 0.4\mu\text{m}$ 를 얻을 수 있다. 반면, 다이오드의 베이스에서 punch-through가 일어날

때는, $N_b = 10^{16} \text{cm}^{-3}$ 와 $W_b = 0.8 \mu\text{m}$ 를 $E_c = (qN_b/\epsilon_s)W_b$ 대입하여 전계값 $E_c = 1.23 \times 10^5 \text{V/cm}$ 를 얻을 수 있었다. 이는 그림4 에 나와있는 시뮬레이션 결과와 정확한 일치율을 보이고 있다. 이 경우에 만약 avalanche breakdown이 발생한다고 가정한다면 식 (2)를 아래와 같이 줄일 수 있다.

$$(E_c)^2 [W_e + 0.125 W_b] = 1/A$$

punch-through breakdown일 때의 베이스 도핑 농도는 따라서 다음 식에서 정할 수 있다.

$$N_{bmax} = (\epsilon_s/qW_b) \times 10^5 / [1.8(W_e + 0.125 W_b)]^{1/2} \quad (3)$$

식 (3)에서 $W_b = 1 \mu\text{m}$ 일 때 $E_c = 4.24 \times 10^5$ 를 대입하면 $N_{bmax} \approx 2.8 \times 10^{16} \text{cm}^{-3}$ 임을 알 수 있다. 이 결과는 시뮬레이션 결과와 일치하는 것으로써, non-punch-through 경우 베이스 도핑 농도를 변화 시켰을 때 두 가지 다른 전류값인 10mA와 1A에서 항복 전압 값의 변화를 그림4와 그림5 에서 보여주고 있다. 두개의 전류 레벨에서 항복전압 곡선이 교차할 때, 항복전압 곡선은 상응하는 베이스 농도에서 두 전류 레벨사이를 연결하는 수직선이 된다. n+p-p-n 구조의 경우 p+n-n-p 구조보다 항상 낮은 항복 전압 값을 갖는다. $N_{bmax} = 2.8 \times 10^{16} \text{cm}^{-3}$ 이상의 베이스의 도핑 레벨에서 항복 전압 값은 거의 변하지 않으며, 이 부분에서부터는 앞부분에서 설명한 avalanche breakdown이 항복의 주된 메커니즘이 된다.

그림6 은 베이스의 최대 도핑 레벨이 10^{16}cm^{-3} 으로 고정되었을 때, 도핑 프로파일에 따른 항복전압 특성을 보여주고 있다. 선형 도핑 경사를 갖는 다이오드의 경우 균일한 도핑 구조보다 더 낮은 항복 전압 값을 갖는다. 선형 도핑 경사를 갖는 구조의 전계 분포는 다음과 같다.

$$E(x) = E_c - [qN_b(W_b)/2\epsilon_s][(x - W_e)^2 / W_b + 2R(x - W_e)]$$

for $x \geq W_e$ (4)

여기서 $R = N_b(0)/N_b(W_b)$ 이며, punch-through 전압 $V_{PT,U}$ 은 식 (4)를 이용하면 다음과 같다.

$$V_{PT,L} = [qN_b(W_b)/2\epsilon_s][W_b^2(R + 2/3) + RW_b^2]$$

$$\cong [qN_b(W_b)/3\epsilon_s] W_b^2 \quad (5)$$

균일한 베이스 도핑구조에서의 punch-through 전압 $V_{PT,U}$ 는 식 (1)을 이용하면 다음과 같다.

$$V_{PT,U} = (qN_b/2\epsilon_s)(W_b^2 + RW_b^2) \cong (qN_b/2\epsilon_s)(W_b^2) \quad (6)$$

이 식에 의하면 항복 전압은 4.9V이다. 반면 선형 도핑 경사를 가진 제안된 구조에서 유도된 식 (5)에서는 항

복 전압 값이 3.26V이다. $W_b = 0.8 \mu\text{m}$ 이며 $0.2 \mu\text{m}$ 은 순방향 접합의 공핍층 폭이 된다. 따라서 선형 베이스 도핑 경사를 가진 다이오드가 균일한 베이스 도핑 구조의 경우보다 저전압용 TVS 소자에 유리함을 알 수 있다.

3. 결 론

지금까지 n+p-p-n 구조를 가진 제너다이오드가 높은 도핑레벨을 가진 일반 p+n 구조와 p+n-n-p 구조에 비해 우수한 특성을 가지고 있다는 것을 확인했다. 따라서, 균일한 베이스 도핑구조보다 선형 베이스 도핑 경사를 가진 구조가 저전압대의 TVS 소자에 더 유리하다는 것을 알 수 있다. 이 논문에서 제시한 최대 베이스 도핑 농도에서의 punch-through breakdown에 관한 해석적인 식은 다이오드의 설계와 저전압 소자 분야에서의 응용에 유용할 것으로 예상된다.

[참 고 문 헌]

- [1] Y. King, B. Yu, J. Pohlman, and C. Hu, "Punchthrough transient voltage suppressor for low-voltage electronics", *IEEE Electron Device Lett.*, vol. 16, no.7, pp. 303-305, July 1995.
- [2] O. M. Clark, "Transient voltage suppressor types and application", *IEEE Trans. Power Electron.*, vol. 5, pp. 20-26, Nov. 1990.
- [3] P. J. Kanam, "Design concepts of high energy punchthrough structures", *IEEE Trans. Electron Devices*, vol. ED-23, no. 8, pp. 879-882, 1976
- [4] Tae-Moon. Roh, et al., "High-Voltage SOI Power IC Technology with non-RESURF n-LDMOSFET and RESURF p-LDMOSFET for PDP Scan-Driver Applications" *J. Korean Phys. Soc.* 37, 889 2000.
- [5] Sun-Ho. Kim, et al., "Enhancement of Breakdown Voltage for SOI RESURF LDMOS Employing a buried Air Structure" *J. Korean Phys. Soc.* 39, pp. S39-S41 2001.
- [6] Min-Su. Kim, et al., "Temperature Dependent of the NPT-IGBT'S Charecteristics" *J. Korean Phys. Soc.* 39, pp. S74-S77 2001.
- [7] W. Fulop, "calculation of avalanche breakdown of silicon p-n junction", *Solid-State Electron.* Vol.10, pp.39-43, 1967.

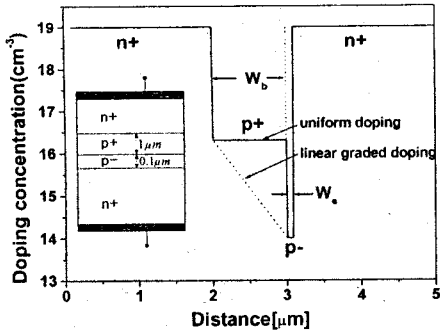


그림 1 4층구조를 가진 제너다이오드의 도핑프로파일과 단면도

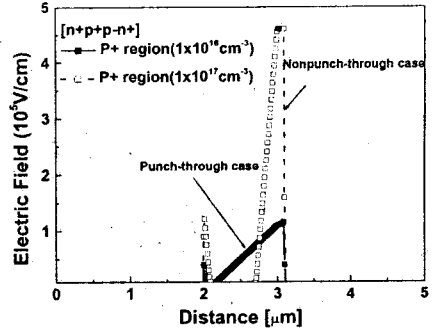


그림 4 punch-through와 non-punch-through의 항복시 전계분포

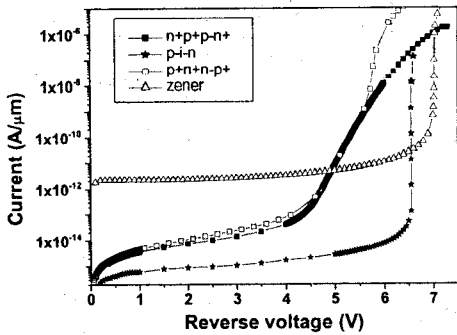


그림 2 I-V특성 시뮬레이션 결과

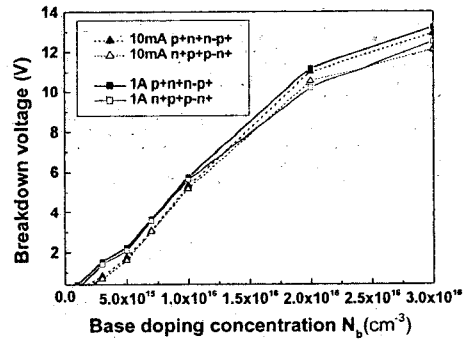


그림 5 10mA와 1A의 전류에서 베이스 도핑 농도에 따른 항복 전압의 특성

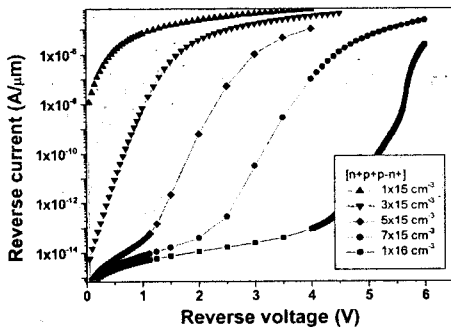


그림 3 n+p+p-n+구조 다이오드의 베이스 농도에 따른 I-V곡선

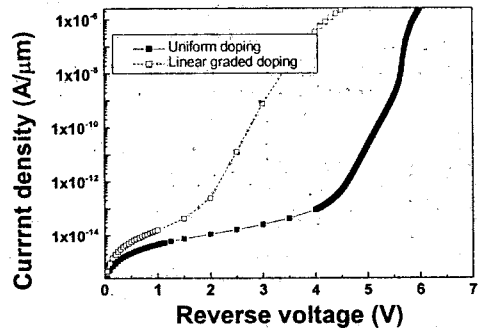


그림 6 두 가지 도핑 분포에 따른 I-V곡선들