

## 12 비트 100 MHz CMOS 디지털/아날로그 변환기의 설계

이 주 상, 최 일 훈, \*김 규 현, \*\*유 상 대  
경북대학교 대학원 전자공학과, \*한국전자통신연구원, \*\*경북대학교 전자전기컴퓨터학부  
전화 : 053-940-8837 / 핸드폰 : 011-825-0158

### Design of A 12-Bit 100-MHz CMOS Digital-to-Analog Converter

Ju-Sang Lee, Ill-Hoon Choi, \*Gyu-Hyun Kim, \*\*Sang-Dae Yu  
Dept. of Electronics, Graduate school, Kyungpook National Univ.  
\*Electronics and Telecommunications Research Institute  
\*\*School of Electronical Engineering and Computer Science, Kyungpook National Univ.  
E-mail : jslee@palgong.knu.ac.kr

#### Abstract

In this paper, a 12-bit 100-MHz CMOS current steering digital-to-analog converter is designed. In the D/A converter, a driver circuit using a dynamic latch is implemented to obtain low glitch and thermometer decoder is used for low DNL errors, guaranteed monotonicity, reduced glitching noise. And a threshold voltage-compensated current source. The D/A converter is designed with 0.35- $\mu$ m CMOS technology at 3.3 V power supply and simulated with HSPICE. The maximum power dissipation of the designed DAC is 143 mW.

#### I. 서론

오늘날 통신 시스템과 고해상도를 요구하는 고화질의 영상 시스템의 급격한 발전으로 인하여 디지털 신호를 인간이 지각할 수 있는 아날로그 신호로 변환하는 디지털/아날로그 변환기(DAC)는 아날로그/디지털 변환기(ADC)와 더불어 여러 시스템의 성능에 큰 영향을 미치는 회로로 그 중요성이 더욱 부각되고 있다. 따라서, 기술이 발전 할 수록 더 높은 변환 속도와

고해상도를 가지는 DAC가 요구되고 있는데 HDTV, 디지털 캠코더, 이동 통신용 단말기 등의 응용에 있어서 10 비트 이상의 해상도와 수백 MHz 이상의 변환 속도를 필요로 한다 [2]. 그리고, CMOS 공정 기술의 발전으로 저가격, 저전력, 고속의 DAC를 CMOS 공정을 이용해서 설계하고자 하는 노력도 계속되고 있다.

본 논문에서는 CMOS 공정을 이용하여 DAC를 전류 스위칭 구조로 설계하였다. 전류 스위칭 구조는 저항 배열 구조에 비해서 빠른 안정 시간을 가질 수 있고, 전력 소모가 줄어들며 칩의 면적이 줄어드는 장점이 있지만 전류원에서 스위칭 시간의 불일치와 클러크와 디지털 입력 신호의 피드스루(feed-through) 등에 의하여 글리치가 발생하고 전류원 사이에 전류가 서로 불일치 할 수도 있는 단점이 있다.

또, 본 논문에서는 전류원의 글리치를 줄이기 위해서 CMOS 래치(latch)를 이용한 스위칭 회로를 사용하였다. 그리고, 전체 DAC의 구조는 단조성이 보장되고 DNL(differential nonlinearity) 에러가 적으며 글리치 잡음을 줄이는 특성을 가진 온도계 코드(thermometer-code) 구조를 사용하였다 [7]. 글리치 잡음을 줄이는 노력과 회로의 복잡성은 서로 상보성의 관계에 있기 때문에 전체단을 온도계 구조로 만들지 않고 하위 4 비트는 가중치 배열 방식을 사용하였다.

그림 1은 설계된 DAC에서 신호의 흐름을 나타낸 것이다.

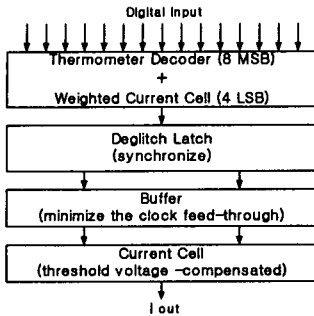


그림 1. 설계된 DAC의 흐름도.

## II. Thermometer 디코더의 설계

온도계 코드 방식을 사용하면 단조 증가성이 좋아져서 글리치 잡음을 줄일 수 있다. 그러나, 이 방식을 사용하려면 디지털 입력에 대응하는 온도계 코드를 만들어내는 디코더 회로가 필요하고, 비트 수가 커질수록 디코더 회로는 매우 복잡해진다. 따라서, 본 논문에서는 12 비트의 입력을 상위 8 비트는 4 비트씩 온도계 방식으로 구현하고, 하위 4 비트는 가중치 배열 방식을 이용하는 4+4+4 분할 방식을 사용하였다. 그림 2는 상위 4 비트씩에 사용된 4 비트 온도계 코드 디코더 회로를 논리 회로로 구현한 것이다.

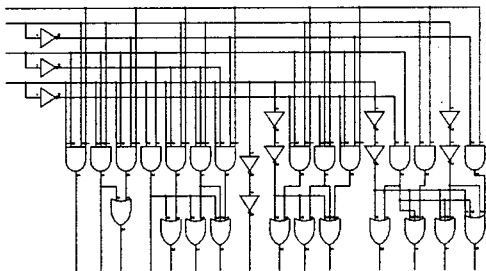


그림 2. 4 비트 온도계 코드 디코더 회로.

그림 3은 위의 디코더 회로를 HSPICE로 모의실험을 수행한 것이다. 12 비트 DAC의 전체 블록도는 그림 4와 같다.

## III. 래치 회로와 완충단의 설계

DAC에서 핵심이 되는 관심거리는 글리치를 줄이는 것이다. 그러기 위해서 해결해야 하는 여러 가지 문제가 존재한다.

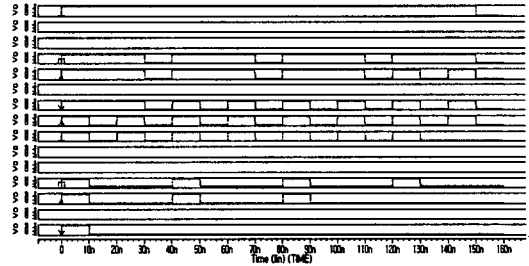


그림 3. 4 비트 온도계 코드 디코더의 출력 파형.

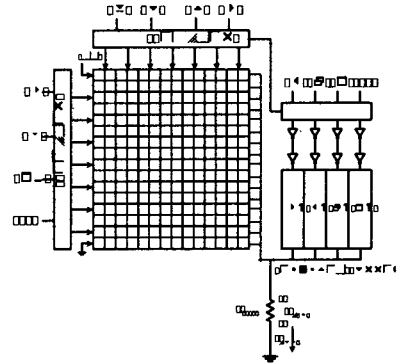


그림 4. 12 비트 DAC의 전체 블록도.

첫째, MOS 전류원을 입력 신호로 스위칭 할 때 신호가 완벽하게 동기되지 않으면 글리치가 발생한다. 둘째, 클럭 신호가 게이트와 드레인 사이의 기생 용량을 통해 출력에 나타날 수 있는 피드쓰루 (feed-through)를 방지해야 한다. 셋째, 스위칭 전류원의 두 입력이 동시에 오프 상태가 되면 전류원의 드레인 전압이 변하게 되고 따라서 출력 전류가 변하는 현상이 생긴다 [2].

이러한 현상들을 보상하기 위하여 스위칭 전류원의 앞단에 위상이 반대인 두 입력 신호와 인가되는 클럭에 의해서 동기가 되는 래치 회로를 사용함으로써 스위칭 회로의 입력으로 나가는 신호의 동기를 맞출 수 있다. 그림 5는 사용된 래치 회로를 나타낸 것이다.

래치 회로에서 나온 출력에서 피드쓰루를 방지하기 위해서 완충단으로 인버터를 사용하였다. 인버터의 출력에서 글리치가 많이 줄어든 신호를 얻을 수 있고, 이 신호로 PMOS로 구성된 스위칭 전류원을 구동시킨다.

본 논문에서는 일반적인 인버터가 아닌 3개의 MOS로 이루어진 인버터를 사용하였다. 2개의 PMOS와 1개의 NMOS로 구성된 인버터를 사용함으로써 인버터 논리회로의 문턱전압을 조절해서 낮출 수가 있다 [1]. 이렇게 인버터의 문턱 전압을 조절함으로써 스위칭 전류원의 입력 스위치로 사용되는 양쪽 PMOS가 동시에

오프 상태가 되는 것을 방지할 수 있고, 따라서 출력 전류의 글리치도 줄일 수 있게 된다.

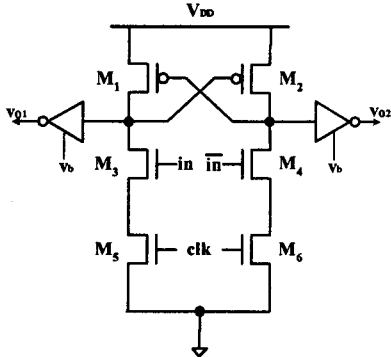


그림 5. 래치와 완충단 회로

그림 6은 논문에 사용된 3개의 MOS로 이루어진 인버터를 나타낸 것이고 그림 7은 HSPICE로 모의 실험한 결과를 나타낸 것이다.

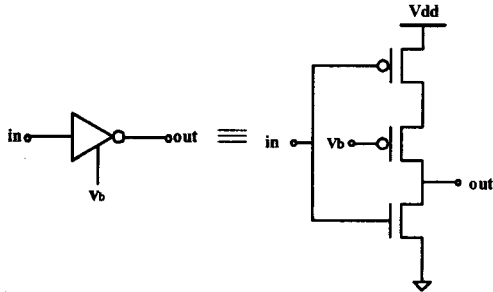


그림 6. 3개의 MOS로 구성된 인버터.

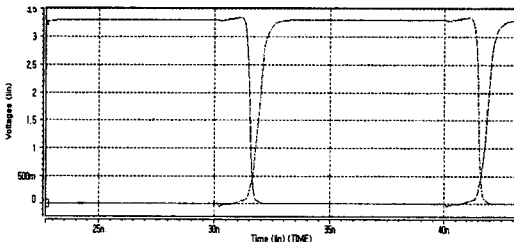


그림 7. 문턱전압을 낮춘 3개 MOS를 사용한 인버터의 HSPICE 모의 실험 결과 파형

#### IV. 전류원의 설계

본 논문에서 사용된 전류원은 공정 상에서 변화하는 문턱전압을 보상하여 안정한 전류원을 구성하도록 문턱전압 보상회로를 부과하였으며, 스위칭 신호의 시간 레깅에 의한 글리치 문제를 줄일 수 있는 그림 8에서 문턱전압을 보상한 회로를 구성한 트랜지스터는 M14와 M15이다.

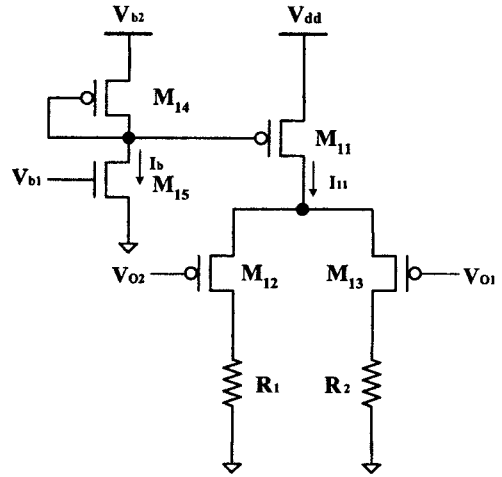


그림 8. 문턱전압을 보상한 스위칭 전류원.

$I_{11}$ 의 전류를 흐르게 하는 M11 트랜지스터의 유효 채널 폭 변조 효과를 무시하면

$$\begin{aligned} I_{11} &= K \frac{W_{11}}{L_{11}} (|V_{GS11}| - |V_{th11}|)^2 \\ &= K \frac{W_{11}}{L_{11}} (V_{DD} - V_b - |V_{th11}|)^2 \\ &= K \frac{W_{11}}{L_{11}} (V_{DD} - V_{b2} + \Delta V + |V_{th14}| - |V_{th11}|)^2 \end{aligned} \quad (1)$$

로 나타낼 수 있으며, 여기서  $\Delta V \equiv V_{b2} - V_b - V_{th14}$ 로 M14의 실효 게이트 전압이다. 이 식에서 알 수 있듯이 전류  $I_{11}$ 은  $V_{th14}$ 와  $V_{th11}$ 의 차에 따라 결정된다. M11과 M14가 매칭되면 전류  $I_{11}$ 은  $V_{th14}$ 와  $V_{th11}$ 에 독립적이게 되므로 전류  $I_{11}$ 은 국부적인 문턱전압의 변화에 대하여 독립적일 수 있게 된다. 두 MOS 문턱전압이 서로 일치하지 않게 되더라도  $V_{b2} \gg |V_{th14}| - |V_{th11}|$ 의 조건을 만족하게 되어서 전류원에 흐르는 전류,  $I_{11}$ 의 변화는 문턱전압의 변화에 대하여 덜 민감하게 될 수 있다. 식(1)에서  $\Delta V$ 를  $I_b$ 에 관한 식으로 표현하면 아래와 같다.

$$I_{11} = K \frac{W_{11}}{L_{11}} (V_{DD} - V_{b2} + |V_{th14}| - |V_{th11}| + \sqrt{\frac{L_{14} I_b}{K W_{14}}})^2 \quad (2)$$

이 식에서 알 수 있듯이  $I_{11}$ 이 문턱전압의 편차에 덜

민감하려면  $V_{b2}$ 와  $I_b$ 는 작은 값을 가져야하고, 그러면  $I_{11}$ 은 일반적인 MOS의 전류식처럼  $W_{11}/L_{11}$  비의 조절만으로 얻을 수 있게된다. 또, 트랜지스터 M15의  $W/L$ 의 비는 작아야 하고 바이어스 전압  $V_{b1}$ 은  $I_b \ll I_{11}$  가 되기 위한 작은 값이어야 한다 [1,9].

그림 9와 10은 래치와 완충단을 포함한 단일 스위칭 전류원의 출력 파형을 모의 실험 한 것이다. 일반 인버터를 완충단으로 사용한 경우는  $\pm 50 \mu A$  정도의 글리치가 발생한다. 그러나, 3개의 MOS를 이용한 인버터를 완충단으로 쓴 경우는 전류가  $\pm 27 \mu A$ 의 글리치 특성을 보여준다. 그리고  $75 \Omega$  저항에 의한 전압 파형은  $\pm 2 mV$  이내의 글리치 특성을 갖는다.

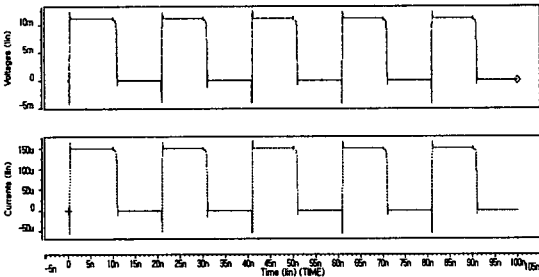


그림 9. 일반 인버터 완충단일 때의 출력 파형.

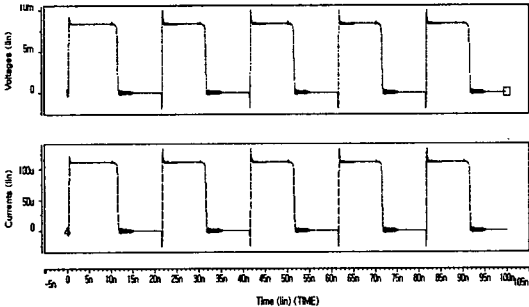


그림 10. 3개의 MOS 인버터를 완충단으로 사용한 스위칭 전류원의 출력 파형.

### V. 결론

본 논문은 12 비트의 해상도를 가지고 100 M $\Omega$ 의 클럭으로 동작하는 디지털/아날로그 변환기를 설계하였다. 온도계 코드 구조와 전류 스위칭 방식을 이용하여 DAC를 설계하였으며 각각의 스위칭 전류원에서 동기를 맞추기 위해 CMOS 래치 회로를 사용하였고, 클럭의 피드스루 현상을 보완하며 두 입력이 동시에 오프

상태가 되지 않게 하기 위해서 3개의 MOS를 사용한 인버터를 완충단으로 사용하였다. 또한, 공정상에서 각 전류원들의 문턱전압의 불일치를 보상해 주기 위하여 문턱전압 보상회로를 사용하였다. 본 논문의 모의 실험은 3.3 V 공급전압에서 0.35  $\mu m$  공정을 사용한 HSPICE로 수행하였으며, 최대 전력 소모는 약 143 mW이다.

본 논문에서 구현된 디지털/아날로그 변환기는 고속의 영상 신호, 통신 신호 처리를 위해 응용될 수 있을 것이고, 앞으로는 더욱 높은 해상도와 변환 속도를 가지며 글리치가 작은 DAC 회로를 연구해야 할 것이다.

### 참고문헌

- [1] Shu-Yuan Chin and Chung-Yu Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter (DAC) with Threshold-Voltage Compensated Current Sources," *IEEE Journal of Solid-State Circuits*, vol. 29, No. 11, pp. 1374-1380, November 1994.
- [2] A. Van den Bosch, M. Steyaert, and W. Sansen, "A 12 bit 200 MHz Low Glitch CMOS D/A Converter," *proc. IEEE CICC*, May 1998.
- [3] J. Bastos, M. Steyaert, and W. Sansen " A High Yield 12-bit 250-MS/s CMOS D/A Converter," *proc. IEEE CICC*, May 1996.
- [4] Y. Nakamura, T. Miki et al. "A 10-b 70-MS/s CMOS D/A Converter," *IEEE Journal of Solid-State Circuits*, vol. 26, pp. 637-642, April 1991.
- [5] T. Wu, C. Jih et al. "A low Glitch 10-bit 75-MHz CMOS Video D/A Converter," *IEEE Journal of Solid-State Circuits*, vol. 30, pp. 68-72, January 1995.
- [6] R. Jacob Baker, Harry W. Li and David E. Boyce, *CMOS - Circuit Design, Layout, And Simulation*, IEEE Press, 1998.
- [7] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997.
- [8] Bruce J. Tesch and Juan C. Garcia, "A Low Glitch 14-b 100-MHz D/A Converter," *IEEE Journal of Solid-State Circuits*, vol. 32, No. 9, pp. 1465-1469, September 1997.
- [9] 김규현, "고속영상 신호처리용 10 비트 100 MHz CMOS 디지털/아날로그 변환기," *대한전자공학회 추계종합학술대회*, 2001.