

# 고속 디지털 시스템에서 전달 시간차의 보정 모델링 및 구현

오 광 석  
경북 대학교

전화 : 053-984-7063 / 핸드폰 : 011-826-8877

## The timing de-skew modeling and design in a high speed digital system

Kwang-suhk Oh

Dept. of Electrical Engineering, Kyungpook national University  
E-mail : ksoh@elecscom.com

### Abstract

In this paper, the timing de-skew modeling for a high speed logic tester channels is developed. The time delay of each channel in a logic tester are different from other channels and it can produce timing error in a test. To get the best timing accuracy in the test with a logic tester, the timing skew must be compensated.

The timing skew of channels is due to the difference of time delay of pin-electronics devices composing channels and length of metal line placed on PCB. The expected timing difference of channels can be calculated according to the specifications of pin electronics devices and strip line modeling of PCB. With the calculated delay time, the timing skew compensation circuit has been designed.

With the timing skew compensation circuit, the timing calibration of a logic tester can be performed easily and automatically without other time measuring instruments. The calibration method can then be directly applied to logic testers in mass production lines.

### I. 서론

마이크로프로세서, 메모리 등 각종 로직 소자들은 제작 후 그 각각의 동작을 확인받기 위해 DC 테스트, AC 테스트, 기능 테스트(Functional test) 등 여러 가지 테스트를 거치게 된다. DC 테스트에서는  $V_{OH}$ ,  $V_{OL}$ ,  $I_{OH}$ ,  $I_{OL}$  등 기본적인 DC 특성을 검사하고, AC test는 셋업 타임, 홀드 타임 등 로직 소자의 AC 특성을 검사한다. 로직 소자들의 가장 중요한 테스트는 기능 테스트로 이 테스트에서는 각 소자가 주어진 진리 입력에 따라 적절한 결과를 출력하는지를 확인하게 된다.<sup>[1]</sup>

로직 소자들은 주어진 테스트 주파수에서 설계 시 제작된 테스트 벡터와 같은 데이터를 입력받고 동작하여 데이터를 출력한다. 테스트는 이 출력 데이터를 각 테스트 사이클 마다 예상데이터와 비교하여 동작여부를 판단하게 된다. 이와 같은 기능 테스트에서 매우 중요한 부분을 차지하는 것이 각 채널간의 지연시간 차이를 최소화하는 것으로 테스트 결과에 신뢰성을 갖게 하기 위하여 반드시 보장되어야 하는 부분이다. 최근 사용되는 각종 로직 소자들은 시스템이 원-칩 화됨에 따라 기존의 여러 가지 칩으로 구성했던 하나의 시스템이 하나의 칩으로 제작되어 나옴에 따라 그 동작속도는 갈수록 높아지고 처리하는 데이터 량을 기하급수적으로 늘고 있다. <sup>[2]</sup> 이에 따라 기능 테스트에서 각 채널의 지연시간 차이 보정(timing de-skew)의 중요성은 갈수록 증대되고 있다. <sup>[3]</sup>

본 논문에서는 100ps의 정확도를 가지는 로직 테스터를 설계 제작하였고, 각 채널간의 정확도를 높이기 위해 로직 테스터의 채널과 DUT간의 연결을 모델링하여 이에 따른 신호의 지연 시간을 예상하고 실제 시스템에서 각 채널과 DUT간의 지연 시간을 측정하여 이에 따른 채널간의 지연 시간 차이를 보상함으로써, 시간적 오차를 최소화하는 방법을 제시하였다.

## II. 로직 테스터의 개요

### 2.1 로직테스터의 구성과 특징

로직 테스터는 크게 주기신호 생성기(Period generator), 입력 데이터 발생기(Driving data formatter), 오류 검출기(Fail detection logic), 핀 일렉트로닉스(Pin-electronics)의 4부분으로 나뉘어진다.<sup>[4]</sup> 주기신호 생성기는 미리 설정된 타이밍 정보에 따라 DUT의 클럭 신호로 사용될 테스트에 필요한 주기 신호를 제공한다. 로직 테스터의 다른 부분들은 모두 주기 신호에 동기 되어 동작하게 된다. 입력 데이터 발생기는 DUT에 인가할 "0", "1"의 진리 데이터가 저장되어 있는 패턴 데이터 메모리로부터 패턴 데이터와 RZ(Return zero), RH(Return High)등과 같은 신호 형태 정보를 조합하여 테스트에 필요한 출력 신호를 생성한다. 핀 일렉트로닉스는 크게 pin-드라이버와 비교기로 나누어진다. 드라이버는 입력 데이터 발생기로부터 출력된 신호를 입력받아, DUT의 VIH, VIL등의 테스트 조건에 맞는 신호레벨로 DUT에 테스트 신호를 인가한다.

DUT는 테스트 Pin 드라이버로부터 인가되는 신호에 따라 동작하여 적절한 데이터를 출력하게 된다. 예상 데이터 메모리(expected data memory)에는 DUT로부터 출력될 것으로 예상되는 데이터를 저장하고 핀 일렉트로닉스의 비교기는 DUT로부터의 실제 입력 데이터와 예상 데이터를 비교하여 양/불량을 판정한다.

그림1에서 이와 같은 로직테스터의 구성도를 나타내었다.

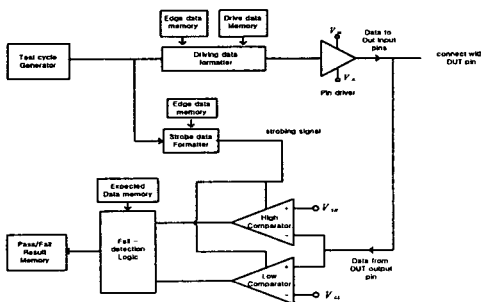


그림 1. 로직테스터의 구성도

### 2.2 각 채널간의 시간적 오차의 원인

로직 테스터의 채널 간 지연 시간 차이는 각 채널을 구성하는 부품의 이질성, 인쇄 회로 기판상의 도선의 길이의 차이에 의해 나타난다. 로직 테스터의 입력 데이터 발생기로부터 생성되는 신호는 핀 일렉트로닉스의 드라이버를 통해 테스트에 적합한 레벨을 가진 신호로 바뀌고 인쇄 회로 기판상의 도선을 통하여 DUT의 핀까지 전달된다. 또 DUT로부터 출력된 신호 또한 인쇄 회로 기판상의 도선을 통하여 핀 일렉트로닉스의 비교기를 거쳐 오류 검출부로 입력되게 된다. 따라서 DUT로 신호를 입력할 때나 신호를 입력받을 때 핀 일렉트로닉스 소자와 인쇄 회로 기판 도선에 의한 지연시간은 피할 수 없다. 전체적인 채널간 지연 시간 차이를 줄이기 위해서는 기본적으로 각 채널의 핀 일렉트로닉스를 구성하는 드라이버들과 비교기들의 지연 시간이 동일해야한다. 또한 테스터의 데이터 출력부로부터 DUT까지의 지연 시간과 DUT로부터 테스트의 데이터 입력부까지의 지연 시간이 최소가 되도록 설계하여야 한다. 하지만 드라이버와 비교기의 시간적 정도가 아무리 우수하다 할지라도 각각의 부품의 지연 시간의 차이는 반드시 존재한다. 또 인쇄 회로 기판상에는 여러 가지 소자들이 배치되어 있기 때문에 각 채널의 도선의 길이 또한 서로 동일할 수 없기 때문에 이로 인한 차이는 보상이 되어야 한다. 이 두 가지가 각 채널의 지연시간 차이의 원인이 된다.

그림2에서 이를 위한 하드웨어 구성을 표시하였다. 입력 데이터 발생기와 드라이버 사이에, 그리고 비교기와 오류 검출기 사이에 조정이 가능한 지연 소자를 장착하여 필요한 지연 시간을 인입할 수 있도록 설계하였다. 인입할 적절한 지연 시간을 검출하기 위해서는 여러 가지 측정과 각종 파라미터 추출이 필요하다.

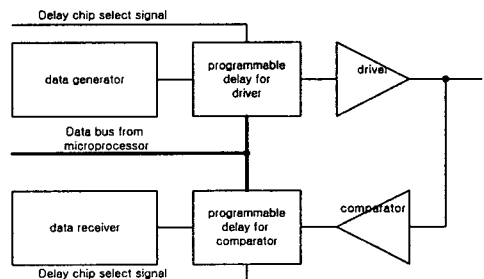


그림 2. 지연소자를 이용한 채널 간 지연시간차이 보상회로

채널 설정

III. 로직 테스터 채널의 타이밍 모델

하나의 채널에서 생성될 수 있는 지연 시간은 드라이버에 의한 지연 시간, 비교기에 의한 지연 시간, 인쇄 회로 기판의 도선에 의한 지연 시간으로 나누어진다. 여기서 드라이버에 의한 지연 시간을  $T_d$ , 비교기에 의한 지연 시간을  $T_c$ , 인쇄 회로 기판의 도선에 의한 지연 시간을  $T_l$ 로 표시한다. 채널이 신호 인가 모드로 사용될 때 나타나는 지연시간은  $T_d$ 와  $T_l$ 의 합으로 표시되고, 신호 수신 모드로 사용될 때 나타나는 시간은  $T_c$ 와  $T_l$ 의 합으로 나타난다. 채널 간 지연시간 보정 시에는 모든 파라미터 값을 알 필요가 없다. 각 모드 시 모든 채널의 지연시간이 동일할 경우 채널 간 지연시간 보정은 이루어진다. 그림 3에서 이러한 파라미터들로 이루어진 각 채널의 타이밍 모델을 제시하였다.

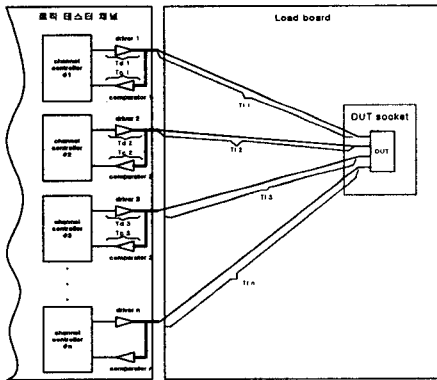


그림 3. 로직 테스터 채널의 타이밍 모델

IV. 자체 채널을 이용한 로직테스터의 채널간 지연시간 보정

4.1 신호 인가, 수신 모드시 채널 간 지연 시간 보정

그림 4와 같이 채널 2와 채널 3를 신호 인가 모드로 설정하고 채널 1을 신호 수신 모드로 설정한다.

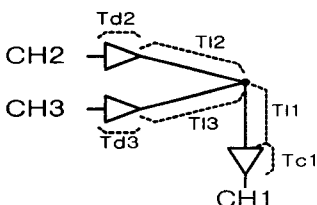


그림 4. 신호 인가 모드 시 지연시간 보정을 위한

채널 2와 채널 3에서 각각 펄스 신호를 출력하고 채널 1에서 신호를 입력받는다. 이때 각 채널에서 발생하는 지연 시간 값을 측정하고 그 값을 저장한다. 이 값은 각각 아래의 값이 된다.

$$\text{채널 1을 기준 한 채널 2의 신호 인가 모드 지연 시간} = Td2 + Tl2 + Tl1 + Tc1 \dots \text{식1}$$

$$\text{채널 1을 기준 한 채널 3의 신호 인가 모드 지연 시간} = Td3 + Tl3 + Tl1 + Tc1 \dots \text{식2}$$

위 식에서는 각 채널의 지연 시간 외 채널1의 도선 지연 시간과 비교기 지연 시간이 포함되어 있으나 같은 값이 더해진 형태가 되므로 결과에는 영향을 미치지 않는다.

각 채널의 신호 인가 모드시의 지연 시간을 모두 비교하여 가장 긴 채널의 지연 시간과 같도록 각 채널의 지연 소자의 지연 시간을 설정하면 신호 인가 모드시의 채널 간 지연 시간 차이의 보정은 완료된다. 채널 개수가 3개 이상일 경우도 동일한 방법으로 지연시간 보정이 가능하다. 신호 수신 모드 시에는 그림 5와 같이 채널을 설정하고, 신호 인가 모드와 동일한 방법으로 보정이 가능하다.

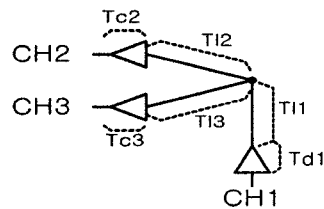


그림 5. 신호 수신 모드 시 지연시간 보정을 위한 채널 설정

4.2 기준 채널의 지연 시간 보정

기준으로 사용된 채널 1의 신호 인가 모드시의 지연 시간은 아래 식과 같다.

$$\begin{aligned} \text{채널 1을 기준 한 채널 1의 신호 인가 모드 지연 시간} &= Td1 + Tl1 + Tl1 + Tc1 \\ &= Td1 + Tc1 + 2Tl1 \dots \text{식3} \end{aligned}$$

채널 2나 채널 3과 같은 방법으로 지연 시간을 측정할 경우 채널 1의 드라이버와 비교기가 단락되어 있기

때문에 도선에 의한 지연 시간, T11이 포함되지 않는다. 하지만 채널 1 또한 실제 테스트 시에 사용되어야 할 채널이므로 보정을 거쳐야 한다. 식3의 T11을 실제로 측정 할 수는 없으나 계산으로 구할 수 있다.

각 채널의 드라이버로 신호를 인가하고 비교기로 수신하여 시간을 측정하면 식 4,5,6을 얻을 수 있다.

$$Td1 + Tc1 = a \quad \dots \text{식4}$$

$$Td2 + Tc2 = b \quad \dots \text{식5}$$

$$Td3 + Tc3 = c \quad \dots \text{식6}$$

다른 채널로 신호를 인가하고 수신하면 아래 6개식을 얻을 수 있다.

$$Td1 + Tl1 + Tl2 + Tc2 = d \quad \dots \text{식7}$$

$$Td2 + T21 + Tl1 + Tc1 = e \quad \dots \text{식8}$$

$$Td2 + Tl2 + Tl3 + Tc3 = f \quad \dots \text{식9}$$

$$Td3 + Tl3 + Tl2 + Td2 = g \quad \dots \text{식10}$$

$$Td1 + Tl1 + Tl3 + Tc3 = h \quad \dots \text{식11}$$

$$Td3 + Tl3 + Tl1 + Tc1 = i \quad \dots \text{식12}$$

상기 9개의 식을 이용하면 식 12에서와 같은 T11을 구할 수 있다. 이 값을 이용하면 기준 채널로 사용된 채널 1도 지연 시간 보정이 가능하다.

$$Tl1 = \frac{d + e + h + i - f - g - a}{4} - \frac{a}{2} \quad \dots \text{식11}$$

## V. 실험 및 결론

로직 테스터의 각 채널을 위와 같은 방법으로 지연 시간 차이를 보정하였다. 그림 5에서 나타난 바와 같이 실험에 사용된 두개 채널은 약 4ns의 지연시간 차이가 있었다. 하지만 지연 시간 보정 후 그림 6에서 나타난 바와 같이 두 채널의 지연 시간 차이는 100ps내로 줄어들었다.

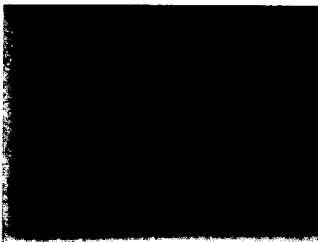


그림 5. 지연시간 보정 전 2개 채널의 지연시간 차이



그림 6. 지연시간 보정 후 2개 채널의 지연시간 차이

실제 반도체 생산 라인에서 사용되는 로직 테스터는 제품 생산에 있어서 마지막 검사에 사용된다. 이 때문에 로직 테스터는 정밀해야 함은 물론이고 시간 교정을 위해 장비를 멈추는 시간이 길어서는 안 된다. 로직 테스터는 제품 생산량과 직결되기 때문에 실시간으로 지연 시간 보정이 이루어져야 한다.

본 논문에서는 로직 테스터 채널을 모델링하고 지연 시간 차이를 최소화 할 수 있는 하드웨어를 제시하였다. 또 실제 실험에서 제시한 방법을 통하여 지연시간 차이 보정이 이루어짐을 확인할 수 있었다. 따라서 로직 테스터에서 제시한 방법을 이용하여 지연 시간을 보정할 경우 추가 측정 장비 없이 빠른 시간 내에 자동으로 시간 보정 작업이 가능할 것으로 사료된다.

## 참고문헌(또는 Reference)

- [1] Guy Perry, *The Fundamentals of digital semiconductor testing*, Soft test Inc., pp. 3\_1-3\_7, 2002.
- [2] 박용수, *반도체 VLSI 테스트 기초 및 활용*; 히드텍, pp. 109-110, 2001.
- [3] Robert J. Feudate, Jr and Steven M. McIntyre. *Introduction to VLSI testing*, Prentice hall. pp. 52-53, 1988.
- [4] Advantest corporation training department, *VLSI test systems training school text*, Advantest corporation, pp.1\_4-1\_5, 1988