2002년도 대한전자공학회/대한전기학회 시스템 및 제어분야 합동 추계학술대회 논문집(2002.11.30)

2.5 Gb/s 클럭 및 데이터 복원 회로의 설계

이 영 미, 우 동 식, 이 주 상, *김 강 욱, *유 상 대
경북대학교 대학원 전자공학과, *경북대학교 전기전자컴퓨터학부
전화 : 053-940-8837 / 핸드폰 : 016-711-0210

Design of a 2.5 Gb/s Clock and Data Recovery Circuit

Young Mi Lee, Dong Sik Woo, Ju Sang Lee, *Kang Wook Kim, *Sang Dae Yu
Department of Electronics, Graduate School, Kyungpook National Univ.
*School of Electronical Engineering and Computer Science, Kyungpook National Univ.
E-mail : ymlee0210@korea.com

Abstract

A design of clock and data recovery (CDR) circuit for the SONET OC-48 using a standard 0.18 ㎛ CMOS process has been performed. The phase detector and the charge pump must be able to operate at the 2.5 Gb/s input data speed and also accurately compare phase errors to reduce clock jitter. As a phase detector, the Hogge phase detector is selected but two transistors are added to improve the performance of the D-F/F. The charge pump was also designed to be placed indirectly input and output. A general ring oscillator topology is presented and simulated. It provides five-phase outputs and 220 MHz to 3.12 GHz tuning range.

I. 서론

최근 몇 년간 인터넷 사용자수 뿐만 아니라 멀티미디어와 같이 데이터 집중적인 application이 증가하면서 인터넷 백본 (backbone)에 전달되는 데이터의 양 또한 과히 폭발적이라 할 수 있다. 이러한 많은 양의 데이터를 적은 손실과 넓은 대역폭으로 전송할 수 있는 매체 가운데 Optical fiber가 가장 적당하며, 이를 이용한 데이터 전송이 광범위하게 사용되고 있다 [1].

광 신호를 전송하는 전송망에서 데이터를 복구하는 방법으로는 전광 (O/O/O: optical-optical-optical)과 광전광 (O/E/O: optical-electrical-optical) 방식이 있다. 광전광 방식은 전광 방식에 비해 광-전 변환으로 인한 추가 비용이 드는 단점에도 불구하고, 상용 전송망에 범용 적으로 사용되고 있다. 이러한 광전 변환시스템에서 신호의 재생은 재증폭 (reamplification), 재형성 (reshaping), 그리고 재타이밍 (retiming)의 3가지 단계를 거치는데 흔히 3R-regeneration 이라고 한다.

본 연구에서는 인터넷의 백본으로 널리 쓰이고 있는 SONET OC-48용으로 사용가능한 2.5 Gb/s 클럭 및 데이터 복원기를 1.8 V 0.18 ㎛ CMOS 공정을 이용하여 디자인 하고 ADS로 그 동작상태를 검증하였다.

II. 클럭 및 데이터 복원기 구조

그림 1은 광전송 시스템을 위한 광통신 수신기이다.

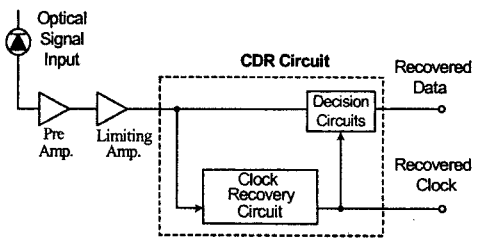


그림 1. 광통신 수신기

수신기의 동작은 수신된 광 신호가 photo detector에 의해 전기적 전류로 변환됨으로서 시작된다. 전기적 전류는 전치 증폭기와 limiting 증폭기를 거치면서 다음 단계를 위한 충분히 큰 신호와 모양의 전압으로 재증폭되고 재형성된다. 이러한 광섬유 수신기의 핵심은 클럭 및 데이터 복원기(CDR: clock and data recovery circuit)로서 photo-diode를 통해 변환된 광신호의 클럭을 CDR을 통해 재생하고, 이 재생된 클럭에 데이터를 동기화 시켜 보내는 장치이다. 그림 2는 이러한 CDR의 블록 다이어그램이다.

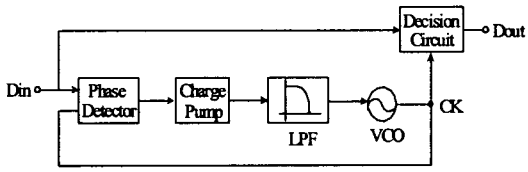


그림 2. 클럭 및 데이터 복원기 구조

복원기의 입력 신호는 연속적인 1 또는 0의 데이터의 NRZ (non-return to zero) 포맷이나, 이 신호에는 클럭 신호에 대한 어떠한 정보가 전송되지 않으므로 위상 비교기는 이러한 랜덤 데이터의 위상차를 추출할 수 있어야 한다. 또한 데이터의 automatic retiming도 할 수 있는 구조를 택함으로서 decision circuit의 제거로 인한 시스템의 복잡도와 면적을 줄이도록 한다. 위상비교기의 위상 오차는 차지 펌프와 루프 필터를 거치면서 오실레이터의 컨트롤 전압으로 입력된다. 컨트롤 전압에 따라 오실레이터의 출력 주파수는 증가 또는 감소하게 되어 Din이 CK와 같도록 조정된다.

III. 주요 빌딩 블록

2.1 위상 비교기

클럭 및 데이터 복원기 회로에서 위상 비교기(phase detector)는 전압 제어 발진기와 입력 데이터 시퀀스간의 phase lock을 제공하는 중요한 블럭이다. 위상 비교기는 데이터와 클럭의 영점 교차 (zero crossings) 간격에 대한 정보를 제공한다. 이러한 위상 정보는 전압 제어 발진기의 컨트롤 전압으로 사용되고 phase lock이 이루어지면, 이 전압은 일정한 상수로 유지된다.

연속적인 1 또는 0이 나타나는 NRZ (non-return to zero) 형태와 같은 랜덤 신호에 대한 위상 오차는 선형 또는 바이너리 위상 비교기로 얻을 수 있는데, 그림 3은 선형 위상 비교기로 많이 쓰이는 Hogge phase detector이다.

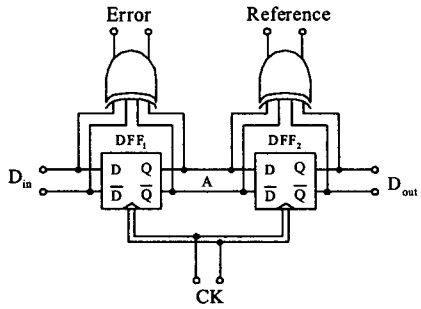


그림 3. Hogge phase detector

위상 오차는 Error와 Reference의 차이를 구함으로서 얻을 수 있는데 이 두 신호는 데이터의 천이 때 마다 일어나며 Error는 클럭 및 데이터의 위상차에 비례하는 너비의 pulse를, Reference는 클럭의 반주기에 비례하는 너비의 pulse를 낸다. 이러한 Hogge 위상 비교기의 장점은 phase lock 일 때, 클럭의 영점 교차가 한 비트의 중간에 나타나므로 들어오는 데이터가 자동적으로 retiming되므로 decision circuit이 없어도 되므로 전체 시스템의 복잡도와 파워 소모가 줄어드는 이점이 있다. 그림 4는 위상비교기의 D flip-flop을 구현한 회로이다.

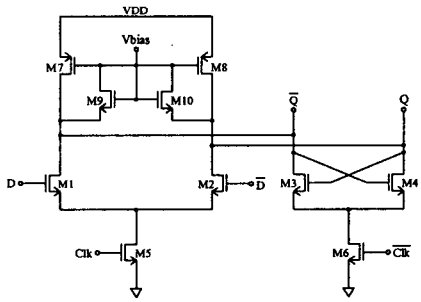
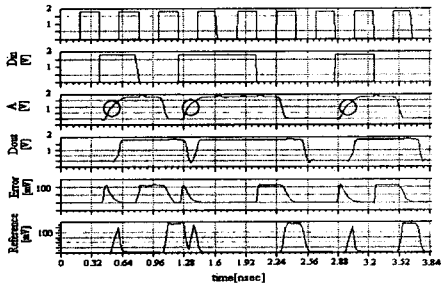


그림 4. 개선된 ECL-like D-F/F

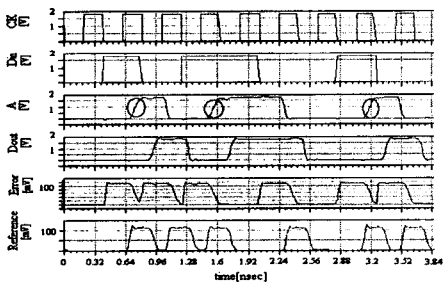
2.5 Gb/s의 높은 주파수의 신호를 비교해야 하므로 고속 동작이 가능한 ECL-like D flip-flop을 이용한다. 그러나 일반적인 ECL-like D flip-flop는 slew rate 가 낮다는 단점이 있으므로 여기서는 M9와 M10을 추가하여 slew rate를 높이고 동작 최대 동작 주파수 높였다. 두 개의 부가적인 트랜지스터는 정상 동작동안에는 OFF 상태로 D flip-flop에는 영향이 없다가, 입력 신호의 급격한 변화가 일어날 때 트랜지스터는 ON 되면서 보다 빨리 극복하게 해준다.

그림 5는 일반적인 ECL-like D flip-flop을 이용한 것과 개선된 ECL-like D flip-flop을 이용한 결과이다.

D flip-flop의 출력 파형(A) 서로 비교해 보면 그림 5(a)가 슬루율이 낮아서 끌어짐을 알 수 있다. 뿐만 아니라 그림 5(a)에서는 D flip-flop의 출력(A)이 입력 파형을 빨리 따라 가지 못함에 따라 다음 출력 결과인 Dout, Error, Reference 파형에도 영향을 주어 왜곡을 보이고 있다. 반면 그림 5(b)에서는 D flip-flop의 파형(A)의 슬루율이 비교적 개선되어서 Dout, Error, Reference에도 올바른 출력 결과를 내고 있다.



(a)



(b)

그림 5. (a) 일반적인 ECL-like D-F/F를 이용한 결과 파형
(b)개선된 ECL-like D-F/f을 이용한 결과 파형

2.2 전압 펌프 및 루프 필터

그림 6(a)와 같은 일반적인 전하 펌프 (charge pump)에서는 스위치 M1과 M2가 출력 단에 직접적으로 연결되어 있기 때문에 전류의 ON/OFF 가 일어날 때마다 적지 않은 글리치를 유발하게 된다. 따라서 스위치가 출력에 간접적으로 연결되도록 그림 6(b)와 같이 스위치 M2과 M3을 추가하여 글리치의 영향을 줄이도록 한다. 글리치가 일어날 때 M2와 M5는 여전히 OFF 상태이므로, M1과 M6의 글리치로 인해 M2와 M5의 소스에서 일어나는 전류 글리치는 출력 단에 직접적으로 전해지지 않는다 [4]. 부가적인 트랜지스터는 active cascode를 이루기 위한 것으로 각각의 sourcing 또는 sinking동안 고출력 임피던스를 제공한다. 다시 말해 M3과 M4는 M2를 위한, M7과 M8은 M5를 위한 cascode이다. M4와 M7은 공통 소스 증폭기 M3과 M8에 대해 전류원 부하로 각각 동작한다.

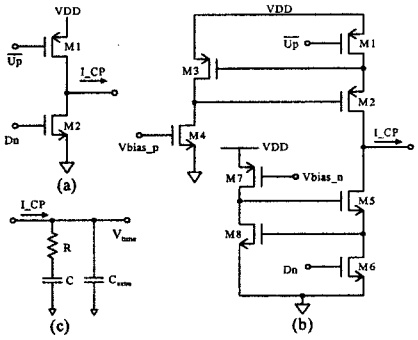


그림 6. (a) 일반적인 전하 펌프
(b) 개선된 전하 펌프
(c) 루프 필터

그림 7은 up 또는 dn 신호가 M1 또는 M6을 스위칭했을 때의 출력 파형 I_CP를 각각 보여준다. 그림에서 보듯이 up과 dn 신호에 의한 출력 파형 두 개의 I_CP는 어떠한 스파이크도 없으며 좋은 전류 매칭을 보여준다[4].

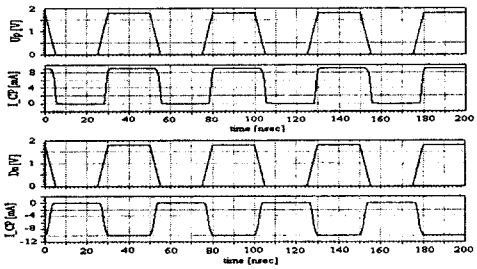


그림 7. 개선된 전하 펌프의 출력 파형

그림 6 (c)는 high frequency jitter를 최대한 줄이기 위해 직렬 RC와 병렬로 C_{extra}를 추가해서 2nd order로 구성한 loop filter이다.

2.3 전압 제어 발진기

전압 제어 발진기(VCO)는 입력 전압변화에 대해 대체로 선형적으로 변하는 출력 주파수를 발생시키는 소자로 그림 8처럼 홀수 개의 반전 증폭기를 루프 형태로 연결한 회로이다.

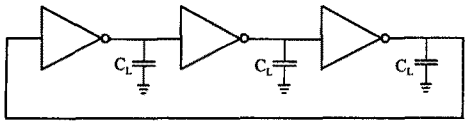


그림 8. 링 발진기

링 발진기 회로에서 각 반전 증폭기 부하 커피시터 C_L로 인해 입력 신호와 출력 신호 사이에 위상차가 발생한다. 이 위상차는 신호 주파수에 따라 달라지는데, 루프를 한 바퀴 돌았을 때의 위상차가 180°가 되는 주파수에서 링 발진기는 발진하게 된다. 또 발진이 이루어지려면 발진 주파수에서의 루프이득 크기가 1또는 그 이상의 값을 가져야한다 [5]. 그림 9는 반전 증폭기 중에서 가장 간단한 CMOS 인버터로 링 발진기를 이용하여 디자인한 회로도이다.

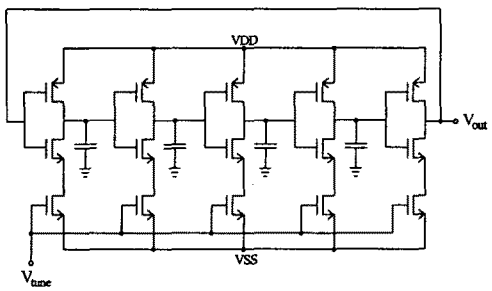
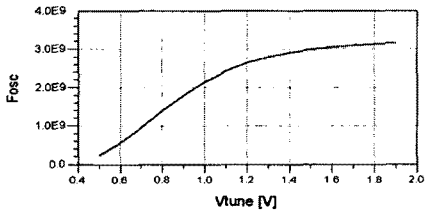


그림 9. CMOS 인버터를 이용한 VCO 회로도

그림 10은 디자인된 링 발진기의 tuning range와 Vtune이 1.1V일 때의 출력 파형이다.



(a)

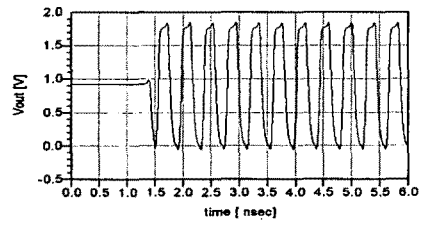


그림 10. (a) tuning range
(b) Vtune=1.1V일 때의 VCO 출력

V. 결론

본 연구는 1.8 V 0.18 ㎛ CMOS 공정을 이용하여 SONET OC-48용인 2.5 Gb/s 클럭 및 데이터 복원기를 설계하였다. 2.5 Gb/s라는 높은 주파수를 처리하기 위해 위상 비교기의 내부에 ECL-like D flip-flop을 이용하였으나 주파수가 높아짐에 따라 slew rate가 낮아짐에 따라 다음 단의 입출력 특성에도 좋지 않은 영향을 끼치면서 전체 클럭 및 데이터 복원기의 지터 특성을 약화시킨다. 따라서 본 논문에서는 클램프의 역할을 하는 두개의 트랜지스터를 추가하여 입력의 큰 변화에 대한 응답 신호의 transient time과 slew rate을 보다 높이고 또한 동작 주파수도 올리는 효과를 얻었다. 전하 펌프 또한 스파이크가 일어나지 않도록 스위치와 출력 단자를 간접적으로 연결시켰다. VCO는 일반적인 링 발진기를 이용하였고 5 phases를 제공한다. control voltage가 0.5V~1.8V로 변할 때 디자인 된 VCO의 tuning range는 220 MHz~3.12 GHz 였다. 따라서 디자인된 클럭 및 데이터 복원기는 SONET OC-48에 활용될 수 있을 것으로 사료된다.

Acknowledgement

이 논문은 2002년 한국전자통신연구원의 지원에 의해 연구되었음 (계약 번호:1010-2002-0068).

참고문헌

[1] Jafar Savoj and Behzad Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector," *IEEE J. Solid-State Circuits*, vol. 36, pp. 761~766, 2001.

[2] J. Christoph Scheytt, Gerhard Hanke, and Ulrich Langmann, "A 0.155-, 0.622-, and 2.488-Gb/s Automatic Bit-Rate Selecting Clock and Data Recovery IC for Bit-Rate Transparent SDH Systems," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1935~1943, Dec. 1999.

[3] C. Hung and Kenneth K. O, "A fully integrated 1.5-V 5.5-GHz CMOS phase -locked loop," *IEEE J. Solid-State Circuits*, vol. 37, no 4, pp. 521~525, April 2002.

[4] Young-Mi Lee, Ju-Sang Lee, Ri-A Ju, Bu-Cheol Jang, and Sang-Dae Yu, *"Design of A 1.8-V CMOS Frequency Synthesizer for WCDMA,"* ITC-CSCC2002 vol. 2, pp. 1312~1316. July 2002.

[5] 박홍준, *CMOS 아날로그 집적회로 설계(하)*, Σ시그마프레스, 1999.