

IMT-2000 단말기용 CMOS RF 전력 증폭기의 설계

이 동 우, 한 성 화, 이 주 상, *유 상 대
경북대학교 대학원 전자공학과, *경북대학교 전자전기컴퓨터학부
전화 : 053-940-8837 / 핸드폰 : 019-532-8665

Design of A CMOS RF Power Amplifier for IMT-2000 Handsets

Dong-Woo Lee, Seong-Hwa Han, Ju-Sang Lee, *Sang-Dae Yu
Dept. of Electronics, Graduate school, Kyungpook National Univ.
*School of Electronical engineering and Computer Science, Kyungpook National Univ.
E-mail : dongss@palgong.knu.ac.kr

Abstract

A CMOS power amplifier for IMT-2000 is designed with 0.25- μm CMOS technology. This amplifier circuits consist of two cascode stages. Used cascode structure has good reverse isolation. These amplifier circuits consist of two stages which are driver stage and power amplification stage. The designed power amplifier is simulated with ADS using 0.25- μm CMOS library at 3.3 V power supply. Simulation results indicate that the amplifier has a PAE of 39 % and power gain of 24 dBm at 1.95 GHz.

I. 서론

현대는 정보의 시대라고 일컬어지고 있으며 지난 20년 동안 무선 통신의 혁명기라 불릴 정도로 놀랄만하게 발전해 왔다. 최근에는 전파를 이용하여 공간의 제약을 극복한 무선 통신기술이 크게 부각되고 이동 통신에 대한 수요는 폭발적으로 증가되고 있으며 이러한 추세는 계속 이어질 것이다. 가격이 저렴한 개인용 통신 시스템을 만들기 위해서는 송·수신부의 회로 블록들이 모두 집적화 되어야 한다. 그 중에서도 RF 전력 증폭기는 이동 통신

시스템의 데이터 송신부에서 가장 핵심적인 부분이며, 송신 시스템에서 가장 많은 전력을 소모한다. 이러한 이유로 저가격, 소형화, 저전력 등이 유리한 CMOS 공정이 미래의 공정으로 부각되고 있다. 무선 통신 시장이 급속하게 성장함에 따라 휴대용 단말기 등의 저전력화, 경량화, 저가격화의 실현을 위해서 RF 전단부의 집적화는 필연적이다. CMOS 공정 기술의 발달로 게이트의 최소 선폭이 1 μm 이하로 낮아지면서 RF 주파수 대역에서의 CMOS 소자의 이용이 가능하게 되었다. 그러나 아직까지 CMOS 전력 증폭기에 대한 연구는 미약한 실정이다.

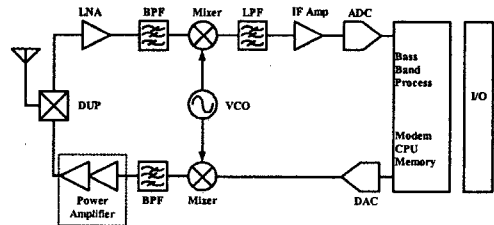


그림 1. RF 송수신부의 블록 다이어그램.

그리고, 제 3세대 이동 통신 시스템으로서 IMT-2000 (International Mobile Telecommunication 2000) 서비스의 특징은 기존의 이동통신망에서 제공되는 단말이동성

서비스뿐만 아니라 개인 이동성 및 서비스 이동성 서비스를 제공하게 되고 사용자 전송속도의 광대역화를 통한 음성, 영상, 고속 데이터 통신이 가능하며 WLL, 위성부문등의 이동 통신망과 유선 통신망을 통합하여 다양한 지능형 멀티미디어 서비스까지 제공하게 되며, 글로벌 로밍을 지원한다. IMT-2000 단말기의 RF 블록에서 전력 증폭기는 RF 모듈중에서 송신부의 안테나 입력단 앞에 위치하며 최대한의 신호 대 잡음비 값을 달성하면서 입력신호를 증폭시키는 역할을 한다. 또한 IMT-2000 전력 증폭기 개발에서 가장 중요한 요소는 1.92 ~ 1.98 GHz의 주파수 범위에서 최대 출력과 함께 높은 효율을 달성하는 것이다. 높은 PAE (Power Added Efficiency) 값은 휴대전화기의 통화 시간을 좌우한다. 따라서 우수한 전력증폭기를 제작하기 위해서는 높은 선형성을 유지하면서 고효율을 갖도록 소자 구조와 회로 설계 측면을 모두 개선해야한다. 또 다른 중요한 사항은 단말기의 휴대성과 소형화를 위하여 배터리 전력소모를 줄일 수 있도록 전력증폭기의 동작전압을 최소화하여 향후 표준으로 예상되는 3.5 V 이하의 단일 전원에서 동작이 가능하게 설계 제작되어야 한다.

II. 전력 증폭기의 설계

전력 증폭기는 트랜지스터인 능동소자의 입·출력단에 임의의 임피던스를 특정 임피던스로 변환시키는 정합회로와 능동소자의 동작점을 결정해주는 바이어스 회로, 그리고 전력을 결합시키거나 분배시키는 전력결합기나 전력분배기를 접속한 회로이다. 일반적으로 소스에서 나오는 전력이 부하에 가장 많이 전달되기 위한 조건은 소스의 임피던스와 부하의 임피던스가 공액 복소수의 관계에 있을 때이다. 임피던스 정합회로는 소스에서 로드로 최대 전력 전달이 일어날 수 있도록, 어느 한 임피던스를 다른 임피던스의 쥘레 복소수가 되도록 변환 시켜주는 역할을 하는 회로이다. 이를 트랜지스터 증폭기 회로의 일반적 구성 형태인 그림에 적용시켜 보자.

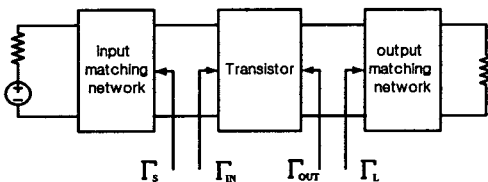


그림 2. 전력 증폭기의 블록 다이어그램.

그림 2에서 소스로부터 나온 전력이 최대한 많이 트랜지스터로 전달되기 위해서는 $\Gamma_S = \Gamma_{IN}^*$ 가 되어야 하

고, 다시 트랜지스터로부터 나온 전력이 최대한 많이 부하로 전달되기 위해서는 $\Gamma_L = \Gamma_{OUT}^*$ 가 되어야 한다. 즉, 이를 정리하면 그림에서 소스로부터 나온 전력이 최대한 많이 부하로 전달되기 위해서는 $\Gamma_S = \Gamma_{IN}^*$, $\Gamma_L = \Gamma_{OUT}^*$ 을 동시에 만족해야만 한다.

정합회로 설계에는 집중 소자 (lumped element)를 이용하는 방법과 스트립라인을 이용하는 방법이 있는데, 약 2 GHz 이하의 주파수 대역에서는 주로 집중 소자를 이용한 정합 회로 설계가 주로 사용된다.

이득 정합 회로는 소스로부터 들어온 전력을 트랜지스터에서 증폭시켜서 얼마나 많이 부하에 전달시킬 수 있는지의 전력이득이 핵심인 반면, 고효율 정합회로는 이 전력 이득보다는, 소스로부터 전달된 전력을 트랜지스터에서 증폭시켜 얼마나 큰 전력을 얻을 수 있느냐가 그 요체이다. 이를 위해서는 소신호 S-파라미터를 이용한 이득 정합회로를 이용하여 얻을 수 있는 이득을 어느 정도 희생시켜 큰 출력 전력을 얻을 수 있어야 한다. 출력측에서는 최대 출력을 얻을 수 있도록 전력 정합 (power matching)을 하고 입력측에서는 높은 이득을 얻을 수 있도록 이득 정합 (gain matching)을 한다. 하지만, 증폭기를 대신호로 동작시킬 경우 트랜지스터의 S-파라미터가 소신호 S-파라미터와 크게 달라지므로 대신호 입력시에는 많은 입력 손실이 발생하게 된다. 다만 구조의 경우에는 입출력 정합뿐만 아니라 앞단 증폭회로와 뒷단 증폭회로를 연결하는 단간 정합 (interstage matching)의 설계에 따라 많은 손실이 발생할 수도 있으므로 단간 정합 회로 설계에도 각별히 신경을 써야 한다 [1,4,9]

표 5. 전력 증폭기의 설계 목표 [8].

	목표 사양
주파수	1.92 GHz ~ 1.98 GHz
동작 전압	3.3 V _{DC}
출력 전력 (P _{1-dB})	≥ 27 dBm (500 mW)
전력 이득	24 dB
전력 부가 효율 (PAE)	30 %

본 논문에서 설계한 전력 증폭기는 표 1의 설계 목표에 부합되도록 하기 위해서 구조는 그림 3과 같이 캐스코드 구조를 사용함으로써 앞단에서 보여지는 입력 커패시턴스 성분이 물리적인 C_{gd} 성분보다 상당히 커지는 Miller 효과를 줄이고자 하였으며, 출력 저항 성분의 증가로 인한 높은 이득을 얻을 수 있다. 캐스코드 구조는 고주파, 고전력단에서 입력과 출력 사이에 역방향 차단 특성이 좋으므로 피드백으로 인해 전력 증폭단이 불안정해지는 것을 막을 수 있다. 그리고 잡음 지수의 악화를

가져오는 저항을 사용하지 않고 L과 C로만 50 Ω 정합회로를 구성하였다.

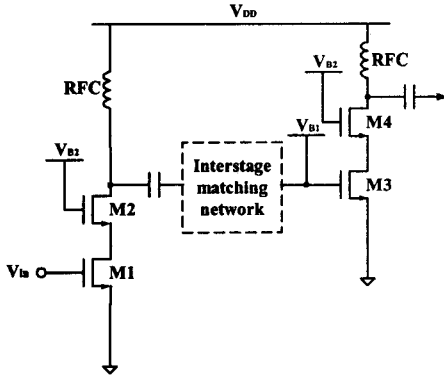


그림 3. 설계된 전력 증폭기의 구조.

우선 공급 전원이 임피던스 변환이 없이도 500 mW를 충분히 부하에 공급할 수 있다면 식 (1)을 만족 할 것이다. 그러나 분명히 공급 전압이 충분하지 않다. 따라서

$$P_{max} = \frac{V_{DD}^2}{2R} = \frac{(3.3)^2}{2 \cdot 50} \approx 0.1 \text{ W} \quad (1)$$

임피던스 변환이 필요하게 된다. 변환된 저항의 최대치는 식 (2)에서 보는 바와 같다. 이 값은 계산에 의한 값이며 실제로는 더 작은 값인 8 Ω으로 변환하였다.

$$R_{max} = \frac{V_{DD}^2}{2P_{max}} = \frac{(3.3)^2}{2 \cdot 0.5} \approx 11 \Omega \quad (2)$$

8 Ω 저항의 경우 RF 전류의 최대치는 $V_{DD}/R = 413$ mA가 되고, DC Drain 전류도 같은 값이 된다 [2].

RFC (RF Chock)값을 결정하려면 우선 RFC가 RF 전류의 흐름을 억제할 수 있을 만큼 충분히 커야한다.

$$X_{RFC} \geq 10 \cdot 8 \Omega \Rightarrow RFC \geq 6.4 \text{ nH} \quad (3)$$

식 (3)에 의해 RFC의 값은 7 nH로 정하였다. 500 mW의 전력을 얻기 위해 최적 저항을 결정해야 한다. 위 식들을 만족하는 R_{opt} , V_{peak} , I_{peak} 는 각각 8 Ω, 6.6 V, 150 mA이다 [2,3].

III. 모의 실험 결과

본 논문에서 설계한 회로들은 ADS를 이용하여 설계하였고, 모델 파라미터는 0.25 μm BSIM3 모델 파라미터를 사용하였다. 1.95 GHz에서 동작하며 27 dBm의 최대 출력을 내는 전력 증폭기를 설계하였다.

그림 4는 정합후의 S_{11} 을 보여주며, 그림 5를 통해서 1.95 GHz에서 출력 전압이 약 27 dB가 됨을 알 수

다.

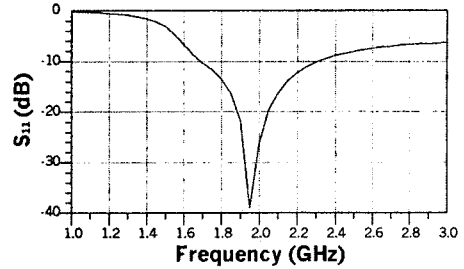


그림 4. 정합 후의 S_{11} .

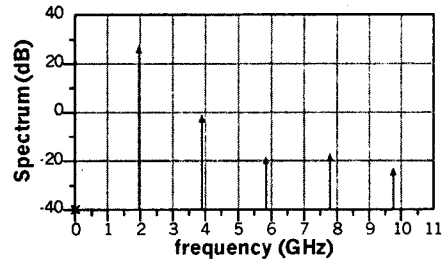


그림 5. 출력 스펙트럼.

그림 6에서 OIP3 (Output 3rd Intercept Point)를 추측해 볼 수 있으며 증폭기의 선형성이 보장되는 최대 신호 레벨인 P_{1dB} (1-dB gain compression point)를 측정하여 설계된 전력 증폭기의 선형 특성을 파악할 수 있다.

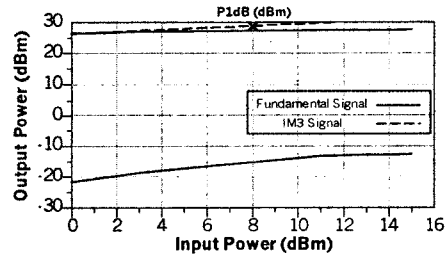


그림 6. P_{1dB} 의 측정.

본 논문에선 PAE로 정의된 효율을 사용하였다. PAE는 출력 전력에서 입력 전력의 차이를 사용함으로써 더 정확한 효율을 정의할 수 있기 때문이다.

$$PAE \equiv \frac{P_{out} - P_{in}}{P_{DC}} \quad (4)$$

그림 7은 출력 전력에 대한 효율 (PAE)의 특성을 측정하였다. 출력 전력이 27.5 dBm 부근에서 최대 효율을 보이다가 27.5 dBm을 넘어서면서 효율이 급격히 떨어짐을 볼 수 있다.

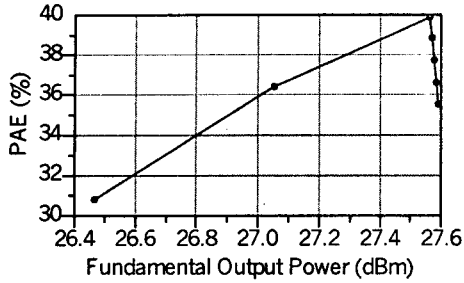


그림 7. 출력 전력에 따른 PAE.

일반적으로 회로에서 반사되는 전력은 회로에 입사된 전력에 비해 작지만 특정 임피던스로 다른 한 쪽 단자를 종결하면 회로에서 반사된 전력보다 커지는 경우가 있으며 이 경우 증폭기가 발진하므로 안정도를 고려해야 한다. 회로가 어떤 종결 상태에서도 다른 한 쪽의 반사 계수가 1보다 크지 않은 경우 무조건 안정하다고 하며 식 (5)와 식 (6)을 만족하는 경우이다 [4-6].

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{11}S_{21}|} > 1 \quad (5)$$

$$b = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0 \quad (6)$$

안정도 판별을 동작 주파수 영역 뿐 아니라 DC에서 최대 발진 주파수까지의 주파수 영역에서 확인해야 한다. 그림 8은 안정도 상수 k와 b를 모의 실험한 결과이다. k>1, b>0이므로 그림 8은 두 식을 모두 만족함을 알 수 있다. 따라서 이 전력 증폭기는 절대 안정 영역에 있다고 말할 수 있다.

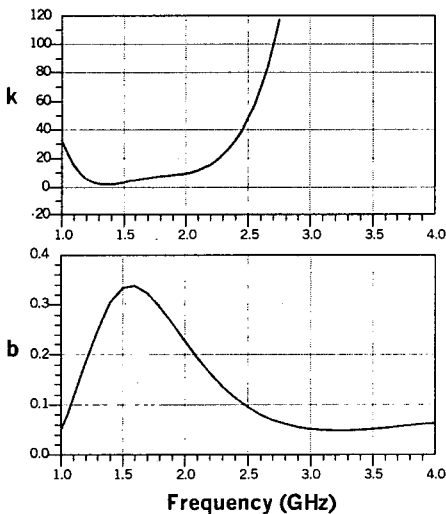


그림 8. k와 b의 주파수 응답.

IV. 결론

본 논문에서는 두 단의 캐스코드 구조를 이용한 전력 증폭기를 설계하였다. 캐스코드 구조를 사용함으로써 잡음에 강한 전력 증폭기를 설계하였다. 두 증폭단 모두 전원 전압을 3.3 V로 하였고 바이어스 전압은 1 V로 구성하여 AB급 증폭을 하여 전력 소모를 줄이고자 하였다. 모의 실험은 ADS를 사용하였고 0.25 μm BSIM3 모델 파라미터를 이용하여 설계하였다.

설계된 전력 증폭기로부터 약 27 dBm의 출력과 약 30 dBm의 P_{1dB}와 최고 39 %의 PAE를 얻을 수 있었다. 앞으로의 과제는 효율의 향상과 선형성 증가를 위한 보상 회로의 설계가 수반되어야 할 것이다. 그리고 차동 구조를 적용한다면 입력단의 공통 모드 노이즈의 영향이 출력단에 나타나지 않고 출력 전압 스윙을 크게 할 수 있어 더 우수한 특성을 얻을 수 있을 것이다.

참고문헌

- [1] Steve C. Cripps, *RF Power Amplifiers for Wireless Communications*, Architecture House, INC. 1999.
- [2] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press, 1998.
- [3] Behjad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [4] A. A. Abidi and J. C. Leete, "De-embedding the noise figure of differential amplifiers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, Jun. 1999.5.
- [5] A. N. Karanicolas, "A 2.7-V 900-MHz CMOS LNA and mixer," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939-1944, Dec. 1996.
- [6] King-Chun Tsai and Paul R. Gray, "A 1.9 GHz 1-W CMOS class E power amplifier for wireless communications," *IEEE J. Solid-State Circuits*, vol. 34, no. 7, Jul. 1999.
- [7] Ravi Gupta, "Design and optimization of CMOS RF power amplifiers," *IEEE J. Solid-State Circuits*, vol. 36, no. 2, Feb. 2001.
- [8] 삼성전기, "최종 연구 개발 결과 보고서 : IMT-2000 단말기용 전력 증폭 MMIC 모듈 개발", 정보 통신부, 2002.
- [9] 윤영승, "PCS용 CMOS 전력증폭기", 대한전자공학회 추계종합학술대회 22 vol.2 pp. 1163-1166, 1999.