

VDSL 스위치 시스템 개발

김진영, *박찬원, **김경달
강원대학교 전기공학과 석사과정, *교수, **(주)netlinks
전화 : 033-250-5753 / 핸드폰 : 011-9792-8051

Design and Implementation of NNI Interworking Protocol of OBP Satellite B-ISDN

Jin-Young Kim, Chan Won Park, Kyeong Dal Kim
Dept. electric engineering, Kangwon National University
E-mail : kpander76@yahoo.co.kr

Abstract

본 논문은 VDSL 스위치 시스템 개발에 관한 논문이다. VDSL은 기존의 ADSL이 가지고 있는 전송 속도의 한계를 한 단계 넘어서는 기술이다. ADSL은 장거리 서비스에 비해 VDSL은 단거리에서 고속의 데이터를 전송할 수 있다. 본 시스템은 데이터 전송을 위해 QAM 방식의 VDSL chip set을 이용하였고, 전화선을 이용하여 음성대역 외의 고주파대역을 이용하여 데이터를 전송한다. 본 장비는 넓은 범위의 서비스 지역보다 아파트 같은 밀집된 지역에서의 서비스를 위하여 개발되었다. 이를 구현하기 위해 하드웨어와 소프트웨어의 개발에 대한 본 연구의 결과를 소개하고자 한다.

I. 서론

최근 인터넷의 급속한 성장과 더불어 데이터, 음성, 비디오등 다양하고 많은 양의 데이터를 동시에 전달하기 위해서는 높은 대역폭을 필요로한다. 다양하고 많은 양의 contents를 서비스하기 위해 서비스 공급자에서 가입자까지의 망이 광(Fiber)로 구축되는 것이 가장 이상적이다. 그러나 이러한 망구축은 많은 비용을 요구한다.

xDSL 기술은 전화선을 이용하고, 새로운 설비투자 비용이 필요치 않다는 측면에서 매력적인 해법이라 할 수 있다. 그 중 VDSL은 POTS(Plain Old Telephone Service)제공 시 이용되지않는 음성대역외의 고주파대

역을 이용하여 대용량의 데이터를 전송할 수 있는 기술을 이용한 망이며, VDSL은 상대적으로 단거리 구간에서 고속데이터를 전송하기 위한 기술이기 때문에 가입자택내에서 ONU 까지 1.5Km정도를 TP선을 설치해서 데이터 전송이 가능하다. ADSL과 VDSL은 기술적인 면에서 유사점이 많으나 ADSL 기술은 상대적으로 긴 가입자 회선에 광대역서비스를 제공하고, VDSL은 상대적으로 단거리 구간에 고속데이터를 전송하기 위한 기술이라는 것에 차이점이 있다. 본 논문에서는 VDSL의 기술을 이용한 스위치 시스템 개발에 대하여 설명한다. VDSL 기술은 QAM 방식과 DMT이 적용된다 본 연구에서 사용한 방법은 QAM 방식을 이용한 VDSL chip set을 이용하여 VDSL 시스템을 개발하였다.

본 연구에서는 하드웨어 부분은 전화선을 통해 음성대역외의 고주파 대역을 이용하여 통신을 하는 VDSL PHY부분, 데이터를 처리하는 시스템 컨트롤부, UP-LINK를 위한 Ethernet PHY부분으로 나뉜다.

소프트웨어 부분은 실시간으로 데이터를 처리하기 위해 RTOS 개념을 이용했으며, 모든 제어를 관리하는 메인 프로그램과 각 VDSL PHY단을 처리하기 위한 부분으로 나뉜다.

II. 하드웨어

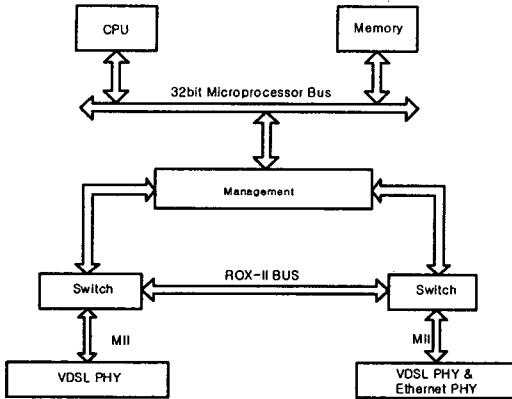


그림 1 하드웨어 블록도

그림 1 는 개발된 VDSL 컨트롤 시스템의 전체 하드웨어 구성도 이다. 전체 블록도를 간단하게 구성하면 제어부(CPU), 시스템부, VDSL PHY부, Ethernet PHY부로 나뉜다.

2.1 CPU 및 시스템

시스템과 CPU와의 data access를 더욱 빠르게 하기 위하여 DMA를 이용하였다. 그러나 CPU와 시스템의 DMA access 방법이 다르기 때문에 동기를 맞추기 위해 CPLD를 사용하였다. 시스템의 경우 early burst DMA 전송 방식이기 때문에 full 4cycle이 필요 없을 경우 DMA access는 빨리 종료가 된다. 이때 CPU는 무조건 4burst 이기 때문에 시스템의 DMA access 종료를 인식하지 못한다. 종료 후 다시 시작 sign access를 시작하면 CPU는 종료하지 않은 상태에서 다시 access data가 들어 오기 때문에 data처리에서 오류를 일으키게 된다. 이를 방지하기 위해 CPLD를 이용하였다.

메인 CPU는 모토로라사의 MPC850을 사용하였으며, 외부 메모리는 4M×16bit CMOS Dynaic Ram을 사용하였다. 시스템부는 ROX-II bus로 구성되어 있다.

ROX bus는 data ring과 control ring으로 구성되어 있다. data ring은 프레임 data, MIB event, system config, status report message 등을 보낼 때 사용된다. Control ring은 data ring에서 data를 전송하기 위한 device들 사이에 ROX-ring protocol message를 교환할 때 사용된다. bus의 각 device는 upstream device로부터 ring protocol message와 수신 data frame을 위한 interface 와 down stream device로 부터의 ring protocol message와 수신 data frame을 위한 interface

가 존재한다. 시스템 구성에서 하나 이상의 device를 가질 때는 각 device에 대하여 라우팅 설정이 필요하다. 각 device는 자기 자신만의 ID를 가진다. MAC interface를 통해 받은 data는 외부 SGRam에 저장한다. SGRam은 8M, 16M×Buffer memory를 사용하였다. 스위치 chip은 flowcontrol 과 back pressure를 제공한다.

시스템과 각 VDSL PHY는 MII을 이용하였다. MII interface는 25MHz clock을 이용하며, 송수신 data는 각 4bit이고, 제어신호가 들어간다.

2.2 VDSL PHY

VDSL PHY는 총 세부분으로 나뉜다. 주요 연산을 처리하는 digital part는 전송 속도를 설정하고, 데이터를 시스템으로 전달해주는 역할을 한다. 전송되는 디지털 데이터를 아날로그 신호로 변조하거나, 아날로그 신호를 디지털 신호로 복조하는 analog part 가 있으며, 아날로그 신호를 증폭하여 TP를 통해 전송하는 line part로 나뉜다. 그림은 VDSL PHY에 대한 블록도를 나타낸 것이다.

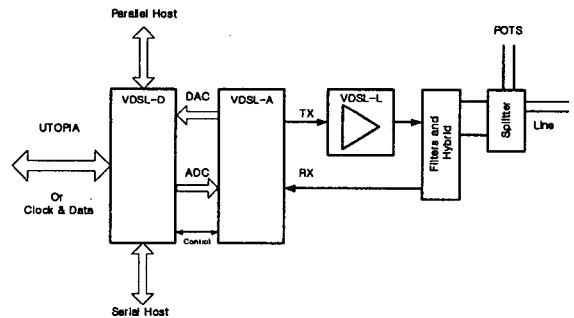


그림 2 VDSL PHY 블록도

Digital part는 embedded 컨트롤러가 내장되어 있다. 이 컨트롤러는 VDSL 모뎀의 제어와 아날로그 부의 컨트롤을 한다. 외부 호스트의 간섭없이 독자적으로 동작할 수 있다. 외부에 시리얼 또는 패러럴 인터페이스를 이용하여 외부 호스트를 옵션으로 연결하여 사용할수 있다. 독자적으로 혼자 동작할 때는 모든 설정(전송속도, 주파수)은 외부 EEPROM을 이용하여 설정할 수 있다. 호스트 모드에서 동작할 때는 EEPROM에 모뎀 설정을 변경 저장할 수 있다. Analog part는 DAC와 ADC로 나뉜다. Tx signal은 12bit의 분해능을 가진 DAC를 거친다. 샘플링 주파수는 25MHz이다. Line의 거리에 따라 power를 최적화시키기 위해 power control unit을 이용한다. Upstream의 경우

far-end crosstalk(FEXT) noise 때문에 단계별 1dB씩 감소한다. Power management 기능은 VDSL PHY 간의 crosstalk을 줄이고, Upstream과 downstream의 최적의 power 균형을 잡기 위해 사용된다. Post filter는 chebyshev filter로 구성되어 있다. Corner frequency는 프로그램 가능하다. Rx signal은 11bit의 분해능을 가지는 ADC를 거친다. 샘플링 주파수는 25MHz이다. Line part 은 analog part에 의해 변조된 신호를 TP를 통하여 전송하는 부분으로 그림 3은 차동 증폭 회로를 나타낸 것이다. 그림 3은 tx부분으로 회로이다. 전송시 신호를 증폭하기 위해서 opamp 차동 증폭을 이용하였다.

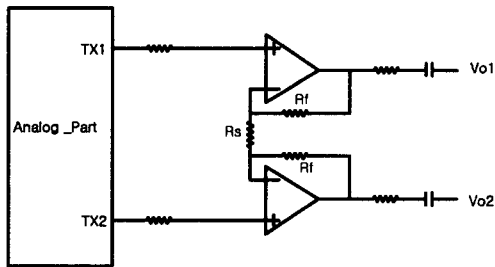


그림 3 VDSL line

그림 3은 VDSL line단 회로이다. Opamp 차동 증폭기를 이용하였으며, 증폭율은 약 2.8정도 된다. 그림 4는 Opamp의 출력을 찍은 파형이다.

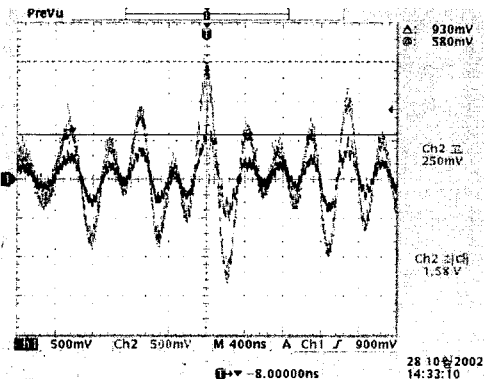


그림 4 차동증폭기 출력 파형

그림 5는 VDSL이 사용자 모뎀과 연결된 상태에서 데이터를 주고 받을때 출력되는 파형을 찍은 것이다. FDD방식을 이용하기 때문에 upstream과 downstream 주파수 대역이 다르다. VDSL에서 사용하는 주파수 대역을 900kHz ~7.5MHz 대역을 사용한다.

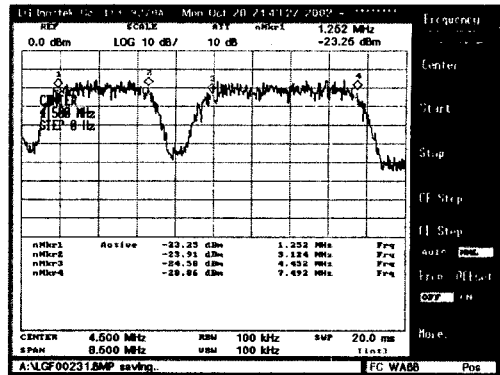


그림 5 VDSL 주파수 대역

III. 소프트웨어 구성

본 연구에서 실시간으로 들어오는 데이터를 처리하기 위해 RTOS를 이용하였다.

3.1 전체 구성

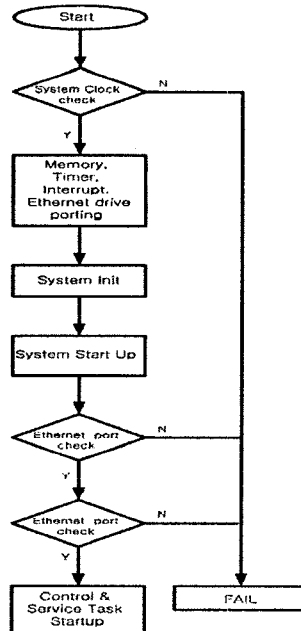


그림 6 S/W 전체 구성도

그림 6은 시스템의 전체 블록도를 나타낼 것으로 최초 전원인가시 power reset을 통해 CPU는 reset이 되고, 시스템 및 VDSL PHY reset이 된다. 서로의 리셋타임이 맞지 않을 경우 시스템과 CPU가 공유하는 DMA의 타이밍이 맞지 않을 경우가 생기므로 reset시 시스템의 각 device들 간의 타이밍이 중요하다. CPU의

초기화에서는 최초 system clock의 초기화가 이루어진다. 메모리 컨트롤러를 통하여 호스트 메모리를 초기화시키고, 타이머와 인터럽트 벡터 및 RS232의 설정한다. 그후 ethernet driver를 올린다. 시스템 컨트롤부분의 초기화를 한 후, 시스템과 각 VDSL 포트 간의 연결을 check한다. 이때 이상이 없을 경우 service task가 동작하여서 시스템은 정상 상태로 들어가게 된다.

3.2. VDSL PHY

그림7은 VDSL PHY의 flowchart이다. 그림에서 보면 알 수 있듯이 최초 전원이 인가된 후에 VDSL PHY는 EEPROM이 존재하는지를 검사한다. EEPROM을 이용하여 VDSL에 설정을 한다. EEPROM이 존재할 경우 시리얼 EEPROM을 통하여 데이터를 VDSL의 각각의 레지스터에 저장을 한다. 만약 EEPROM이 존재하지 않을 경우, LWD(Link Watch Dog ode)로 설정이 된다. 이것은 초기화 모드로 아무런 속도 설정도 되지 않은 상태로 최저의 속도로 설정이되는 경우이다. EEPROM을 통해 속도 설정이 완료된 후, VDSL CO에서 tx 신호를 보낸다. 만약 이때 가입자에 CPE(모뎀)가 연결되어 있으면, tx 신호에 CPE(모뎀)는 응답 신호를 보내고 link가 되면서 서로 서비스가 시작된다.

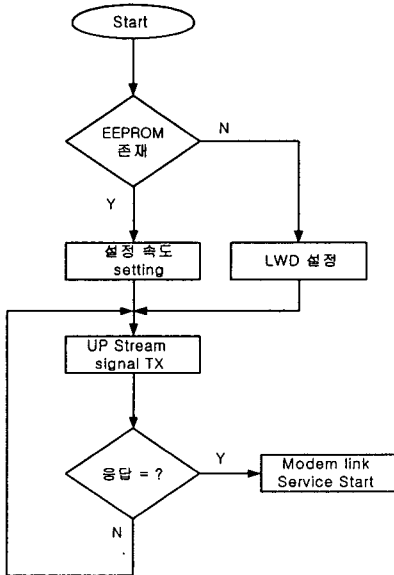


그림 7 VDSL PHY Flowchart

IV. 실험 결과

VDSL 컨트롤 시스템의 속도 테스트는 SMB-6000을 이용하여 테스트 하였다. 그림 10은 1:1로 가입자(모뎀)과 VDSL 컨트롤 시스템을 1Km TP로 연결한 상태에서 64프레임에서 1518프레임 까지 테스트를 하였다.

그림 10은 1:1로 가입자(모뎀)과 VDSL 컨트롤 시스템을 1Km TP로 연결한 상태에서 64프레임에서 1518프레임 까지 테스트를 하였다.

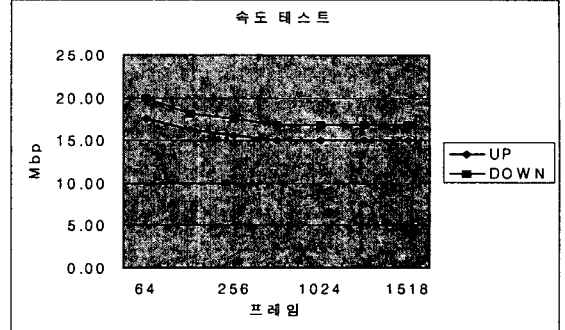


그림 8 프레임별 속도 테스트

그래프에서 볼 수 있듯이 프레임의 크기가 커지더라도 15Mbps의 속도가 나오며 up, down 속도는 asymmetric으로 설정되어 있기 때문에 up, down의 속도 차이가 있다.

VI. 결론

본 논문에서는 근거리 밀집 지역의 서비스 제공을 위한 VDSL 컨트롤 시스템을 설계하였다. 본 연구에서 개발된 시스템은 기존 xDSL에서 가장 빠른 데이터 전송 능력을 실험결과를 통해 확인할 수 있었으며 개발 결과가 양호하여 현재 국내 필드에서 시험적으로 사용하고 있으며, 일본의 일부지역에도 기술 수출에 의한 서비스를 진행 중에 있다. 본 연구에서 개발한 VDSL 컨트롤 시스템은 계속적으로 증가하는 인터넷 사용자와 VOD 서버나 인터넷 방송 등 많은 량의 콘텐츠를 고속으로 전송하기 위한 장비로서 그 활약이 기대된다.

참고문헌(또는 Reference)

[1] "ADSL/VDSL Principles, Dennis J. Rauschmayer" 1999
 [2] 송상섭, " 고속 DSL용 CAP/QPSK 연구," 한국전자 통신 연구원, 연구보고서, 1998.1
 [3] G.H. Im, "Very-high Rate Digital Subscriber - Line System Level Issues and Implementaion," Telecommunication Review, vol. 7, pp219 - 231 1997.
 [4] G.H. Im, D. D. harman, G. Huang,, A.V. Mandzik, M-H Nguyen, and J.J Werner, "51.84 Mb/s 16-CAP ATM LAN Standard", IEEEJ> Select. Areas Commun., vol. 13, no.4. pp620-632, May 1995.
 [5] Motorola "MPC850 Uer Manual Rev1.1"