

## 고전압 연산 증폭기의 설계 및 구현

김기은, 정해용\*, 조제한\*, 박종식  
경북대학교, \*(주)ELECS

### Design and Realization of High Voltage Operational Amplifier

Kee Eun Kim, Hea Yong Jung, Jae Han Cho, Jong Sik Park  
Dept. of Electronic Engineering, Kyungpook University, \*ELECS INC.  
E-mail : kekim@palgong.knu.ac.kr

**Abstract** - This paper has been studied Operational Amplification Circuit that has high power specification of 90 W is designed.

In the input differential amplifier stage, the current source for circuit bias is designed to protect device from high voltage source. the criving state has the voltage gain more than input differential stage. With temperature compenstaion design, output stage works stable in different to temperature.

#### 1. 서론

일반 저전력구동을 위한 회로가 아닌 고전력을 필요로 하는 부하를 가지는 회로 즉, 전력용 시스템에서 이러한 범용 연산 증폭기를 사용하면 전격보다 큰 전력으로 인하여 정상적인 동작을 할 수 없을 뿐만 아니라 소자의 파괴를 가져온다. 부하가 요구하는 큰 전력을 얻기 위한 방법으로 별도의 대전력 연산 증폭기를 사용하거나, 소신호 연산 증폭기에 전류 booster를 붙여 사용하는 경우가 있지만, 두 방법 모두 부하에서 사용되는 전력 보다 큰 전력을 연산 증폭기에 공급해야 한다. 전체 회로에 공급되는 전압으로 구동가능하며, 범용 연산 증폭기보다 큰 전력을 부하에 공급하기 위하여 변형된 연산 증폭기를 필요로 한다[1].

전력용 시스템에서는 고전압, 고전류를 충분히 견딜 수 있는 고전력 연산 증폭기를 사용해야 부하가 요구하는 큰 전력을 공급 할 수 있고, 이에 의해 정상적인 동작을 하여 시스템이 요구하는 안정한 출력을 낼수가 있

다.

본 연구에서는 고전압에서 구동가능하고, 고전류를 출력할 수 있는 APEX사의 PA94의 동작특성을 모델로 하여 PA94와 유사한 동작을 할수 있도록 회로를 구성하였고, 구동전압이 900 V인 경우에도 안전한 출력을 낼 수 있도록 회로를 설계 및 검증하고, 이를 구현하였다[2].

#### 2.회로의 설계 및 해석

고전압 연산 증폭기의 기본 모델은 범용연산증폭기와 같다. 그러나 PA94를 모델로하여 설계한 회로는 고전압 구동시 높은 전압으로부터 회로를 보호하기 위한 보호회로를 추가하여, 대상모델과 같은 회로구조를 가지도록 했다.

그림 2-1 은 고전압 연산 증폭기 회로의 전체 모식도를 나타낸 것이다. 설계된 회로는 2단 증폭의 형태를 갖는데 첫번째 증폭단인 고전압 입력부는 입력신호를 받아 들이는 차동단으로써 기관이나, 입력부의 자체 잡음으로부터의 영향을 감쇄시키기 위하여 사용하는 것으로써 입력신호를 크게 증폭을 하지는 못한다[3].

반면에 주된 증폭 작용은 입력부의 전압 증폭단에서 하게 된다.

마지막 단은 증폭이 아닌 출력부의 전원 안정화와, 온도 보상등의 작용을 하여 회로를 보호하며 안정된 출력을 얻기 위해 사용한다.

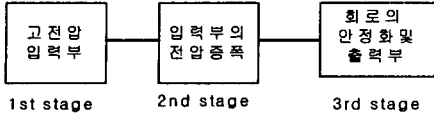


그림 2-1 고전압 연산 증폭기의 개요도

앞서 설명한 고전압 입력단, 입력부의 전원 증폭단(구동단) 및 회로 안정화 및 출력단을 갖는 고전압 연산 증폭기의 실제 회로도에는 그림 2-2와 같다.

### 2.1 고전압 입력부

고전압 연산증폭기의 입력부는 일반적 연산증폭기와 유사한 모양을 가지는 차동단으로 설계된다.

그림 2-2에서는 차동단의 입력부와 보호회로를 나타내는데, 입력단의 JFET과 공핍형 NMOS를 함께 사용해 입력과 차동단의 전류를 결정하는 전류 공급의 고전압으로부터 회로를 보호한다.

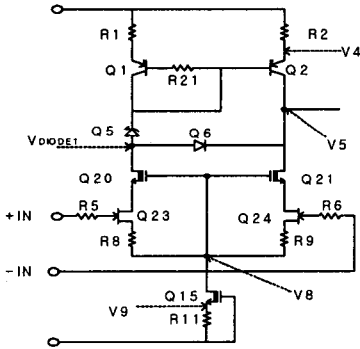


그림 2-2 고전압 연산증폭기의 차동단

전류거울은 이 차동단에서 능동부하로서 동작을 하는데, 그 결과로 수동(저항)부하를 사용하는 것보다 더 높은 전압이득을 가능하게 한다. 그림 2-2에서 사용된 저항 R21은 트랜지스터 Q1의 컬렉터에서의 전압변동이 전류거울에 전될되는 것을 차단하기 위해 사용하는 것으로 이를 사용하지 않으면, 전류거울은 얼리 현상(Early effect)이 생겨 각각 Q1과 Q2 트랜지스터의 컬렉터 전류가 다른값을 가지게 됨으로 이를 막기 위해 사용한 다.

입력단은 그림 2-2과 같이 N채널 공핍형 MOSFET(NMOSFET)을 이용하여 바이어스 전류

를 공급하는 전류원(current source)을 만들어 차동단의 전류를 결정하였다. 이 전류의 크기는 저항 R11에 의해 결정된다. R11이 커질수록 바이어스 전류인 ID15는 줄어 든다. (식(2-2)) 결과적으로 바이어스 전류가 줄어들므로, 이로인하여 슬루율이 줄어들게 된다.

우선 차동단에 흐르는 전류를 결정하기 위하여 공핍형 MOSFET인 Q15를 기준으로 하여 포화영역 내에서 ID15와 VGS15 전압과의 관계를 계산할 수 있다.

$$I_{DSS15} = K_{P15} V_{T15}^2 \quad (V_{T15} < 0) \quad (2-1)$$

$$I_{D15} = K_{P15} (V_{GS15} - V_{T15})^2 = I_{DSS15} \left(1 - \frac{V_{GS15}}{V_{T15}}\right)^2 \quad (2-2)$$

식(2-1)과 식(2-2)를 이용하면 IDSS15는 247.152mA가 되고, ID15는 3.773uA가 나옴을 알 수 있다. 여기에서 식(2-2)를 계산 하기 위해 VGS를  $-R_1 I_{D15}$ 로 대체 하여 계산한다.

차동단의 전류원으로부터 결정되는 전류 ID15는 두 갈래로 나누어져 각각 저항R8과 R9로 흐르게 된다. 이때 회로에 사용된 소자가 대칭이라 두면 전류 IQ23과 IQ24로 흐르는 전류 ID23과 ID24는 1.689 mA가 된다. 그러나 실제 회로에서는 Q23과 Q24가 정확하게 똑 같을수 없으므로 이를 보완하기 위해 R8과 R9값을 같은 크기가 아닌 다른 값을 사용하였다. 그러므로 위의 식들에 의해 계산 되어진 값을 초기값으로 하여 비선형 방정식을 풀면 결과적으로 ID23과 ID24가 2.122 mA와 1.651mA가 흐르게 된다.

본 연구에 사용된 회로는 어느 연산증폭기의 차동단과 달리 입력부의 일정한 전압증폭과 회로 보호를 위해 두개의 다이오드를 사용하였다. 다이오드 Q6의 영향으로 인해 입력과 전류원의 영향을 받지 않고, 전류거울과 제너다이오드 Q5에 의해 다음 단의 게이트에 걸리는 전압을 결정하였다.

$$V_4 = V_5 - R_2 \times I_{D2} \quad (2-3)$$

$$V_6 = V_3 - V_{Z5} \quad (2-4)$$

$$\begin{aligned} V_5 &= V_4 - V_{2CE(SAT)} \\ &= V_6 - V_{BB6} \end{aligned} \quad (2-5)$$

이미터의 전압과 전류를 이용하여 식(2-3)에서부터

식(2-4)까지를 사용하면  $V_4$ 는 129.617 V가 되고  $V_6$ 은 122.865 V가 된다. 이렇게 결정되어진 값  $V_4$ 와  $V_6$ 을 식(2-5)에 대입하면 다음 단으로 연결되는 출력전압  $V_5$ 의 최대값과 최소값은 129.317 V와 122.265 V가 된다.

## 2.2 구동단과 전력단

그림 2-3은 구동단과 전력단의 전류를 결정하는 전류원을 나타낸 회로인데, Q3과 R3, C1으로 단순하게 구성되는 구동단은 차동단으로부터 증폭되어 온 값을 받아 2차 증폭을 하게 된다. 이때 Q3 흐르는 전류의 크기는 전력단의 바이어스 공급 전류원인 Q16에 의해서 결정되어진다.

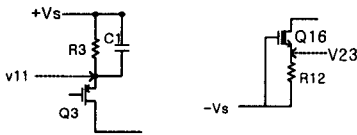


그림 2.3 구동단과 전력단의 전류를 결정하는 전류원

Q15에서 전류  $I_{D15}$ 를 구했던 방식으로 Q16을 식(2-1)과 (2-2)를 이용하여 구하면,  $I_{D16}$ 은 9.337 mA가 된다.

$$I_{D3} = 27.28m(V_{GS} + 2.88)^2 \quad (2-6)$$

$$V_{11} = V_{SP} - R_3 \times I_{D3} = 130.11 - V_{GS3} \quad (2-7)$$

식(2-19)로부터 나온  $I_{D3}$ 은 10.649 mA로 이 값은  $I_{D16}$ 과 같다. 이 결과값을 이용해 계산을 하면  $V_{GS}$ 는 -3.505 V가 된다. 따라서  $V_{11}$ 의 동작점 크기는 식(2-21)의 식에 의해 125.025 V가 된다.

회로의 나머지 부분인 전력단은 그림 2-4과 같이 구성된다. 전력단의 저항  $R_{13}$ ,  $R_{14}$ ,  $R_{15}$  및  $R_{16}$ 은 전력단의 바이어스 저항으로써의 역할과 전압분배의 역할을 하고, 고주파 신호에선 이들 저항과 병렬로 연결된 용량에 의해 고전압이 분배된다. 또한 이 저항으로 인해 Q4와 Q17 및 Q14와 Q18에 동일한 전압이 인가되므로 고전압을 일정 비율로 분배하여 시간차가 거의 없이 전류가 흐를 수 있도록 하였다. 여기서 중요한 것은 Q4는 Q17과, Q14는 Q18과 동일한 소자로써 각각의 소자의 특성이 같아야 한다. 그로인해 정합된 소자들이 동일한 시점에서 동시에 도통되도록 하여 고

전압 분배용으로 쓰인 이 두 소자 양단의 내압의 차이로 인한 소자의 파괴를 막는다. 이는 고전력의 출력을 가지는 트랜지스트의 전력소모를 감소시키는 방법으로 하나의 트랜지스트에서 담당하는 전압을 직렬로 여러개의 트랜지스트를 연결하여 전압 분배를 시킴으로써 결과적으로 개별 트랜지스트의 전력 소모를 감소시키는 것이다. 이 방법은 제한된 정격을 갖는 소자를 가지고 보다 큰 정격을 가지도록 설계할 수 있으며, 소자의 표면 온도의 상승을 최대한 억제시킬 수 있어 안정된 동작을 할 수 있도록 해 준다.

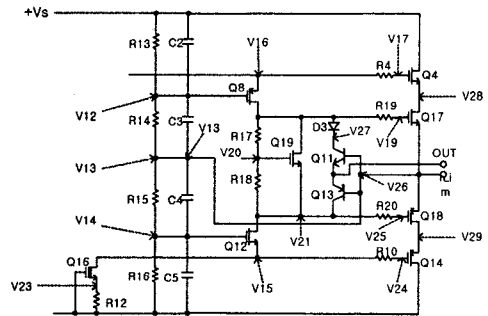


그림 2.4 고전압 연산증폭기의 전력단

Q11과 Q13은 부하가 비정상적인 동작을 하여 과도한 전류가 이 증폭기에서 나갈 경우 이를 차단하는 역할을 하여 출력측이 열적 결합상태를 유지할 수 있도록 해준다. 여기서의 다이오드 Q22는 출력측을 보호하는 역할을 하며 온도 보상을 위해 사용된 것으로 실제 이곳에 걸리는 전압은 0 V이다. 그러므로 계산하면  $V_{27}$ 은 2.935 V가 된다. 또한  $V_{21}$ 은 -3.275 V가 되고,  $V_{20}$ 은 -0.169 V가 된다. 그림 2-7회로에서, BJT인 Q11과 Q13의 베이스에 걸리는 전압이 동일 함으로 Q11의 베이스 이미터 전압인  $V_{BE11}$ 은 0 V임을 알 수 있다. 그러므로 식(2-41)에 의한  $V_{OUT}$ 은 -0.241 V로 정해진다.

## 2.3 전제 증폭률

$$A_{v1} = \frac{V_s}{V_d} = \frac{R_{out} \times I_o}{V_d} = \frac{R_{out} \times GM \times V_d}{V_d} = R_{out} \times V_d \quad (2-8)$$

$$GM \frac{I_o}{V} = \frac{gm}{1+gmR_E} = \frac{gm}{1+gmR_o} \quad (2-9)$$

여기서, GM은 Transconductance 이고, gm은 상호 컨덕턴스(mutual conductance) Rout1은 RQ2와 RQ21이 병렬로 연결된 것이다. 그러므로 식(2-8)과 (2-9)에 의해 구해지는 차동단의 증폭률 Av1은  $1.846 \times 10^3$  이다.

$$A_{v2} = \frac{V_{16}}{V_5} = \frac{g_{m3} \times R_{D3} \times V_5}{V_5} = g_{m3} \times R_{D3} \quad (2-10)$$

$$A_d = A_{v1} \times A_{v2} \quad (2-11)$$

드레인 저항 RD3은 RQ8과 RQ3의 병렬값으로 인 RD3를 구해 식(2-10)를 이용해 구동단의 증폭률을 구하면  $5.39 \times 10^3$  가 된다.

그러므로 차동단과 구동단의 증폭률의 곱으로 이루어지는 전체 증폭률은 식(2-11)과 같이 계산되어  $5.39 \times 10^5$  가 된다.

### 3. 시뮬레이션 예제

앞서 구한 회로 각 지점의 동작점들은 공급전원의 전압을 각각 +130.110 V와 -130.294 V로 하여 계산으로 구한 값들이다. 이렇게 해서 구해진 동작점들의 값을 기준으로 하여 시뮬레이션시 +130.110 V와 -130.294 V일때의 동작점의 수치와  $\pm 450$  V일때의 수치를 함께 비교해 본 결과 매우 유사한 값을 구할수 있었다. 증폭을 보기위해 입력 신호를 식(3-1) 과 같이 두었다.

$$V_{in} = V_m \sin \theta \quad (3-1)$$

여기서, Vin : 입력, Vm: 진폭이다. 이때 100 Hz의 정현파에 Vm은 85 V, 95 V의 진폭을 가지도록 설계한 고전압 연산증폭기의 각각의 증폭률을 살펴 보았다. -5의 증폭을 가지도록 증폭기를 구성하여 측정한 아래와 같은 결과를 나타내었다. 입력의 진폭이 85 V일 경우에는 정확하게 -5배의 증폭을 하나, -95일 경우에는 증폭후의 전압값이 공급전압 보다 크므로 출력신호에 왜곡이 생겼음을 아래 그림 3-1에서 확인 할 수 있다.

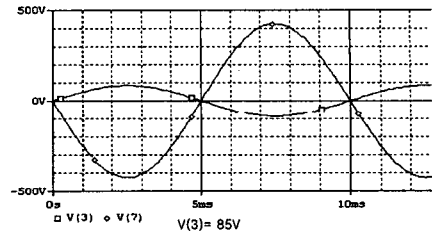


그림 3-1. 입력에 대한 출력의 관찰(a)

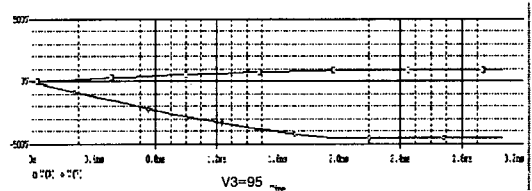


그림 3-1 입력에 대한 출력의 관찰 (b)

### 4. 결론

본 논문에서는 출력단에 연결되어 있는 부하가 동작하는 구동전압과 같은 고전압에서 동작 가능하고 일정한 증폭률을 가지는 안정한 고전압 연산증폭기를 설계하고자 하였다. 실제 시뮬레이션 상에서 260V 동작시와, 900V 동작시 동작점의 일정함과 증폭률의 일정함을 알수 있었다. 그러나 실제 회로의 구현시 전압 분배용 소자의 차이에 의해 구동전압이 높아 질수록 전력단에서의 전압 분배용소자를 통해 나오는 값이 불안정해졌다. 그러므로 이 전압 분배용소자를 적절히 선택이 중요하다 하겠다.

### 참고문헌

- [1] Mototola, "Analog/Interface ICs Device Data", Motorola, Inc, Rev6, pp. 2-11 and 2-12, 1996.
- [2] Apex , "Power Intergrated Circuits Data Book", Apex Microtechnology Corporation, vol.9 pp. 299-302, 1999.
- [3] 박홍준, "CMOS 아날로그 집적회로 설계", IDEC 교재 개발 시리즈 9, 시그마프레스, 1999.