

IEEE 802.11a 무선 LAN 모뎀의 하드웨어/소프트웨어 통합 설계 방안

이 서 구, 신 형 식, 정 윤 호, 김 재 석, *서 정 욱, *최 종 찬
연세대학교 전기전자공학과, *한국전자부품연구원
전화 : 02-2123-3880 / 핸드폰 : 016-9499-7249

Study on Hardware/Software Codesign of IEEE 802.11a Wireless LAN

Seogoo Lee, Hyong Shik Shin, Yun Ho Jung, Jaeseok Kim, *Jung-uk Seo, *Jongchan Choi
Dept. of EE, Yonsei University, *KETI
E-mail : sglee@asic.yonsei.ac.kr

Abstract

OFDM is a promising technology for high speed multimedia communication. In this paper, Software IPs for IEEE 802.11a OFDM system are designed and optimized for TI's TMS320C6201 fixed-point DSP. Then considering the execution cycles of the target DSP for each functions of the system, an efficient HW/SW partitioning method is proposed and according to this results, high speed Viterbi decoder hardware IP for 802.11a system is designed and verified.

I. 서론

현재 이동통신 시스템 분야의 연구는 멀티미디어 통신을 위한 100Mbps 이상의 고속화와 서로 다른 표준 간의 핸드오프(handoff)를 목표로 활발히 진행되고 있다. 직교 분할 다중 반송파(OFDM) 전송 방식은 차세대 이동통신의 고속화에 대한 요구를 만족시키는 통신 방식으로 디지털 TV나 무선랜(Wireless LAN) 등에서 활발히 연구되고 있으며, 1999년에 제정된 IEEE 802.11a 무선랜 표준은 OFDM 방식을 적용하여 최고 54Mbps의 전송속도를 갖도록 규정되었다.[1]

하드웨어/소프트웨어 통합 설계는 소프트웨어로 시

스템의 기능 블록들을 설계하여 시장 진입 시간을 줄일 수 있고, 연산량을 많이 차지하는 블록을 별도의 전용 하드웨어로 구현하여 시스템의 동작 속도를 향상시킬 수 있다는 장점을 가지고 있으며, SDR(Software Defined Radio) 연구 뿐 아니라 다양한 표준을 지원하는 개방형 플랫폼을 위한 연구에서도 중요성이 커지고 있다.

본 논문에서는 802.11a 무선랜 모뎀을 TI사의 TMS320C6201 고정소수점(fixed-point) DSP를 이용하여 구현하고, 각 기능 블록들을 수행하는데 소요되는 연산량을 산출하며, 이를 바탕으로 연산량이 많은 블록들을 하드웨어로 구현함으로써 802.11a 모뎀의 효율적인 하드웨어/소프트웨어 통합 설계 방안을 제시한다. 우선 2장에서는 802.11a 무선랜 표준의 사양에 대해 설명하고, 3장에서는 시스템의 소프트웨어 IP 설계에 대해 기술한다. 4장에서는 주요 기능 블록들의 연산량을 분석하고, 시스템의 최적화를 위해 별도의 하드웨어로 설계된 비터비 복호기에 대해 설명하며, 5장에서 결론을 맺는다.

II. IEEE 802.11a 무선랜 시스템

2.1 OFDM 방식 및 전송 사양

802.11a 무선랜 시스템은 OFDM 변조 방식을 사용한다. OFDM 방식에서는 주파수 영역에서 입력 데이

터를 처리하고, 이를 IDFT를 취하여 전송한다. 수신단에서는 받은 데이터를 DFT를 취하고, 주파수 영역에서 원래 신호를 복원하며, 이러한 송수신 과정은 아래와 같이 IFFT/FFT로 표현된다.

$$x_n(m) = \sum_{k=0}^{N-1} X_{n,k} e^{j2\pi k \frac{m}{N}} \quad (1)$$

$$Y_{n,p} = \frac{1}{N} \sum_{m=0}^{N-1} y_n(m) e^{-j2\pi km \frac{p}{N}} \quad (2)$$

OFDM 방식을 사용하면, 기존의 단일 반송파(single-carrier) 방식을 사용하는 경우보다 ISI의 영향을 줄여 전송속도를 높일 수 있다. 또한 페이딩(fading) 채널 하에서도 간단한 1-탭 등화기만으로 원하는 성능을 얻을 수 있다.[1]

표 1은 802.11a 시스템의 기본적인 사양을 보여준다. 총 64개의 부반송파를 사용하며, 이 중 48개를 이용하여 실제 데이터를 전송하고, 4개는 파일럿(pilot)으로 사용한다. 또한 채널의 상태에 따라 BPSK, QPSK, 16QAM, 64QAM의 변조방식을 가변적으로 사용하여 6Mbps에서 54Mbps의 전송속도를 지원한다. 하나의 OFDM 심볼 전송 시간은 순환 보호 구간(cyclic prefix guard interval)을 포함하여 4us이다.

표 1. 802.11a 물리계층의 주요 파라미터

Number of subcarrier	64
IFFT/FFT period	3.2us
Symbol duration	4us
PLCP preamble duration	16us
Modulation	BPSK, QPSK, 16QAM, 64QAM
Data rate(Mbps)	6,9,12,18,24,36,48,54

2.2 프리앰블 구조

OFDM 방식은 시간 동기화 및 주파수 동기화에 매우 민감하며 802.11a 시스템에서는 시간/주파수 동기화를 위해 그림 1과 같은 프리앰블 구조를 채택하였다.

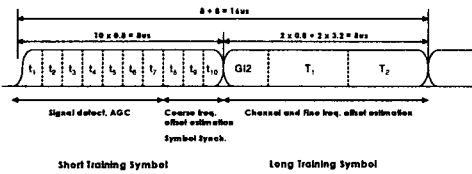


그림 1. 802.11a PLCP 프리앰블 구조

우선 16샘플로 이루어진 짧은 훈련 심볼(short training symbol)을 10번 반복하고 이어서 64주기의 긴 훈련 심볼(long training symbol)을 두 번 연속 전송한

다. 긴 훈련 심볼은 채널을 추정하는 용도로도 사용된다.

2.3 전체 시스템의 구성

그림 2는 802.11a 시스템의 구성을 보여준다. 상위 MAC 계층으로부터 입력된 데이터는 주파수 영역에서 스크램블러(scrambler), 길쌈 부호기(convolutional encoder) 인터리버(interleaver)를 통과한다. 그 후 전송 속도에 따라 다르게 변조되고, IFFT를 통과한 후 보호 구간이 삽입되어 전송된다. 수신단에서는 전송단의 역순으로 데이터를 처리하는데, 그림 2에서와 같이 동기화와 등화기가 추가된다.

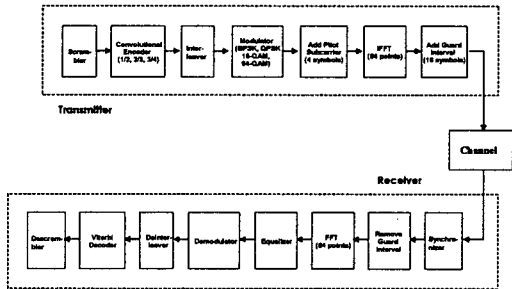


그림 2. 802.11a 물리계층(PHY) 구조

그림 2에서 보여주고 있는 물리계층과 상위 계층인 MAC 계층 사이에는 PLCP 계층이 존재한다. 이 계층에서는 MAC 계층과 물리계층 사이의 인터페이스 역할을 수행하며, 수신단에서 동기 획득에 이용되는 프리앰블을 삽입해 준다. MAC 계층에서 전송 프레임의 전송 모드와 데이터 비트수를 알려주면, PLCP 계층은 이 데이터를 프리앰블 바로 뒤에 전송되는 SIGNAL OFDM 심볼에 실어 준다.

III. 시스템 설계

본 논문에서는 802.11a 시스템의 물리계층과 PLCP 계층이 설계되었다. 설계 과정은 우선 전체 시스템을 부동소수점으로 설계하여 동작을 검증하고, 설계된 모델을 고정소수점 방식으로 전환한 후 타겟 DSP에 최적화하였다. 최적화된 모델의 수행 사이클을 기준으로 하드웨어/소프트웨어의 분할이 수행되었다.

3.1 시스템의 성능 검증

전체 시스템은 기본적인 동작과 성능을 검증하기 위해 먼저 부동소수점(floating point) 방식으로 설계되었

다.

그림 3는 부동소수점으로 설계된 802.11a 모뎀의 성능을 보여준다. 채널은 12렘을 갖는 IEEE 레일레이(Rayleigh) 페이딩 채널 모델을 사용하였고, 시간 동기화 주파수 동기는 정확히 맞았다고 가정하였다. 시스템 성능은 802.11a의 성능을 분석한 [4]와 동일한 결과를 보였다.

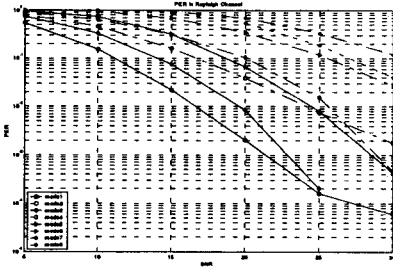


그림 3. 설계된 모뎀의 성능 분석(PER)

3.2 동기부의 설계

동기부는 기본적으로 Schmid의 알고리즘과 Moose의 알고리즘을 이용하여 설계되었다.[2][3] 우선 Schmid 알고리즘을 이용하여 신호가 있다고 판단되면 짧은 훈련 심볼을 이용한 Moose 알고리즘으로 정수배 주파수 오프셋(coarse freq. offset)을 찾아서 수신 프레임 전체에서 이를 보상해 준다. 다음으로 다시 짧은 훈련 심볼을 사용하여 정확한 심볼 동기를 찾고, 마지막으로 긴 훈련 심볼을 이용하여 소수배 주파수 오프셋(fine freq. offset)을 찾아 프레임 전체를 보상해 준다. 잔류 주파수 오프셋은 파일럿 반송파를 이용하여 보상해준다. 심볼 동기는 시간 영역 상에서 미리 알고 있는 짧은 주기 훈련 심볼과 수신 신호와의 상관값을 구하는 정합 필터 방식으로 설계되었다.

3.3 고정소수점 변환과 최적화

타겟 DSP인 TMS320C6201은 고정소수점 DSP이고, 따라서 부동소수점으로 설계된 시스템은 고정소수점으로 사용하도록 변환되었다. 그림 5는 기능 블록별로 최적의 Q-format을 적용한 시스템의 성능을 보여준다. 성능은 그림 3과 동일한 환경에서 시뮬레이션 되었다. 그림 4에서 확인할 수 있듯이 Q-format을 효율적으로 설정하면 고정소수점 방식을 사용하더라도 시스템의 성능에 큰 영향을 주지 않는다.

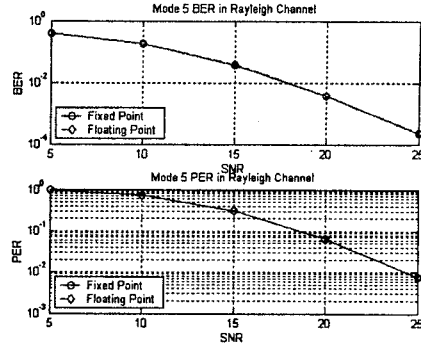


그림 4. 고정소수점을 사용한 시스템의 성능

고정소수점으로 변환된 시스템은 타겟 DSP에 최적화되었다. TMS320C6201은 최대 200MHz의 동작주파수에서 1600MIPS의 연산을 수행할 수 있고 동시에 최대 8개의 연산 수행이 가능하다.[5] 본 논문에서는 C언어 상에서만 최적화가 수행되었다. 최적화를 위해 타겟 DSP 전용의 intrinsic 함수가 사용되었고, 변수형이 최적화되었으며, 32비트 단위로 메모리를 load하도록 설계되었다. 또한 루프와 조건문을 줄이고, 가능한 한 비트와이즈(bitwise) 연산을 수행하였으며, 초월함수를 look-up 테이블 방식으로 대체했다.

IV. 하드웨어/소프트웨어 통합 설계

4.1 DSP의 연산량 분석

표 2는 위에서 언급된 방법들을 사용하여 최적화를 수행한 결과이며, 주요 기능 블록들을 수행하는데 소요되는 사이클 수를 TI사의 Code Composer Studio를 이용하여 추출하였다. MAC 계층으로부터의 입력 데이터는 100바이트이고, 16QAM 전송 모드를 사용했으며 주파수 오프셋은 정확히 맞는다고 가정하였다.

표 2. 최적화 결과 기능 블록별 수행 사이클

기능 블록	1304	13048
Interleaver/deinterleaver	1304	13048
Modulation(16QAM)	446	4014
Demodulation(16QAM)	4598	41385
FFT	6749	161976
Viterbi Decoder	6379088	6396565
Signal Detection	11485	11485
Symbol Synchronization	2254	2254

위의 표를 보면 4비트 연판정(soft-decision) 방식으로 설계된 비터비 복호기가 가장 많은 연산을 필요로

하며, 전체 시스템에서 90% 이상의 연산을 소모하는 것을 확인할 수 있다. Radix-2 알고리즘으로 설계된 FFT의 경우도 많은 연산을 소모하나, 이 블록은 radix-4 알고리즘을 적용하고, 어셈블리 레벨에서의 최적화가 진행된다면 시스템의 전송속도에 큰 영향을 미치지 않을 것으로 판단된다. 따라서 본 논문에서는 802.11a 모뎀의 설계시 다른 기능 블록들은 모두 고속 DSP를 이용하여 소프트웨어로 처리하고 비터비 복호기를 별도의 전용 하드웨어로 설계하여 시스템의 유동성을 보장하면서도 고속화를 구현할 수 있는 모뎀의 구조를 제안한다.

4.2 비터비 복호기의 하드웨어 설계

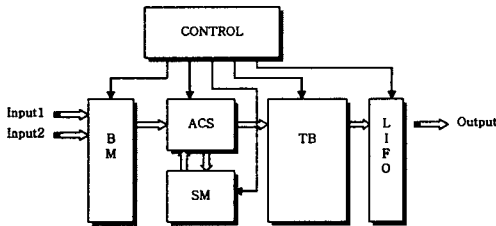


그림 5. 비터비 복호기의 하드웨어 구조

그림 5에서 보이고 있는 비터비 복호기는 고속 동작에 중점을 맞추어 하드웨어로 설계되었다. 비터비 복호기는 코드워드와의 거리를 구하는 BM(Branch Metric)과 각 상태에서 여러가 가장 작은 경로를 찾아주는 ACS(Add, Compare and Select), 가장 여러가 작은 경로로 데이터를 역추적하여 찾아주는 TB(Trace-Back)으로 구성되며, 48의 역추적깊이(TB depth)를 갖고, 802.11a 시스템의 모든 전송 모드를 처리할 수 있도록 12 비트씩 복호해내는 5-point even 알고리즘이 적용되었다. 또한 TB에 사용되는 메모리는 레지스터로 구현하여 메모리 접근(access) 시간을 줄였다.

설계된 비터비 복호기는 그림 6과 같이 Modelsim™을 사용하여 검증되었다.

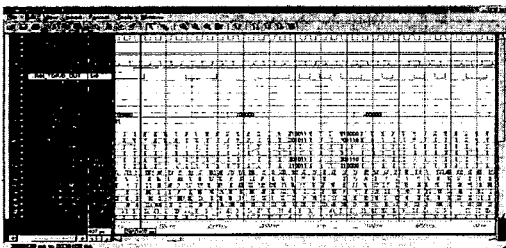


그림 6. 설계된 비터비 복호기의 검증 결과

설계된 비터비 복호기를 ALTERA사의 Quartus™를 이용하여 EP20K1000EBC652에서 합성한 경우 약 51.3MHz의 최대 동작 주파수를 보였고, Synopsys™에서 0.35um 삼성 standard cell 공정으로 합성시 약 109k의 게이트가 소요되었다.

V. 결론

본 논문에서는 IEEE 802.11a 표준의 모뎀을 TMS320C6201 DSP에 최적화된 소프트웨어로 설계하고, 여기서 추출된 수행 사이클을 기준으로 최적의 하드웨어/소프트웨어 통합 설계 방안을 제시하였으며, 이에 따라 비터비 복호기를 전용의 하드웨어로 설계하고 검증하였다. 제안된 하드웨어와 소프트웨어가 통합된 시스템은 대부분의 기능 블록들을 소프트웨어로 처리하여 시스템의 시장 진입 시간을 줄일 수 있고, 연산량이 많은 비터비 복호기는 별도의 전용 하드웨어를 이용함으로써 고속의 시스템을 구현할 수 있다. 또한 설계된 모뎀은 재구성 가능하고 멀티모드를 지원하는 차세대 이동통신 단말기에서 응용이 가능할 것이다.

설계된 소프트웨어 모뎀은 현재 Innovative Integration사의 M6x TMS320C6201 DSP EVM 보드 상에서 검증이 수행되고 있고, 차후에 하드웨어로 설계된 비터비 복호기와 통합 보드 상에서 검증이 수행될 예정이며 최종적으로 개방형 아키텍처를 갖는 플랫폼 상에서 동작하도록 전환될 것이다.

참고문헌(또는 Reference)

- [1] IEEE, "Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications", 1999.
- [2] Timothy M. Schmidl and Donald C. Cox, "Robust Frequency and Timing Synchronization for OFDM," *IEEE Trans. Commun.*, VOL.45, No.12, pp.1613-1621, 1997.
- [3] P. Moose, "A technique for orthogonal frequency-division multiplexing frequency offset correction," *IEEE Trans. Commun.*, Vol.42, No.10, pp.2908-2914, Oct. 1994.
- [4] Angela Doufexi et al, " A Comparison of HIPERLAN/2 and IEEE 802.11a", *IEEE Communications Magazine*, Volume: 40 Issue: 5, May 2002.
- [5] TI, "TMS320C6000 Programmer's Guide", 2002.