

입력전류의 정현화에 의한 단상PFC정류회로의 토폴로지

이상현 · 김영문 · 권순걸 · 서기영
경남대학교 전기전자공학부 · 마산대학*

전화 : (055) 249-2630 / 팩스 : (055) 249-2630

Topology of Single-Phase PFC Rectifier Circuit with Sinusoidal of Input Current

* S.H.Lee · Y.M.Kim* · S.K.Kwon · K.Y.Suh
Kyungnam University · Masan College*
E-mail : masancc@hanmail.net

Abstract

For small capacity rectifier circuits such as these for consumer electronics and appliances, capacitor input type rectifier circuits are generally used. Consequently, various harmonics generated within the power system become a serious problem. Various studies of this effect have been presented previously. However, most of these employ switching devices, such as FETs and the like. The absence of switching devices makes systems more tolerant to over-load, and brings low radio noise benefits. We propose a power factor correction scheme using a LC resonant in commercial frequency without switching devices. In this method, It makes a sinusoidal wave by widening conduction period using the current resonance in commercial frequency, Hence, the harmonic characteristics can be significantly improved, where the lower order harmonics, such as the fifth and seventh orders are much reduced. The result are confirmed by the theoretical and experimental implementations.

I. 서론

직류 정류회로에는 커패시터입력형 단상정류회로가 많이 이용되어지고 있다. 이러한 정류회로는 전력계통에 여러 가지 고조파를 발생시킨다. 최근 산업용전기에 여러 가지 스위칭소자들을 사용하면서 더욱더 전

력계통의 고조파가 증대되어지고, 입력전류를 정현파화하기 위해서 비용부담이 많이 든다. 이러한 문제점들을 해결하고자 스위칭 소자를 사용하지 않고 고조파를 저하시키는 고역률 단상 정류회로가 연구되어지고 있다. 본 논문에서는 일반적으로 사용되어지는 배전압 단상 정류회로에 착안하여 LC 공진회로를 첨가하였다. 그리고, 고조파의 성분을 저감시키는 고역률 단상 정류회로를 제안하고자한다. 제안한 회로는 다이오드 브릿지에 병렬로 커패시터를 접속하고 입력에는 인덕터L을 추가해서 상용주파수의 LC공진현상을 이용하고자 하며, 수동소자만으로 입력전류를 정현파화하고자 하며, 시뮬레이션 결과를 분석하여 파라미터의 특성을 서술하고자 한다.

II. 동작 원리 및 회로 해석

1. 회로동작

그림1은 제안한 단상 정류회로 구성도를 나타낸 것이며, 고조파저감을 목적으로 입력인덕터 L, 공진용 커패시터 C_1 , C_2 를 사용하여 입력전류를 상용주파수로 공진시켜 정현파화하며, 통전각의 넓은 입력전류를 얻고자 한다. 평활을 필요로 하는 부하측에는 커패시터 용량C를 크게 하면 된다. 이러한 공진용 커패시터를 다이오드에 병렬로 접속해서 입력 인덕터L과 공진을

시켜서 정현파의 전류를 얻는다고 할 수 있다.

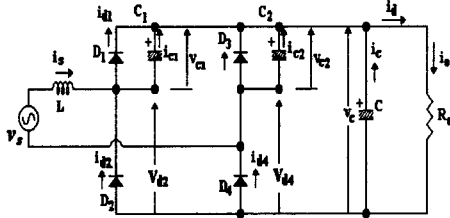
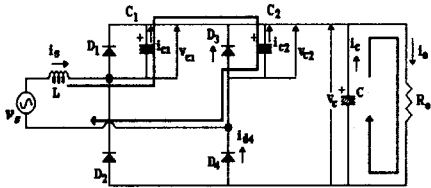
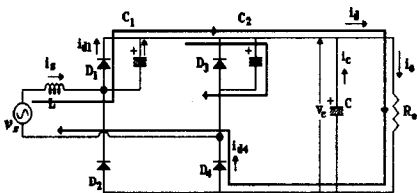


그림 1. 제안한 회로의 구성도
Fig. 1. Proposed circuit configuration

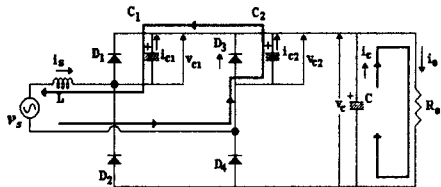
기존의 역률 개선 정류회로를 개선시킨 제안회로는 각 모드마다 커패시터전압은 0[V]까지 방전하여 통전각이 넓어져 입력전류 파형을 정현파화 하기 쉽다. 그림2는 단위역률 일 때 각 회로동작을 나타낸 것이다.



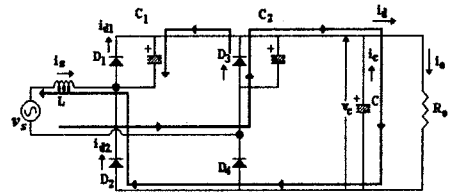
(a) Mode I



(b) Mode II



(c) Mode III



(d) Mode IV

그림 2. 동작회로 (단위역률일 경우)
Fig. 2. Operating circuit in unity power factor

III. 시뮬레이션 및 검토

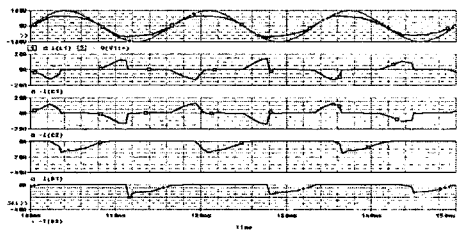
회로의 모드별 동작과 전원회로의 적절성 및 전력변환의 안전성을 실험에 앞서 살펴보기 위하여 시뮬레이션을 실시하였다. 표 1은 시뮬레이션에 사용된 각 회로정수 값이다. 여기에 사용된 각 소자는 이상적인 것으로 사용하였다.

표 5. 시뮬레이션 회로정수

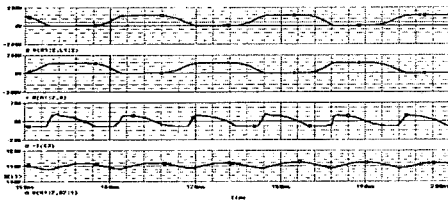
Table 1. Simulation parameters

입력전압 (V_s)	1상100[V]/60[Hz]
인덕터 (L)	16[mH]
커패시터 (C_1, C_2)	230[μ F]
평활커패시터 (C)	4700[μ F]
부하저항 (R_o)	6[Ω]~100[Ω]

그림 3은 각 모드별 시뮬레이션 파형을 나타낸 것이다. 그림 3의 동작 파형에 있어서 입력전류 i_s 는 커패시터 C_1 로부터 흐르는 충·방전 전류 i_{c1} 과 충·방전이 끝나서 다이오드에 전류(轉流)해서 흐르는 i_{d1} 의 전류로 구성되어지는 것을 알 수 있다.



(a)



(b)

그림 3. 각 모드별 시뮬레이션 파형

Fig. 3. Waveform of simulation for each mode

그림 4는 커패시터용량 C_1 과 기본파 역률의 관계를 나타낸 것이다. 각 출력전력 400W, 700W, 1000W에 있어서 커패시터용량을 변화시켜 입력전류를 푸리에 급수에 의해 기본파 위상각을 구하여 $\cos\phi$ 로 계산하였다. 그림 4에서 알 수 있듯이 $\cos\phi=1$ 일 때 C_1 을 기준으로 증가에 의해 입력전류 위상은 지상이 되고 C_1 의 감소에 의해 입력전류의 위상은 진상이 되며 $\cos\phi=1$ 을 정점으로 하는 전력곡선이 그려진다.

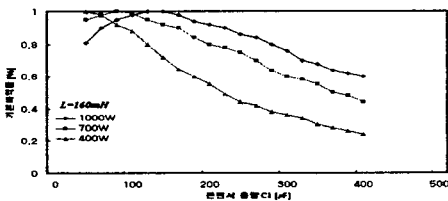


그림 4. 커패시터 C_1 와 기본파역률의 관계

Fig. 4. Relationship between capacitor C_1 and fundamental power factor

그림 5는 커패시터용량 C_1 과 기본파 전류진폭의 관계를 표시한 것이다. 그림 5에서 커패시터용량이 증가함에 따라서 전류는 증가하지만 이전의 그림과 같이 역률은 저하되는 것을 알 수 있다.

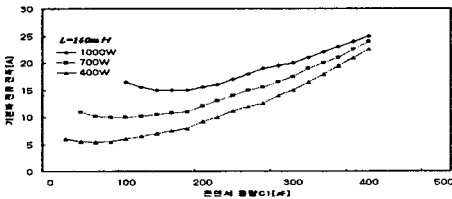


그림 5. 커패시터 용량 C_1 과 기본파 전류 진폭의 관계

Fig. 5. Relationship between capacitor C_1 and fundamental current amplitude

그림 6은 커패시터용량 C_1 과 왜곡률을 관계를 나타낸 것이다. 그림 6에서 왜곡률은 역률 저하에 의한 기본파 성분증대에 의해 생기는 왜곡률의 불합리를 감안해서 유효 기본파성분을 가미시켜 나타낸 것이며, 커패시터용량의 증가의 따라 왜곡률은 증가하지만 어떤 커패시터값으로 최소가 되는 커패시터값의 최적치를 얻는 것을 알 수 있다.

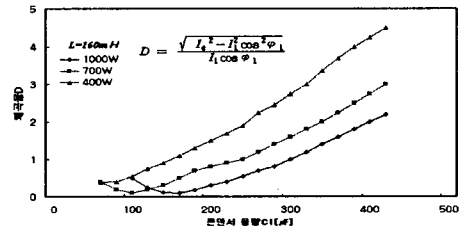


그림 6. 커패시터 용량 C_1 과 왜곡률 D의 관계

Fig. 6. Relationship between capacitor C_1 and modified distortion factor

그림 7은 인덕턴스 L과 기본파 전류 진폭의 관계를 나타낸 것이며, 그림 8은 인덕턴스 L과 왜곡률의 관계를 나타낸 것이다. 그림 8에서 인덕턴스 L의 증가는 파형 개선에 있어서 유효하며, 고조파성분이 큰 L로 제어할 경우 역률 저하에 의한 무효전력증가로 왜곡률이 상승하는 것을 알 수 있다.

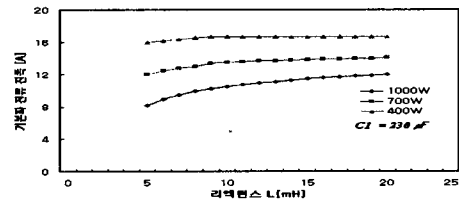


그림 7. 인덕턴스 L과 기본파 전류 진폭의 관계

Fig. 7. Relationship between inductance L and fundamental current amplitude

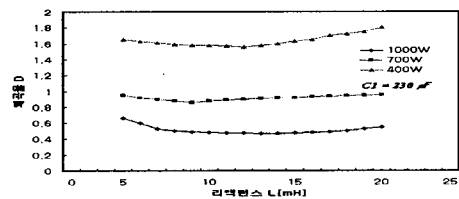


그림 8. 인덕턴스 L과 왜곡률의 관계

Fig. 8. Relationship between inductance L and modified distortion factor

그림 9는 부하저항을 변화할 때의 역률, 출력전압의 측정결과를 나타낸 것이다. 그림과 같이 부하저항을 100[Ω]으로부터 6[Ω]정도까지 감소시킬 때 각 커패시터의 최대점을 갖는 것을 알 수 있다. 그리고 부하저항이 20[Ω]일 때 역률0.99, 출력이 약1[kW]로 되며, 각 최대치를 중심으로 좌측의 경우하 때에는 위상이 진상이고, 저항이 작은 우측에서는 위상이 지상이 되어 역률은 저하되고, 공진커패시터 C_1 과 공진인덕터L의 변화에 따라 출력 리플의 영향이 작다는 것을 알 수 있다.

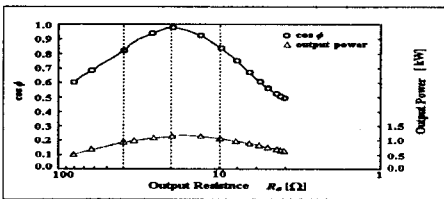


그림 9. 역률, 출력전압특성

Fig. 9. Characteristics of power factor and output power

그림 10은 제안한 정류회로의 입력전류 고조파 성분을 분석한 결과를 나타낸 것이며, 표 2는 제안한 방식의 고조파 제어 가이드라인 한도값 분석한 것이다.

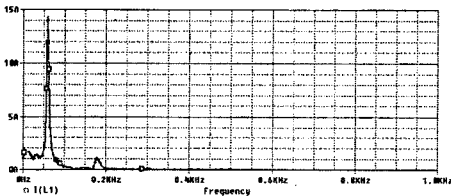


그림 10. 입력전류에 대한 주파수 스펙트럼

Fig. 10. Frequency spectrum for input current

표 2. 고조파제어대책가이드라인의 비교

Table 2. Comparison with Guide line limit value

	제안형전류[Arms]	Class A한도치[Arms]	(제안형/한도치)비[%]
제3차 고조파	1.06	8.06	13.15
제5차 고조파	0.18	3.68	4.79
제7차 고조파	0.04	2.58	1.55
제9차 고조파	0.04	1.24	3.06
제11차 고조파	0.00	1.00	0.00
제13차 고조파	0.01	0.70	1.29

표 2에서 제 3차 고조파는 그 밖의 고조파와 비교해서 크게 나타나지만 고조파제어 가이드라인 Class A의 제 3차 고조파값이 약 13[%]정도의 크기가 되어 그 이외의 고조파는 거의 가이드라인 값의 5[%]미만이 되는 것을 할 수 있다. 그러므로 제안한 회로는 고조파제어 가이드라인 한도값보다 하향하는 결과를 얻을 수 있다.

IV. 결론

제안한 회로는 다음과 같은 결과를 얻을 수 있다.

- 1) 온, 오프 스위칭 소자를 사용하지 않고 입력전류 파형을 개선하였다.
- 2) 스위칭에서 발생하는 손실 및 노이즈를 저감시켰다.
- 3) 트랜지스터등의 스위칭 소자에 이용되는 구동용 전원회로가 불필요하기 때문에 비용이 저감된다.
- 4) 출력측이 단락해도 출력측에 단락전류가 흐르지 않고, 전력수하특성이 얻어진다.

이러한 결과에 의해서 회로보호작용을 필요로 하는 응용에 적용되어진다면 유용할 것이라 사료된다.

Reference

- [1] 資源エネルギー 庁公益事業部 : 「家電・汎用品高調波制御対策ガイドライン」, 2000
- [2] 高橋勲・池下亘 : 「单相整流回路の入力電流波形改善」, 電學論B, Vol.105, pp.174-180, 1998
- [3] 松井景樹・坪井和男, 他 : 「中間タシプ付きリアクトルを用いて高調波を低減する单相整流回路」同上 D, Vol.109, pp.905-1001, 2001
- [4] 松井景樹・坪井和男・小林篤・福田朋悟・武藤三郎 : 「低次高調波を低減する单相整流電源回路の検討」, 電氣学会全国大会, pp.579, 2001
- [5] 山本勇・松井景樹 : 「2 分割電流入入方式による高力率单相整流回路」電學論D, Vol. 121, No.2, 2001
- [6] 高橋勲・堀和宇 : 「パツプ素子を用いたダイオード整流回路の入力電流波形改善」電學論D, Vol.119, 1号, pp.13~18, 1997