2002년도 대한전자공학회/대한전기학회 시스템 및 제어분야 합동 추계학술대회 논문집(2002.11.30)

Dynamic Scaling을 이용한 저전력 시스템의 설계

김 도 훈, 김 양 모(충남대), 김 승 호, 이 남 호(한국원자력연구소)
충남대학교 전기공학과
전화 : 042-822-1998 / 핸드폰 : 011-9404-0744

Design of Low Power System using Dynamic Scaling

Do Hun Kim, Yang Mo Kim, Seung Ho Kim, Nam Ho Lee
Dept. of Electrical Engineering, Chungnam University
E-mail : kim7067@pony.cnu.ac.kr

Abstract

In this paper, we designed of low power system by using dynamic scaling. As an effective low-power design, dynamic voltage/frequency scaling recently has received a lot of attention. In dynamic frequency scheme, all execution cycles are driven by the clock frequency that switched frequency dynamically at run time. The algorithm schedules lower frequency operators at earlier steps and higher frequency operators to later steps. This algorithm assigned the frequency for each execution cycle then it adjusted the voltage associated with the frequency

I. 서론

최근 시스템들의 소형화, 고속화, 휴대화 추세에 따라 실시간 시스템의 응용 범위가 확대되고 있다. 이러한 시스템의 경우는 제한된 전원으로 보다 오랜 시간 동안 운용되어야 하는 가장 근본적인 문제점을 지니고 있다. 시스템의 전력소모를 감소시키고자 하는 노력은 디바이스수준에서 알고리즘 및 디지털 회로 설계 등에 이르기까지 여러 분야에서 활발하게 이루어지고 있다. 이러한 노력으로 디지털 논리 회로에서 소모하는 전력을 감소시키고자 하는 전력최적화 기법과 운영체계의 결정에 의하여 동적으로 시스템을 관리하는 기법이 이에 속한다. 운영체계의 결정에 의한 방법으로 시스템의 공급전압과 주파수를 가변시키는 방법이 대표적이라 하겠다. 이러한 방법으로 공급 전압의 가변을 응용한 Dynamic Voltage Scaling(DVS)기법이 널리 사용되고 있다. 주파수 스케일링 방법은 디지털 시스템에 공급되는 클럭의 주파수를 조절하여 주어진 작업량을 정해진 시간 내에 적응적으로 처리하는 것이며 전압 스케일링은 주파수 스케일링으로 조절되는 디지털 시스템의 오동작이 되지 않도록 최소의 전원 전압을 시스템에 공급하는 것이다. 주파수 스케일링은 통해 시간에 따른 작업량의 분산이 큰 작업을 많은 하드웨어를 사용하지 않고 필요한 경우에 주파수만을 높임으로서 상대적으로 작은 하드웨어만으로 처리할 수 있으며, 전압 스케일링으로 디지털 시스템이 최소한의 전력만을 소비하게 하여 저전력 시스템을 쉽게 구현 할 수 있고, 주파수 스케일링의 동적 범위를 넓혀 줄 수 있다. 본 논문에서는 시스템의 소모 전력을 감소시키기 위한 방법으로 운영체계에 의한 전력 관리 기법에 관하여 논하고자 한다.

II. Dynamic Scaling의 개요

최근 마이크로프로세서들은 입력 전압을 조절하여 계산 속도와 소모되는 전력 사이에의 이해득실을 조절

할 수 있는 기능을 갖춘 것들이 많이 있다.

이처럼 프로세서의 속도는 공급 전압에 비례하지만 소모되는 전력량은 공급 전압을 줄임으로써 훨씬 더 절약 할 수 있기 때문에 프로세서에 공급되는 전압을 동적으로 조절하여 전력 소모를 줄이는 기법은 그 기대 효과가 상당히 크다.

다음에 표현한 것은 CMOS 회로에 대한 3개의 방정을 나타내었다. 동작하는 동안 소비되는 에너지는 다음과 같다.

$$E = C_{eff} V_{dd}^2$$

여기서 C_{eff}는 적절히 변환되는 커패시턴스이고 V_{dd}는 공급전압이다. C_{eff}는 회로의 구조뿐만 아니라 시스템에 인가되는 입력패턴과도 연관된다. 주파수가 f인 경우 동작 중에 소모되는 전력 소비량은 다음과 같다.

$$P = C_{eff} V_{dd}^2 f$$

회로에서 발생하는 딜레이 (t_d)는 최대주파수나 클럭 사이클 주기(T)에 의해서 결정된다.

$$t_d = k \frac{V_{dd}}{(V_{dd} - V_T)^\alpha}$$

여기서 V_T는 threshold voltage이고 α는 기술 의존 요인이며 k는 상수이다. 위에서 언급한 방정식을 살펴보면 다음과 같은 사실을 발견할 수 있다.

(1) V_{dd}의 감소로 인하여 전력과 에너지를 감소시킬 수 있다.

(2) 주파수(f)를 감소시킴으로 인해서 전력은 감소시킬 수 있으나 에너지는 감소하지 않는다.

(3) 일련의 과정을 수행하는 동안 전압이나 주파수를 가변시킴으로 인해서 전력과 에너지를 감소시킬 수 있다.

위의 내용이 본 논문의 기본적인 개념이다. 이러한 기본적 개념을 바탕으로 하여 전력소모를 줄이기 위한 하나로서 동적 주파수 가변 방법에 대해서 논하고자 한다.

Ⅲ. 동적 주파수 변환 회로

위 그림은 모든 동작이 단일 주파수로 동작할 경우와 주파수를 가변함으로써 동작하는 주파수의 파형을 나타낸 그림이다. 이것은 소모 전력을 감소시키기 위해서 동적으로 주파수를 가변시킴으로서 가능하게 된다.

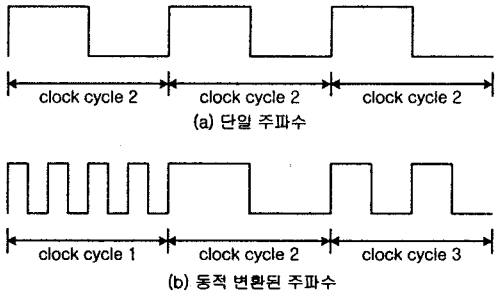

그림 1. 클럭 신호

그림 1은 DCU의 Block diagram이다. DCU는 직렬의 클럭분배기로서 pass logic block에 의해서 컨트롤된다. 하나의 클럭 분배기의 출력은 다음의 pass logic이 enable될 때 입력으로 들어가게 된다. pass logic block은 Enable Encoder에 의해 발생한 신호에 의해서 컨트롤된다.

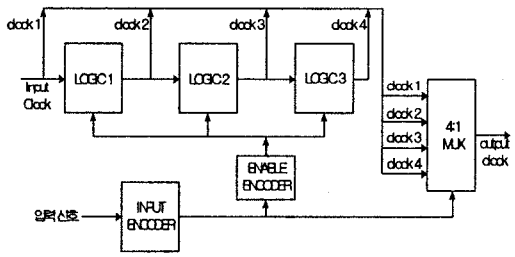

그림 2. 동적 주파수 변환을 위한 block diagram

위의 그림에서 각각의 로직은 2분주 회로로써 로직의 enable 개수에 의해서 클럭 주파수가 결정된다. 컨트롤러에서 들어오는 입력 신호에 의해서 Encoder에 의해 정해지는 신호로 로직 1~3이 enable되든지 disable된다. 예를 들면 input encoder의 신호가 10으로 인코딩되었다면 이것은 MUX에도 관련이 있고 이것은 clock 3의 주파수를 출력으로 내보내야 한다. 이것이 의미하는 것은 입력되는 클럭 주파수가 LOGIC 1과 2에 의해서 4분주된 신호가 출력으로 나와야 한다는 것을 의미한다. 그리고 input encoder의 출력신호로 인해 enable encoder도 동작하여 110이라는 출력신호를 내보내고 이것으로 인해 LOGIC 1과 2가 인에이블 되어야 한다는 것을 의미한다. LOGIC에 의해 몇 분주된 신호가 출력이 되더라도 출력 클럭 주파수는 항상 상승에지로 시작한다. 본 논문에서는 엄격한 시간제한을 두지 않는다.

Ⅳ. Dynamic Scaling Algorithm

동적 변환 알고리즘의 경우 각각의 수행 과정에 따른 예측 연산량을 필요로 한다. 즉 다음과 같이 3가지의 경우를 살펴 볼 수가 있다.

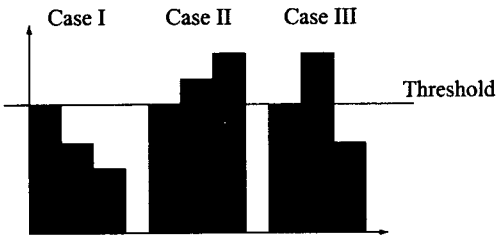

그림 3. 각각의 수행과정에서의 예측 연산량

위의 그림은 case I 의 경우는 제한선보다 예측한 연산량이 작아지므로 주파수와 공급전압을 낮춤으로서 소모전력을 줄일 수가 있다. 또한 caseII의 경우는 예측되는 연산량이 차츰 증가하므로 case I 과는 반대로 주파수와 전압을 높여주어야 한다. caseIII의 경우 기준값에서 총 오차가 적으므로 기준값을 그대로 유지한다.

다음 알고리즘은 이러한 점들을 토대로 하여 동적으로 주파수를 가변시킬 수 있다. 높은 주파수로 동작하는 과정을 전체 수행과정에서 마지막 부분으로 놓고 반대로 낮은 주파수로 동작하는 과정들은 앞쪽 부분에서 수행하도록 구성하였다. 그리고 변환된 주파수와 적절한 전압의 선정도 찾아야 한다.

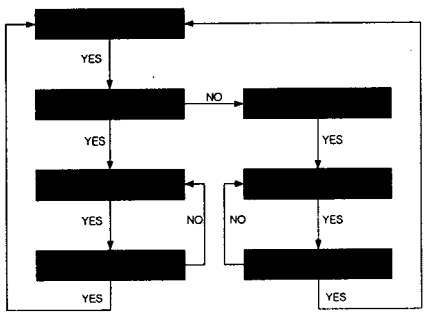

그림 4. 예측에 의한 동적 변환 알고리즘

위의 그림은 미리 예측에 의한 동적 변환 알고리즘에 대한 대략적인 block diagram이다. 여기에서 보면 예측한 값이 지정된 값보다 크면 주파수와 전압을 낮추고 이와는 반대로 예측한 값이 지정된 값보다 크면 주파수와 전압을 올려주는 알고리즘이다.

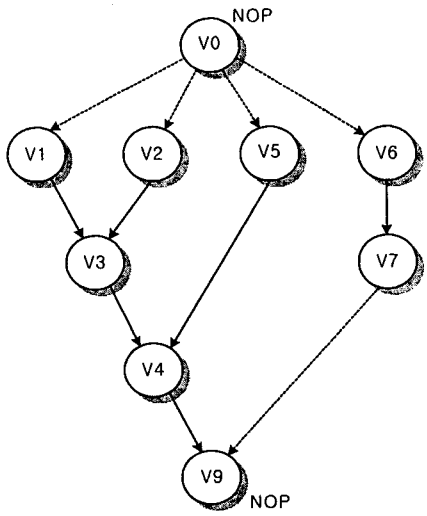

그림 5. Non-scaling algorithm의 benchmark

다음 그림은 전체 수행 과정동안에 수행제약 시간과 동작 주파수 가변에 대한 알고리즘이 적용되지 않은 상태에서의 benchmark를 나타낸 것이다. 위의 그림은 하나의 주파수로 모든 수행과정이 동작한다. 보다 작은 전력을 소모하기 위해서는 주파수와 전압등의 가변으로 이를 성취할 수 있다. 그러기 위해서는 각각의 수행 과정 중에서 주파수나 전압을 낮추어도 되는 과정을 선정하는 것이 무엇보다도 중요하다. 또한 이러한 선정을 하는데 무엇을 우선으로 하여 결정할 것인가도 고려하여야 한다.

C 0	C 1	C 2	C 3	C 4

그림 6. Cycle priority

위의 그림 6.은 Cycle priority를 나타낸 것이다. 이것은 전체 수행과정에서 전력 소모를 적게 하는 것을 우선순위를 높게 하여 지정하였다. 그리고 다음에 나오는 그림 7.은 Cycle의 우선순위로 정해진 경위의 benchmark를 표현한 것이다. 이것을 보면 아랫부분에 있는 cycle이 높은 주파수와 공급 전압을 갖게 된다. 즉, 분주시키지 않은 클럭신호로 이것을 동작 시키고 cycle 1의 경우에는 2분주된 신호를 cycle 2는 2분주된 신호를 사용하여 회로를 구성하였다. 이렇게 함으로서 각 cycle에서 필요로 하는 적절한 주파수와 전압을 인가함으로써 쓸모없이 소비되는 전력을 줄일 수가 있다.

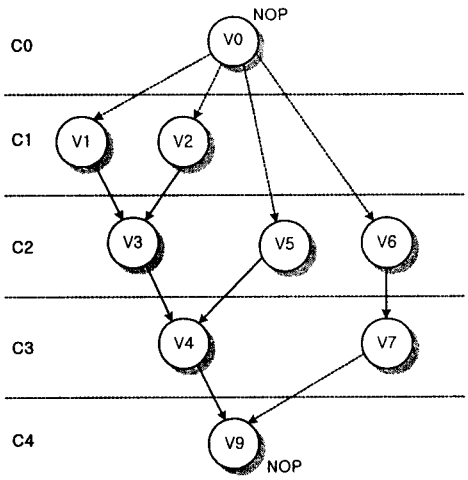

그림 7. dynamic scaling이 적용된 benchmark

V. 결 론

본 논문에서는 주파수와 전압의 동적인 변환으로 전력 소모를 줄이기 위한 실험을 해 보았다. 전력 소모가 주파수와 전압과 비례관계에 있다는 것을 배경으로 하여 단일 주파수-전압으로 구동되는 경우 쓸모없이 소모되는 전력 에너지를 줄이고자 하는 목적에서였다. 논문에서 열거된 일련의 과정 중에서 가장 중요한 것은 예측 연산량으로 기준을 잡는 것이 무엇보다도 중요하다. 예측으로 정해진 기준값이 너무 오차가 심할 경우 이 오차로 인해 발생하게 되는 전력 손실도 상당한 부분을 차지하기 때문이다. 이러한 오차로 인한 전력의 소모를 줄이기 위해서는 기준을 정확히 계산하여 정하는 것이 무엇보다도 중요하다 하겠다. 본 논문에서는 각각의 수행 사이클을 좀 크게 잡아서 전력소모 감소가 비교적 적게 되었다. 보다 나은 결과를 얻기 위해서는 앞에서도 언급하였듯이 예측에 의한 기준값을 정확하게 정하고 수행 사이클의 범위를 작게 정함으로서 보다 나은 전력 감소 효과를 얻을 수 있을 것이다.

Reference

[1] N.Ranganathan, N.Vijaykrishnan, and N.Bhavanishankar, "A VLSI Array Architecture with Dynamic Frequency Clocking", Proc.of ICCD'96, 1996, pp137-140.

[2] C.A.Papachristou and H.Konuk, "A Linear Program driven Scheduling and Allocation Method", Proc, of 27th ACM/IEEE DAC'90, 1990, pp.77-83.

[3] T.Burd and R.Broderson, "Processor Design for Portable Systems", J.VLSI Signal processing, vol.13, no.2, 1996, pp.203-222.

[4] N.Ranganathan, N.Vijaykrishnan, and N.Bhavanishankar, "A linear array processor with dynamic frequency clocking for image processing applications", IEEE Trans. on CSVT vol.8, NO.4, 1998, pp.435-445.

본 연구는 민군 겸용 기술개발과제의 지원으로 수행되었습니다.