

광디스크 드라이브에서 서보용 제어시스템의 하드웨어/소프트웨어 최적화

이 동 한, 윤 형 덕, 안 영 준
삼성전자 디지털미디어 연구소
전화 : 031-200-4769 / 핸드폰 : 017-257-6874

Hardware/Software Optimization of the Servo control system in Optical Disc Drive

Dong Han Lee, Hyeong Deok Yoon, Young Jun Ahn
SAMSUNG Electronics Co., Ltd
E-mail : vlsibang@samsung.co.kr

요약

광 디스크 드라이브에서의 서보 제어시스템에는 광 픽업에서 발생된 레이저 빔을 디스크 기록면의 데이터 트랙에 정확히 위치시키기 위한 제어 계를 갖고 있다. 광 디스크의 고배속화에 따른 외란의 주파수 대역의 증가에 따라 더욱 더 높은 샘플링 주파수로 레이저 빔의 위치 제어를 필요로 하게 되고, 여러 가지 알고리즘의 증가로 인해 DSP의 연산 부담은 증가하게 된다. 본 논문에서는 서보 제어에 필요한 알고리즘의 최적화된 하드웨어/소프트웨어 시스템을 구현하고 이를 이용한 실험 결과를 제시한다.

Signal Processor)가 담당하게 되며, 광 디스크의 고배속화에 따른 샘플링 주파수의 증가와 여러 가지 고정능의 알고리즘이 추가되면서 DSP의 부담은 커지게 된다. 그렇게 되면 서보의 성능은 DSP의 능력에 따라 의존도가 커져 프로세서의 선택의 폭이 줄어들고, 시스템 클럭은 높아져 소비전력도 커지게 된다.

본 논문에서는 DSP의 연산량(그림 1 참조) 중 많은 부분을 차지하면서도 Flexibility의 요구가 상대적으로 적은 제어용 필터를 hardwired화 하면서 하드웨어와 소프트웨어(DSP 프로그램)의 최적화된 서보 제어 시스템을 구현하고자 한다. 그 중 본 논문에서는 제어 보상기인 Hardwired filter의 구조와 특성을 2장과 3장에서 기술하며, 구현된 실제 ASIC Chip을 사용한 시스템으로 실험결과를 4장에 제시한다.

I. 서론

광 디스크 드라이브에서의 서보제어 시스템은 광픽업 레이저의 빔을 디스크 기록 면에 유지시켜, 목표 트랙으로 빔 스팟을 이동시키고, 빔 스팟을 트랙에 추종시키기 위한 제어 계를 갖고 있다. 그 밖에도 디스크를 회전시키기 위한 제어 계와 트랙에서 다른 원하는 트랙으로 이동하기 위한 제어 계 등 여러 가지를 갖고 있는데[1] 이러한 제어는 대체적으로 DSP(Digital

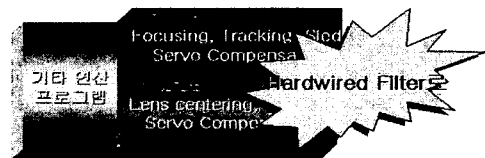


그림 1 ODD(Optical Disc Drive)에서의 DSP 연산 부담량의 예

II. Hardwired filter를 이용한 서보 제어 시스템

2.1 Hardwired filter를 이용한 서보 제어시스템의 기본 구조

서보 제어를 하기 위해 일반적으로 DSP에서는 디스크의 먼 진동을 추종하기 위한 Focusing 보상기, 데이터 트랙의 편심을 추종하기 위한 Tracking 보상기, 광픽업 렌즈의 흔들림을 보상하기 위한 Lens centering 보상기, 디스크의 회전을 제어하기 위한 Spindle 보상기 등과 같은 주기적인 제어(예: 176.4Khz interrupt 사용, sampling)와 비주기적으로 발생하는 자동조정 및 포커스/트랙 폴인 시점 찾기 등과 같은 기타 연산 프로그램을 하게 된다. 이런 DSP 연산 부담은 그림 1과 같이 주기적인 계산(보상기 필터)들이 많은 부분을 차지하게 된다. 그리고 이런 주기적인 계산들은 필터 구조의 변경 없이 필터들의 계수만 바꾸어 처리하는 것이 일반적이다. 그래서 이런 제어 보상기들을 DSP에서 처리하지 않고 Hardware로 만들어 DSP의 Coprocessor 역할을 하게 하면 DSP의 연산 부담을 줄일 수 있게 된다.

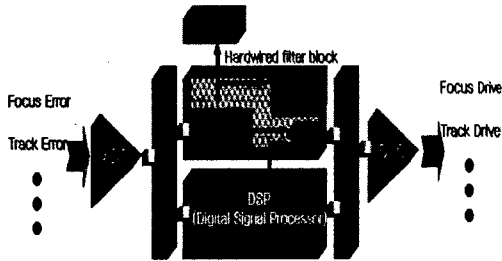


그림 2 Hardwired filter를 사용한 서보 블록도

그림 2는 본 논문에서 사용되는 Hardwired filter를 사용한 서보 블록도이다. 광 픽업 내의 레이저 빔은 디스크에서 반사되어 포토 다이오드에 입사, 전기적 신호로 변환되어 RF-amp의 입력으로 들어간다. 여기서 서보 제어를 위한 포커스 오차 신호(Focus Error)와 트랙킹 오차 신호(Track Error) 등의 서보 제어 신호가 발생하는데 이 신호들이 AD 변환 되어 인터페이스 로직과 Glue 로직을 통해 서보 블록으로 들어오게 된다.[1] 이런 디지털 값을 바탕으로 서보 제어를 구동하게 되는데 서보 제어기로 사용되는 디지털 필터들은 DSP 프로그램과 Hardwired filter block을 사용할

수 있도록 Mux 되어 있어서 어느 정도 flexibility를 유지하도록 하였다. 여기서 Hardwired filter block에서는 Filter Control block이 1차 IIR(Infinite Impulse Response) 필터를 functional block처럼 불러 들여 시분할하여 사용하도록 되어 있다. Memory는 필터의 계수와 데이터를 사용하기 위함이다.

2.2 IIR 필터(functional block)[2]

본 논문에서 사용되는 포커스 제어기 및 트랙킹 제어기의 필터 구조는 그림 3과 같다. 이 제어기는 그림에서 보듯이 1차 IIR(그림 4) 필터의 기본구조를 5개 또는 여러 개 사용하여 만들 수 있는 구조이다. 그래서 이 1차 IIR 필터 하나만을 Hardware로 만들어 정해진 순서에 따라 여러 번 사용하는 방법을 이용하게 된다. 여기서 functional block으로 1차 IIR필터를 사용한 이유는 광 디스크 드라이브 제어기의 최소 기본 구조이며, 하드웨어 구조도 간단해지기 때문에 설계가 용이하게 된다.

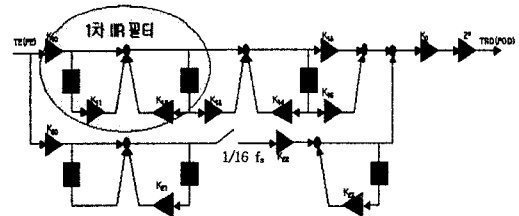


그림 3 포커스 제어기 및 트랙킹 제어기의 구조

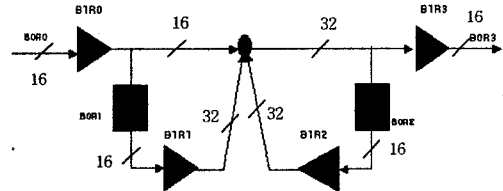
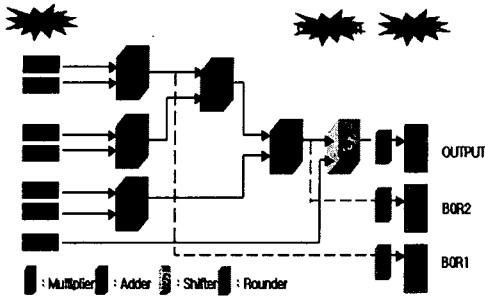


그림 4 Hardwired filter의 엔진 부분인 제 1차 IIR 필터(제 1 Direct form)

위와 같은 1차 IIR 필터의 하드웨어 구현에 있어서 사용되는 기본 로직 들은 입력 데이터(혹은 지연값)와 계수를 곱하는데 필요한 16bit * 16bit Q15 format Multiplier가 3개, 32bit + 32 bit Q15 format Adder가 2개, 그리고 32bit입력을 16bit로 반올림하여 출력하는 Rounder가 3개, 마지막 단의 Shifter가 1개, 그리고 데이터들(이전 값)을 담아두는 레지스터(또는 메모리)들

이 필요하다. 위와 같은 로직 구성도는 그림 5와 같다.



BOR0 : 입력데이터 BOR1, BOR2 : 지연값
 BIR0, BIR1, BIR2 : 계수값 BIR3 : SHIFT값
 그림 5 1차 IIR 필터의 로직 구현

1차 IIR필터의 내부동작에는 메모리로부터 데이터와 필터계수를 읽어 레지스터에 담아두는 Read 동작에서 1 Clock, 곱셈과 덧셈을 통해 Shifter를 통과하기까지의 Calculation 동작에서 1 Clock, 그리고 계산된 데이터를 레지스터로 업데이트하는 Update 동작 1 Clock으로 총 3 Clock이 소요되게 설계했다.

그 밖에 업데이트된 데이터(레지스터)를 메모리에 쓰는 Write 동작과 필터동작의 시작과 끝을 나타내는 필요한 플래그 1 Clock씩 등 1차 필터를 사용하는데 총 7 Clock이 소요되게 된다.

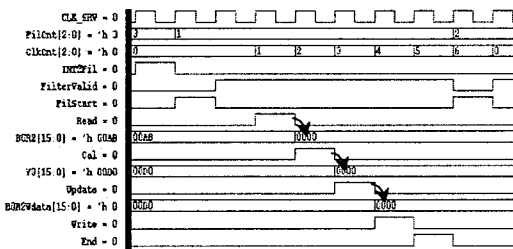


그림 6 1차 IIR 필터 function simulation

2.3 Compensator Operating Sequence

Filter Control 블록에서는 제어 보상기 들의 동작 순서를 통제하게 되는데 사용되는 제어 보상기 들의 종류와 구조는 그림 9와 같으며 순서는 다음과 같다. 매 인터럽트(예, 176.4 KHz)마다 General 2차와 Focus 4차, Tracking 4차, Sled 2차, Offset filter 2차(Fod 1 차, Trd 1차)가 동작하며, 16 인터럽트(11.025 KHz)마

다 Focus 2차, Tracking 2차, Lens centering 2차, Spindle 2차, General 2차가 아래(그림 7)와 같은 순서로 동작하게 된다. 이런 동작들은 그림 2의 Filter Control 블록에서 결정되게 된다. 필터의 클럭을 67 MHz로 했을 경우 한 인터럽트 당 380 Cycle (67MHz/176.4KHz)이 할당되고, 필터 동작은 총 16차 112 Cycle (7cycle*16)이 소요된다. 여기서 인터럽트 (샘플링 주파수)를 2배인 352.8 KHz(190 Cycle)의 고 주파수로 올렸을 경우 저속의 DSP 만으로는 주어진 Cycle 내에 인터럽트 서비스루틴 안의 모든 서보 프로그램을 수행하지 못하게 될 수 있다. 이런 경우에는 Hardwired filter와 함께 수행하게 되면 고배속의 광디스크에 대응을 할 수 있으며, DSP의 부담도 크게 줄일 수 있게 된다.

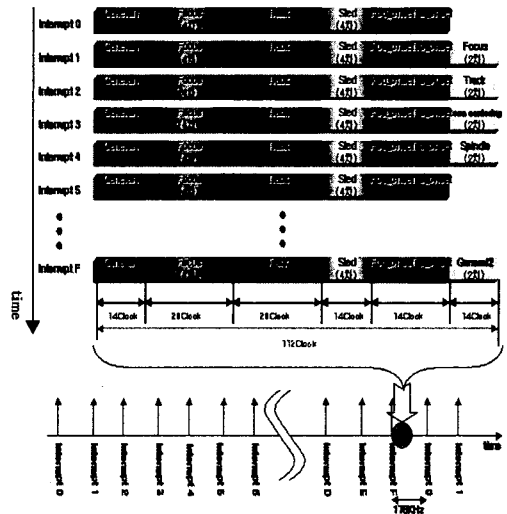


그림 7 Compensator operating sequence (67MHz Clock)

2.4 Bank Memory Map

계수와 데이터 값을 저장하기 위해서 synchronous sram 메모리를 사용하는데, 본 논문에서는 입력(1개)과 지연값(2개)을 저장하기 위한 Bank0 메모리 (24words x 16bits) 3개와 필터 계수(4개)를 저장하기 위한 Bank1 메모리(48words x 16bits) 4개가 사용된다. 각 Bank 메모리의 개수를 하나가 아닌 3개와 4개를 사용한 이유는 필터 계산 시 병렬로 동시에 메모리의 값을 읽고 써서 빠른 동작을 하기 위함이다. 또한 Bank1의 메모리 words가 Bank0 보다 큰 이유는 여러 주파수 대역에 대한 필터 계수를 포함하고 있기 때문

이다.

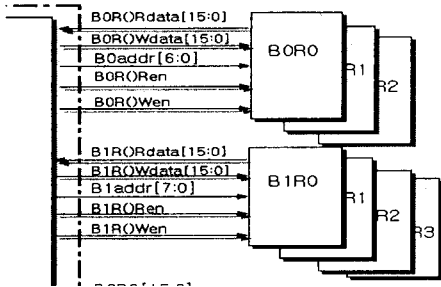


그림 8 Memory와 Filter Control block

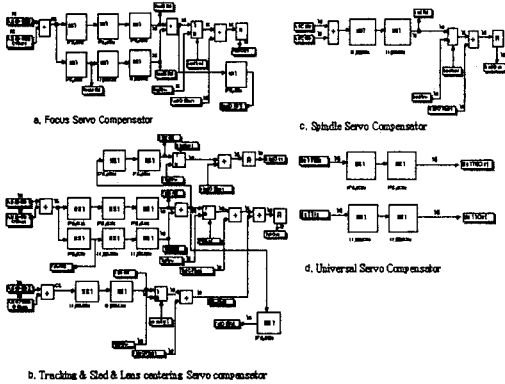


그림 9 서보 디지털 필터의 종류와 구조

III. Hardwired filter를 이용한 서보 시스템 구현

3.1 DSP specification[3][4]

본 논문에 사용된 DSP는 DSPG Inc.의 Teaklite core를 base로 했으며 Teaklite-development chip의 architecture를 사용하였다. 구성요소는 다음과 같다.

- Teaklite core
 - 7ns cycle time @2.5V @0.25u
 - 16bit fixed-point DSP CORE
 - 36-bit ALU
- 10K words의 Downloadable program memory
- 512 words의 Xram (Data memory)
- 1K words의 Yram (Data memory)
- Bus interface Unit(BIU)
- On Chip Emulation Module(OCEM)

- On-Chip TJAM unit - Teaklite's JTAG Activated Mailbox (for OCEM)
- On-Chip Interrupt Control Unit (ICU)
- Clock Circuit
- User-Defined Registers Interface

3.2 실험 및 성능 분석

그림 10은 본 논문에 사용된 실제 광디스크 드라이브 서보 제어 시스템이다. 왼쪽으로부터 Disk Drive Deck와 RF보드, DVD Multi chip이다. Hardwired filter 블록은 실제 ASIC으로 구현되어 다른 블록 (DVD Muliti chip : ADC, DAC, DSP, Memory, Data Processing block, PRML, ...)들과 함께 칩 안에 들어가 있다.

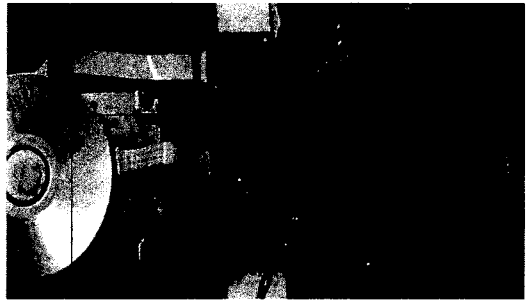
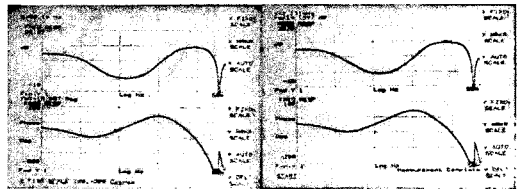


그림 10 구현된 광디스크 드라이브 서보 제어 시스템

그림 11은 176.4 KHz의 샘플링 주파수에서 6차 IIR 필터구조를 가지는 Focusing Controller filter에 대한 Software (DSP)와 Hardwired filter의 Bode plot이다.

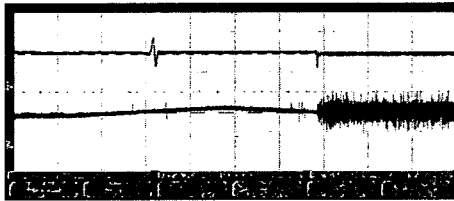


(a) H/W filter (b) S/W filter
그림 11 Focusing Controller filter의 H/w, S/w filter의 Bode plot 비교

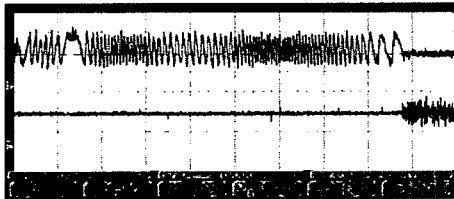
그림 12의 (a)는 액츄에이터를 상하로 움직여 포커스 에러 신호를 생성시켜 제어 시작점을 찾은 후 디스크의 기록 면에 초점이 맺히는 구간에서 Hardwired focusing filter를 동작시키는 과정을 나타내고 있다. (b)는 포커싱 제어가 된 후 생기는 트랙 에러 신호의

면적이 작은 부분을 찾아 마찬가지로 Hardwired tracking filter를 동작시키는 그림이다.

그 밖에 연동시의 sled filter와 디스크의 회전을 제어하는 spindle filter(그림13) 등 대부분의 제어 보상기들은 Hardwired filter로 동작된다. 다만, seek시의 속도, 거리 제어와 기타 fault 처리 및 Emergency 등은 Hardware로 만들지 않았기 때문에 DSP에서 제어를 해 주어야 한다.



(a) Focus 제어 시작



(b) Track 제어 시작

그림 12 Hardwired filter를 이용한 포커스, 트랙 제어(DVD-ROM 미디어 사용)

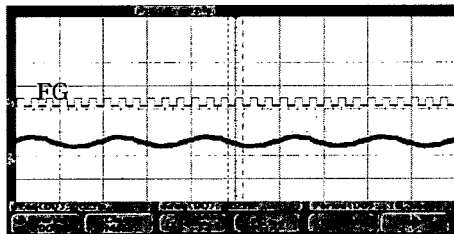


그림 13 Hardwired filter를 이용한 Spindle 모터 제어 (CAV mode)

0.18 μ m 공정으로 제작된 Hardwired filter가 차지하는 면적은 표 1과 같다. 엔진에 해당하는 IIR1 블록에는 multiplier가 3개가 들어가서 다른 블록보다 많은 면적을 차지하는 편이다. 나머지 Control 블록들과 다 합쳐서 총 25,000여 Gate를 차지하게 된다. 그 밖에 24words x 16bits 3개와 48words x 16bits 4개의 메모리 면적이 차지하게 된다.

표 1 Hardwired filter의 면적(Gates)

	면적(Gates)	비고
IIR1	14,000	multiplier : 3,000 * 3 adder : 1,000 * 2
FilCon	8,000	
OutCon	3,000	
HwFilter	25,000	

서보 제어 시스템을 DSP만을 사용하였을 경우와 Hardwired filter와 함께 사용하였을 경우의 비교를 표 2에 정리하였다. Hardwired의 특징인 Flexibility와 면적을 제외하고는 저전력, 고성능, 저가격의 장점을 갖는다고 하겠다.

표 2 일반적인 DSP와 H/W filter를 추가하였을 경우의 특징 비교

	Only DSP	DSP + H/w filter
DSP Clock /동일성능	높은 Clock 요구	낮은 Clock 가능 ⇒ 저전력
Performance /동일Clock	제한적	DSP의 Filter 연산부분 대신에 새로운 알고리즘 추가 ⇒ 고성능
가능한 Sampling rate (Interrupt) /동일Clock	제한적	높은 샘플링 가능 ⇒ 고배속 대편심/편향 광 디스크에 대응
Flexibility	좋다	→ 구조변경이 불필요한 Block을 Hardwired화 → S/W와 H/W filter 선택 가능
Cost	고사양의 DSP 필요, 가격부담	사양이 낮은 프로세서로의 전환 가능 ⇒ 저가격

IV. 결론

본 논문에서는 광 디스크 드라이브에서 하드웨어와 소프트웨어의 최적화된 분담을 위해 Hardwired filter를 사용하였으며, Coprocessor로 사용할 수 있음을 보였다. 광 디스크의 고배속화와 고성능 알고리즘이 증가함에 따라 점점 더 고사양의 DSP가 필요로 하게 되며, 이에 따른 가격부담과 전력소모가 걸림돌이 된다.

또한 외부의 마이콤도 칩 내부로 들어오는 SoC 환경에서 칩의 면적과 가격 면에서 프로세서를 하나로 통합되는 추세이다. 이 경우 RISC 프로세서 하나만으로 시스템 마이콤과 DSP의 기능을 하게 되는데 가장 많은 연산을 하는 서보의 주기적인 제어 보상기들이 가장 큰 부담으로 남게 된다. Hardwired filter를 사용함으로써 프로세서의 여러 가지 제약을 줄여 프로세서 선택의 폭을 넓힐 수 있는 계기가 될 수 있을 것이다. 앞으로 고정된 필터 구조의 단점을 보완하여 좀 더 개선된 Hardwired filter를 개발하면 광 디스크 드라이브의 범용적인 Coprocessor의 역할로 충분히 활용될 수 있을 것이다.

참고문헌(또는 Reference)

- [1] 尾上守夫의, 光ディスク技術, ラジオ技術社, 1988
- [2] Emmanuel C. Ifeakor, Digital Signal Processing, Addison-Wesley, 1995
- [3] Teaklite™-Architecture Specification, DSPG
- [4] Teaklite Development Chip SPEC