

화물 검색시스템 구현 및 Boundary_Scan Test

김 봉 수, 김 인 수, 유 선 원, 김 성 원, 이 선 화, 이 윤, *한 범 수
고려대학교 전자 및 정보공학과, *EBTECH
전화 : 02-3290-3975 / 핸드폰 : 016-468-7408

Cargo Inspection System Design and Boundary-Scan Test

Bong Su Kim, In Su Kim, Sun-Won Yoo, Sung-Won Kim, Sun-Wha Lee, Yun Yi, Bum-Soo Han
Dept. of Electronics & Information Engineering, Korea University, EBTECH
E-mail : kiss@korea.ac.kr

Abstract

We newly developed the procedures of X-ray Cargo inspection system with acquisition of multi-channel data, analog to digital converter and post logic circuit which is controlled by the FPGA.

The IEEE1149.1 standard defines a four-wire serial interface(a fifth wire is optional)to access complex integrated circuits(ICs) such as PLD.

This paper describes that Boundary_Scan test method applied to our home made cargo inspection system.

이용한 대형화물 검색시스템에 IEEE 1149.1 Boundary-Scan 테스트가 가능한 신호획득 장치(Data Acquisition System)를 직접 설계하여 테스트 하고, X-선을 통해 컨테이너 안의 물체를 영상으로 구현해 보았고, 신호획득 장치를 구성하고 있는 각 부분(part)들의 구성방법과 원리, 테스트에 관한 연구를 수행 하였다.

II. 시스템 구성

I. 서 론

컨테이너 특성상 그 내부의 화물을 파악하고자 할 때에는 부득이 검사원이 컨테이너를 개봉하고 내부를 검사해야 하므로 검색시간과 인력의 낭비가 초래된다. X-선을 이용한 화물 검색시스템은 대형 컨테이너를 개봉하지 않고, X-선 주사(scanning)만으로 내부화물의 형상과 배치를 쉽게 알 수 있으며, 그 처리속도도 컨테이너 하나 당 수분 이내이므로 항만 등에서 다량의 화물 처리에 적합하다.

또한 화물검색 시스템은 4미터 크기의 대형화 시스템을 장착하기 때문에 부품들과 시스템을 이루고 있는 많은 보드들과 고밀도로 실장되어 있는 부품들에 일반적인 ICT(In Circuit Test) 기술을 사용할 수 없는 문제가 발생되고 있다.

본 논문은 항만에서 많이 사용되는 고출력 X-선을

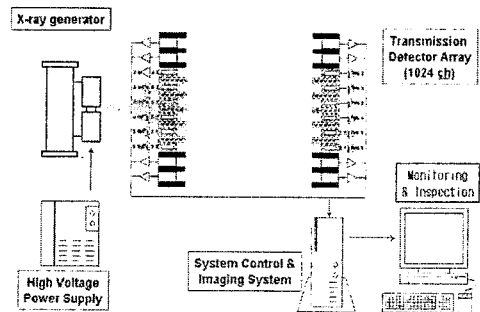


그림 Structure of Cargo Inspection system

Power Supply로 작동되는 X-ray generator는 X-ray를 컨테이너에 조사하고, 컨테이너를 통과한 X-ray는 반대편 Detector에 전달되고, 반사되는 X-ray는 조사하는 부분의 Detector에서 Capture하게 된다. 신호의 시작점은 X-ray 이지만 처리가 가능한 것은

Photodiode를 통해 들어온 전기적인 신호부터이다.

X-ray가 Photodiode 위의 Scintillator를 자극하면 Scintillator에서는 Visible Light가 생성되어 Photodiode에서 전류를 발생시킨다. 이때 발생하는 전류는 대략 수십 nA ~ pA까지로. 이것은 Integrator에서 적분과 증폭과정을 거치면서 전압으로 변환이 되어 16 bit ADC (Analog to Digital converter)로 들어가게 된다. ADC에서 Parallel 디지털 신호로 변환된 신호는 순차적으로 FPGA에서 만들어진 Address 신호와 결합하여 각 채널과 보드로 구분되어서 마지막 전달단계에서 Data를 저장하였다가 Multiplex를 통해 Main Computer로 전해진다. Main Computer에서 영상 이미지를 획득하기 위한 이미지 프로세싱을 거쳐 화물검색 영상을 획득하고 진단한다.

2. 1 Controller

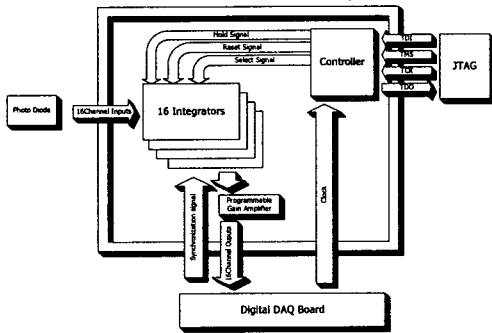


그림 2 DAQ Board Operation Block Diagram

각각의 역할을 하는 IC들이 제대로 동작을 하도록 제어를 해 주어야 하고, 제어를 하기 위해서 PLD(Programmable Logic Device)를 사용했다. PLD는 논리회로를 구현하기 위한 사용자 구성방식(user-configurable)의 논리소자로 74 시리즈와 같은 TTL 소자들이 각각의 소자가 자신만의 기능을 수행하며 수시로 회로설계 조건이 변경되는 경우에 이러한 요구조건을 만족하는 것이 불가능하나 PLD는 소자내부에 있는 독특한 논리구조를 이용하여 Boolean equation이나 레지스터 동작들을 구현한다.

Boundary-scan Test를 구현하기 위해 그림 2에 JTAG Port를 추가하여 신호의 흐름을 나타냈다.

두 개의 아날로그와 디지털 부분을 통합하여 Ground Level에 영향을 주지 않도록 하기 위해 Ground를 두 개로 나누었고 기본적으로 Board를 구성할 때 사용하는 전원 입력부에 Capacitor와 안정적인 전원을 공급하기 위한 Voltage Regulator는 Data

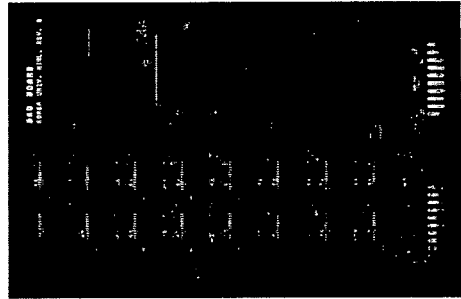


그림 3 Dual Integrator Board Layout

Sheet에 제안된 방법을 사용하였다.

Integration을 하면서 낭비되는 시간을 초래하지 않기 위해 Dual Switched Integrator를 사용하게 되었으며 내부적인 Scheme은 Integrator가 하나의 Package안에 두개가 들어가 있고 내부에 Mux가 들어 있어 Input signal에 의해 A, B Channel을 선택하게 된다.

Switched Integrator 내부적으로 100pF의 Capacitor를 갖고 있어 이것으로 증폭률을 결정하게 된다.

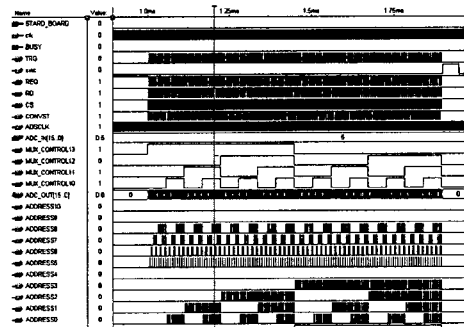


그림 4 Simulation Result of Data Control

Switched Integrator를 제어하는 신호는 앞서 밝힌 RESET에 걸리는 시간 5us, A/B를 교차하며 새로운 데이터가 나오는 데 까지 걸리는 시간 2us를 고려하여 구성하였다. 그리고 ADC에서 나오는 데이터가 곧장 Master로 입력이 되면 값의 일그러짐(distortion)이 발생하게 되는데 이것을 I/O로 입력시킨 후 내부 신호로 만들어 전송하는 방법을 사용하여 해결했다. PLD를 한번 통과하는 동안 발생하는 지연은 최대 10ns이내 이므로 입/출력에 영향을 주지 않는다.

Control logic에 대한 신호의 구성은 그림 4와 같으며 저장과 변환 값의 Simulation결과도 정확하게 얻을 수 있었다. 현재의 구성으로는 Delay Time를 고려하여 최대 20Channel 까지 구성이 가능하다. Simulation

상 입력된 데이터가 최종 Parallel Output으로 나올 때까지 정확하게 동작하고 있음을 볼 수 있다.

2. 2 Boundary-Scan Test

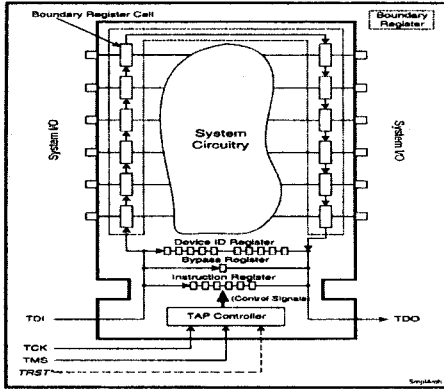


그림 5 Architecture of BST Integrated Circuit.

BST를 위해서는 PCB에 이를 고려한 설계가 요구되는데, Chip 내부에 추가된 Test Logic의 제어와 Test Logic Data 입출력을 위한 추가의 Pattern (최대5개 : TMS, TCK, TDI, TDO, TRST)이 필요하게 된다. Chip 내부에는 Core Logic(고유의 동작을 위한 Logic)과 입출력 Pin 사이에 Test를 위한 Cell들이 있으며 이들을 제어하기 위한 Control Logic(TAP Controller)과 몇 개의 Register들이 존재한다. BST의 핵심은 Chip의 Core Logic과 Pin 사이에 존재하는 Boundary-Scan Cell 들인데, 이들이 그림 5 에서처럼 직렬로 연결되어 다른 Chip의 Cell들과 함께 하나의 Chain을 구성하여 Test Data를 PCB 외부로 전송할 수 있다.

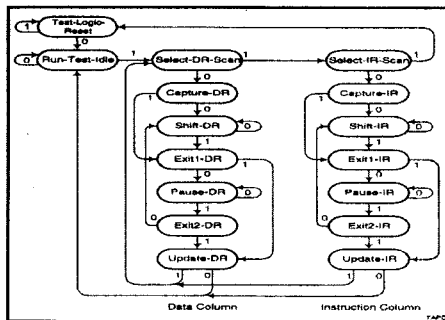


그림 6 State transition diagram of the sixteen-state TAP controller

- Test Logic Reset : TAP Controller의 현재 상황과 상관없이, TCK의 연속된 5개의 상승 모서리에서 TMS가 1을 유지하면 이 상태에 도달한다. 그리고 Chip에 전원이 가해 질때는 내부 Logic이 정상 동작하도록 TAP Controller는 이 상태를 유지한다.

- Run-Test / Idle : Instruction Register의 Data에 따른 Test를 Test Logic은 수행하고 Instruction Register의 Data는 변하지 않는다.

- Capture-DR, IR : TCK의 상승 모서리에서 현재의 Instruction(Instruction Register의 Data)에 의해 선택된 Test Data Register에 Parallel input의 Data가 병렬로 Load 된다.

- Shift-DR, IR : TDI와 TDO에 접속된 Test Data Register의 Data를 TCK의 상승 모서리에서 TDO로 Shift한다.

- Update-DR, IR : Test Data의 Shift가 끝난후, TCK의 하강 모서리에서 Test Data Register에 새로운 Data들이 저장된다.

- Pause-DR, Pause-IR : Test Data Register 와 Instruction Register의 Data Shift가 정지된다. 즉, Data는 계속 유지된다.

III 시스템 구현 및 실험 결과

화물검색 시스템에서는 크게 3가지의 형태를 가지는 BOARD로 나눌수 있는데 Master Board에서는 BST를 지원하는 Chip들로만 구성되어 있지만 Analog Board 와 ADC Board는 그러하지 않다. 그래서 Boundary - Scan Test 방법이 모두 적용될 수는 없다.

우선 3가지 각각의 보드에 Infrastructure Test를 적용해서 IDCODE를 통해 Infrastructure 확인을 우선 실시 하였다. 그리고 이 Test가 통과된 후에 Sample / Preload Test를 통해 PLD에 프로그램 한 파형을 제대로 만들어 내는지 확인하였다.

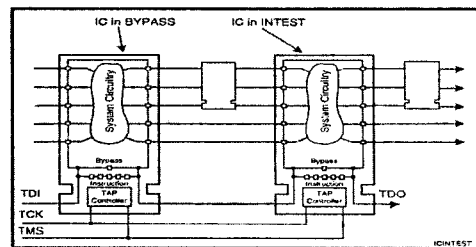


그림 7 Simple Chain of Boundary-Scan ICs.

그리고 Board의 중심을 이루고 있는 가장 중요한 PLD부분이 핀 간격이 좁고 작은 핀으로 구성되어 있

