

간단하고 정확한 RF MOSFET의 기판효과 모델링과 파라미터 추출방법 (A Simple and Accurate Parameter Extraction Method for Substrate Modeling of RF MOSFET)

심 용석* 양 진모**
(Yong-Suk Sim, Jeen-Mo Yang)

요약 RF에서 동작하는 초미세 공정 MOS 트랜지스터의 기판 효과에 따른 기판 회로망과 물리적 의미를 가지는 파라미터 추출법이 고려되었다. 제안된 기판 회로망에는 단일의 저항과 링-형태의 기판 콘택에 의해 생성된 인덕터가 포함되었다. 모델 파라미터는 최적화 과정 없이 단절된 게이트와 공동-벌크 구성을 갖는 MOS 트랜지스터에서 측정된 S-파라미터로부터 추출된다. 제안된 기술은 다양한 크기의 MOS 트랜지스터에 적용되어 졌다. 추출된 기판 회로망을 이용한 가상실험 결과와 측정치는 약 30GHz까지 일치함을 검증하였다.

Abstract A substrate network model characterizing substrate effect of submicron MOS transistors for RF operation and its parameter extraction with physically meaningful values are presented. The proposed substrate network model includes a single resistance and inductance originated from ring-type substrate contacts around active devices. Model parameters are extracted from S-parameter data measured from common-bulk configured MOS transistors with floating gate and use where needed with out any optimization. The proposed modeling technique has been applied to various-sized MOS transistors. Excellent agreement the measurement data and the simulation results using extracted substrate network model up to 30GHz

1. 서 론

초 미세 CMOS 제조기술의 발전은 기존 공정의 재활용과 더불어 CMOS 기술을 기반으로 발전해온 IF 및 기저대역 ASIC 과 RF IC까지 통합 할 수 있는 유일한 기술로 대두되었다[1].

0.18 μ m CMOS 공정기술은 최대 차단 주파수가 50GHz 이상에 이르게 되어 현재 그리고 미래의 RF CMOS 응용에 적합하게 되었다[2][3].

상업용 RF CMOS 제품 생산에 있어서 중요한 쟁점은 광범위한 바이어스 조건과 동작 주파수에 유효한 트랜지스터 모델의 이용에 있다. 정확하고 실제적인 모델은 RF 집적회로의 CAD 설계와 “퍼스트 패스 설계(first pass design)” 능력 실현에 중요한 요소가 된다.

CMOS의 초 미세 공정을 위해 산업표준으로 채택된 BSIM3v3 모델은 직류 드레인 전류에 중점을 둔 저주파수 영역의 디지털과 아날로그 회로를 위한 모델이다.

BSIM3는 기판 커플링 효과가 포함되지 않아 1GHz 이상에서 소신호 입·출력

* 대구대학교 대학원 전자공학과

** 대구대학교 정보통신공학부 교수

저항을 감소시키므로 RF 범위에서 MOSFET의 동작을 추측하는 정확한 모델로는 충분하지 않다[5].

최근의 연구들은 RF 응용분야에 대한 새로운 MOSFET 모델의 개발 그리고 가상실험을 위한 모델 파라미터 추출에 집중되고 있다[4][8][13][14].

RF 영역에서 동작하는 MOS 트랜지스터의 기판 저항 효과를 표현하기 위한 다양한 형태의 기판 회로망들이 제안되었으며, 이를 BSIM3 모델에 부회로망을 통합하는 방법이 제안되었다[7][9][10].

측정된 값으로부터 기판 회로망 파라미터 추출은 최적화에 의한 방법[4][7][8]과 디바이스-레벨(device-level) 가상실험[7]을 통해 이루어지고 있다.

최적화에 의해 추출된 모델 파라미터들은 MOSFET의 기하학적 구조와 비례 축소성과 연관된 물리적 의미를 상실하게 된다. 디바이스-레벨 가상실험 방법은 긴 시간과 많은 자원이 요구된다.

본 논문에서는 RF용 MOSFET의 저항과 커패시턴스가 연결된 관례적인 기판 모델[6][7][9][10]에 인덕턴스를 추가한 새로운 모델과 측정치로부터 직접 파라미터를 추출하는 방법을 제안하였다.

2. MOSFET의 기판 회로망 모델

RF 주파수 범위에서 MOSFET의 실리콘 기판은 분산된 저항 회로망으로 동작한다. 최소 채널 길이를 가진 MOS 트랜지스터의 경우에는 차단 주파수 이하에서 동작할 때 이러한 분산 효과는 무시되어 집중된(lumped) 저항 회로망으로 모델된다[4][7]. 실제적으로 기판회로망에 영향을 미치는 어드미턴스는 트랜지스터의 전체 출력 어드미턴스(Y_{22})의 50%에 달하게 되며, RF 설계를 위한 중대한 변수가 된다[4].

저주파 영역에서 기판은 손실과 커플링(coupling)이 존재하지 않는 이상적인 상태로 간주된다. 그러나 GHz 범위의 주파수 영역에서 동작하는 MOSFET의 드레인(drain) 신호는 접합 커패시턴스의 임피던스를 감소시켜 드레인(drain)/소스(source)과 기판이 커플링 된다. 이러한 기판 커플링 효과는 기판의 도핑분포와 트랜지스터

의 기판 콘택(substrate contact)의 배치 등과 같은 공정 파라미터의 복잡한 함수가 된다. 여기에서 도핑 집중 분포의 변화는 일반적으로 저항으로의 모델이 가능하게 된다.

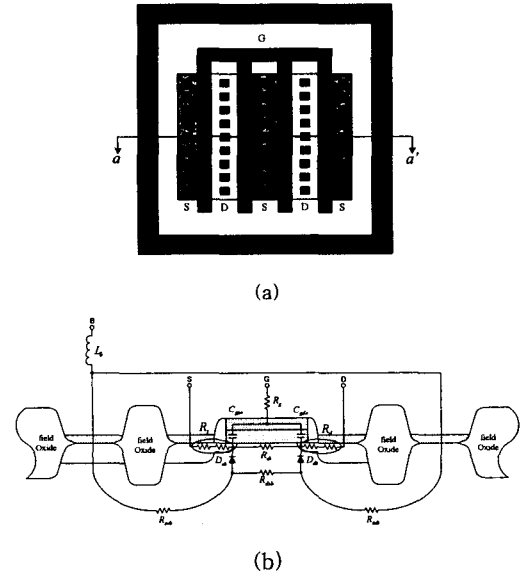


그림 1. 멀티핑거 MOSFET의 횡단면도 (a) 링-형태 기판콘택과 레이아웃. (b) 기생성분과 기판효과를 RLC 등가모델로 표현한 횡단면도

본 논문에서 제안된 모델의 파라미터 측정용으로 제조된 RF용 MOSFET는 그림 1(a)의 레이아웃에서 보여진 멀티-핑거(multi-finger) 트랜지스터이다.

그림 1(b)는 MOSFET 내부의 동작모델은 BSIM3의 보편화된 유사정적(quasi static) 모델이며, 외부 커패시턴스, 저항 그리고 인덕터 구성된 외부회로만 집중 소자 형태로 등가적으로 표현된 회로이다.

그림 2는 그림 1(b)에서 보여진 기생 성분과 제안된 부회로를 포함한 RF용 MOS 트랜지스터의 소신호 등가회로를 나타낸 그림이다.

최소 채널 길이를 사용하는 RF MOSFET의 경우 그림 1(b)에서의 저항 R_{dsb} 는 매우 작은 값이 되며, 등가회로를 더욱 단순화하기 위해 무시했다.

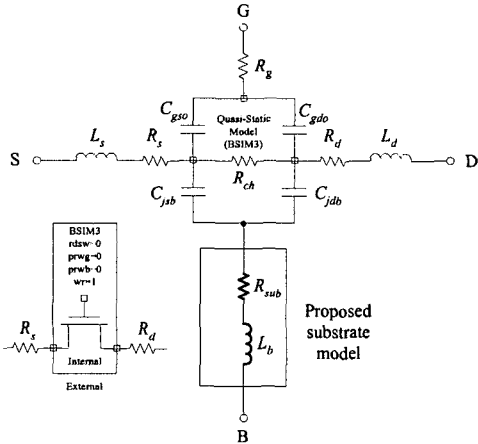


그림 2. 제안된 기판 회로망이 포함된 고주파용 소신호 MOSFET 등가회로

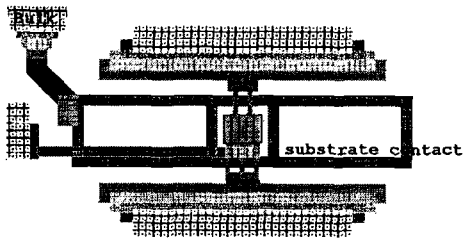


그림 3. 인덕턴스를 발생시키는 기판 콘택

드레인과 소스, 그리고 게이트(gate) 단자의 저항 성분들은 R_d , R_s , R_g 로, 게이트와 드레인/소스 사이의 오버랩(overlap) 커패시터들은 각각 C_{gdo} , C_{gso} 로 나타났다.

외부 커패시턴스와 저항은 전압 인가에 따른 동작점에서 추출되므로 소신호 모델에 국한 되게 된다. 대신호 모델을 위해 기판의 물리적인 저항 모델과 더불어 바이어스 종속성을 가지는 다이오드 커패시터 모델이 필요하게 된다. 따라서 드레인과 벌크(bulk), 소스와 벌크 사이는 접합 다이오드 커패시터로 모델하여 각각 C_{jdb} 와 C_{jsb} 로 표현하였다.

본 논문에서 제안된 기판 회로망은 하나의 저항과 인덕터가 직렬로 연결된 단순한 구조를 가진다. 기판의 기생효과를 하나의 집중 저항 R_{sub} 로의 모델링은 Tin 등[7]에 의해 그 타당성과 근거가 입증되었다.

그림 3과 같이 잠음 성능 개선[16]을 위해 활성 디바이스(active device) 둘레에 링-타입(ring-type) 기판콘택이 일반적인

다. 이러한 기판콘택은 디바이스 둘레에 전자유도 성질을 생성하게 된다. 이를 인덕터 L_b 로 모델 하였다.

3. 물리적인 파라미터 추출

제안된 기판 회로망의 각 소자들의 값은 2-포트 S-파라미터 측정에 의한 RF 특성으로부터 직접적으로 추출된다.

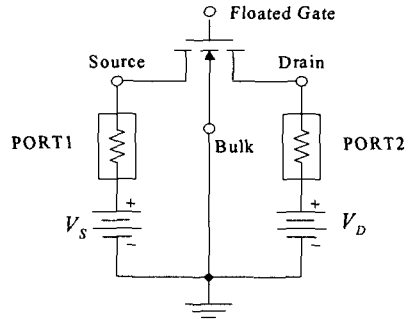


그림 4. 2-포트 S-파라미터 측정을 위한 공통-벌크 MOSFET 구성

다양한 바이어스 조건 하에서 드레인과 소스의 커플링에 의한 순수한 기판 효과와 2-포트 S-파라미터 측정을 위해 그림3과 같이 측정 회로를 구성하였다. S-파라미터는 $V_{DS}=0V$ 인 바이어스 조건 하에서 측정되어 졌고, 그림 4에서와 같이 접합 다이오드 커패시턴스 모델의 바이어스 조건에 따른 종속성을 확인하기 위해 역-게이트(back-gate) 전압(V_s , V_D)을 인가하였다. 공통-벌크를 갖는 MOS트랜지스터는 0.18 μm 트윈-텅(twin-tub) CMOS 기술로 제작되었으며, 단절된 게이트와 디임베딩(deembeeding)을 위한 더미 패턴(dummy pattern)을 가진다.

소스와 벌크 그리고 드레인과 벌크 사이의 동일한 바이어스 조건 하에서는 내부 nMOS 트랜지스터가 채널을 생성하지 못하는 차단상태가 된다. 차단상태에서 유사 정적 모델의 채널저항 R_{ch} 는 ∞ 가 된다. 또한 R_g 가 게이트의 단절로 인해 ∞ 가 되므로 오버랩 커패시터 C_{gso} 와 C_{gdo} 를 합하여 하나의 커패시터 C_g 로 나타낼 수 있게 된다.

결과적으로 그림 2의 소신호 고주파

MOSFET 모델은 그림 5와 같이 단순화된 모델로 나타내어진다. 이 단순 모델은 이 논문에서 제안된 기판 회로망의 가상실험에 사용된다.

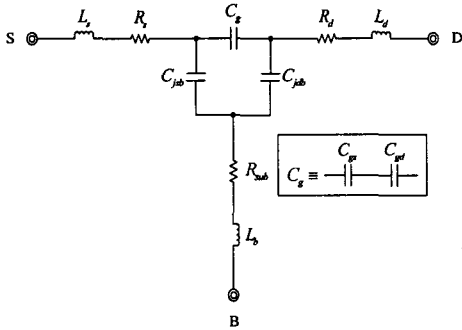


그림 5. $V_{DS} = 0V$ 조건하에서 그림2의 단순화된 소신호 등가회로

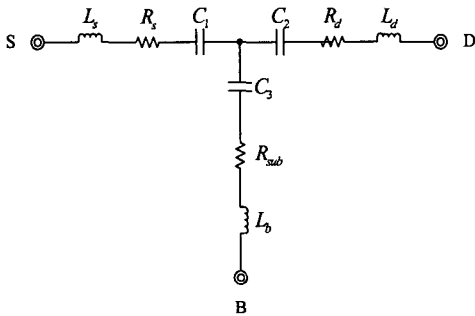


그림 6. 그림4를 Π -T 변환에 의해 얻어진 소신호 등가 T-회로망

그림 5의 소신호 등가회로의 모든 파라미터 값은 Z-파라미터 해석에 의해 추출되어진다. Z-파라미터는 단절된 게이트를 갖는 공통-벌크 MOSFET의 S-파라미터 측정과 디임베이딩 결과로부터 산술적인 S-Z 변환하여 구했다.

파라미터를 추출하는 동안에 등가모델은 벌크를 공통단자로 하는 2-포트 Z-파라미터 회로망으로 간주되어진다. 그러나 회로망 내부의 Π -회로망과 T-회로망의 혼합은 각 소자의 값과 Z-파라미터 사이에 복잡한 관계식으로 이루어지므로, 그림 5의 커패시터 회로망에 Π -T 변환을 수행하여 단순화하였다. 그 결과를 그림 6에 나타내었다.

T-등가 회로망의 모든 소자는 선형 수

동 소자로 이루어져 있다. 따라서 등가모델에 대한 Z-파라미터와 각각 소자들과의 관계는 직관적으로 다음과 같이 나타낼 수 있다.

$$Z_{11}(s) = (R_s + R_{sub}) + s \left[(L_s + L_b) - \left(\frac{1}{C_1} + \frac{1}{C_3} \right) \right] \quad (1)$$

$$Z_{22}(s) = (R_d + R_{sub}) + s \left[(L_d + L_b) - \left(\frac{1}{C_2} + \frac{1}{C_3} \right) \right] \quad (2)$$

$$Z_{12}(s) = Z_{21}(s) = R_{sub} + s \left(L_b - \frac{1}{C_3} \right) \quad (3)$$

표1. 그림4의 모델 파라미터 추출 절차

절차1 :

$$R_s = \text{real}\{Z_{11} - Z_{12}\}$$

$$R_d = \text{real}\{Z_{22} - Z_{12}\}$$

$$R_{sub} = \text{real}\{Z_{12}\}$$

절차2 :

$$\text{imag}\{Z_{11} - Z_{12}\} = \omega L_s - \frac{1}{\omega C_1} \rightarrow L_s, C_1$$

$$\text{imag}\{Z_{22} - Z_{12}\} = \omega L_d - \frac{1}{\omega C_2} \rightarrow L_d, C_2$$

$$\text{imag}\{Z_{12}\} = \omega L_b - \frac{1}{\omega C_3} \rightarrow L_b, C_3$$

절차3 :

$$C_g = \frac{C_1 \cdot C_2}{C_1 + C_2 + C_3}$$

$$C_{ib} = \frac{C_1 \cdot C_3}{C_1 + C_2 + C_3}$$

$$C_{idb} = \frac{C_2 \cdot C_3}{C_1 + C_2 + C_3}$$

제안된 모델에서의 소자 값의 추출은 표1에 나타낸 것과 같이 단계적으로 수행된다. 절차1에서는 해당 Z-파라미터의 실수부 값에서 직접적으로 저항 R_g, R_d, R_{sub} 들이 추출된다.

절차 2에서는 인덕터 L_s, L_d, L_b 와 커패시터 C_1, C_2, C_3 이 추출된다. 해당 파라미터의 선택된 두 주파수 ω_1, ω_2 에서 측정된 허수부 값에 의해 생성된 1차 연립 방정식의 근에 의해 L_i 와 C_i 가 각각 추출된

다. 이를 일반화된 식으로 표시하면 식(4)와 같이 표현된다.

$$\begin{cases} \text{imag}\{Z_i(\omega_1)\} = \omega_1 L_i - \frac{1}{\omega_1 C_i} \\ \text{imag}\{Z_i(\omega_2)\} = \omega_2 L_i - \frac{1}{\omega_2 C_i} \end{cases} \quad (4)$$

두 주파수의 선택은 Z-파라미터의 허수부에서 음의 항은 커패시터 성분, 양의 항은 인덕턴스 성분이 우월하므로, 공진이 존재하면 공진주파수를 중심으로 양쪽에서 이루어졌다.

절차3에서는 절차2에서 구해진 커패시턴스 C_1, C_2, C_3 를 T- Π 변환시키면 그림 5의 커패시턴스 모델의 값 C_g, C_{jsb}, C_{jdb} 들이 구해진다.

4. 실험 결과와 타당성 검증

공통-벌크 구성의 게이트가 단절된 n 채널 MOS 트랜지스터는 $0.18\mu\text{m}$ 트윈-탑 CMOS 기술로 제작되었다.

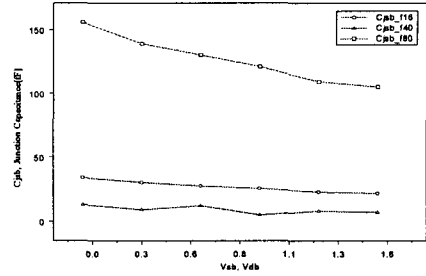
단일 트랜지스터의 채널 길이와 넓이는 각각 $L_f=0.18\mu\text{m}$ 과 $W_f=2.5\mu\text{m}$ 이며, 링 타입 기판 콘택을 갖는 멀티-핑거 구조로 제작되었다.

S-파라미터 특성은 애질런트 8510C 네트워크 해석기와 CASCADE 서밋 프로브 스테이션(summit probe station)을 사용해 5GHz에서 40GHz 까지 측정되었다.

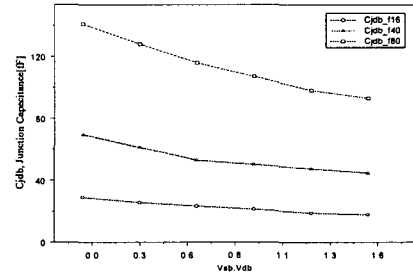
파라미터 추출 절차를 수행하기 전에 S-파라미터 측정값으로부터 웨이퍼 패드(wafer pad)와 접속선의 기생 성분을 제거하기 위해 2-단계 디임베이딩을 수행하였다[12].

측정을 위해 다양한 DC 바이어스 조건하에서 다양한 $16(W=40\mu\text{m}), 40(W=100\mu\text{m}), 80(W=200\mu\text{m})$ 게이트 핑거(gate fingers)를 가진 nMOS 트랜지스터가 사용되었다.

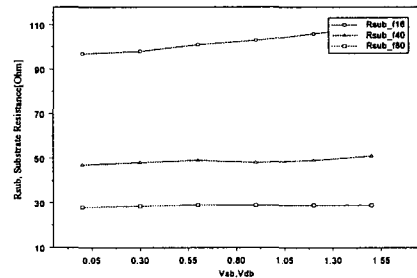
측정된 S-파라미터 값으로부터 어떠한 최적화 과정도 없이 추출된 모델의 주요 소자 값을 그림 7과 8에 나타내었다.



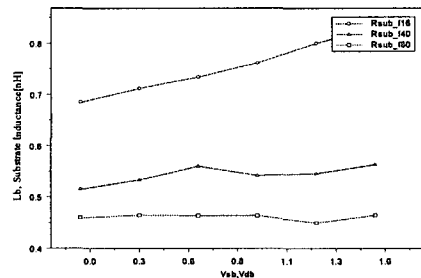
(a) 소스와 벌크의 접합 커패시턴스



(b) 드레인와 벌크의 접합 커패시턴스
그림 7. 다이오드 접합 커패시턴스



(a) 기판효과로 기인된 기판 저항



(b) 링-타입 기판 콘택에 의한 인덕턴스
그림 8. 기판 회로망의 저항과 인덕턴스

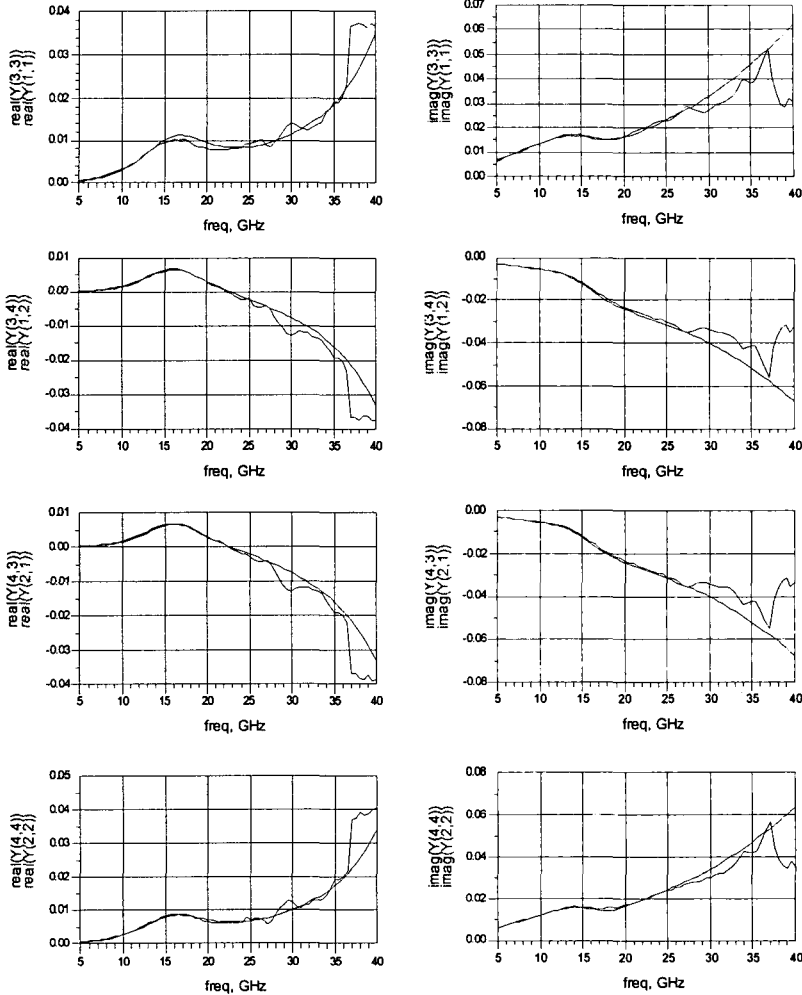


그림 9. 측정치와 가상실험의 Y-파라미터 비교

여기에 사용된 파라미터 추출방법은 본 논문의 3장에서 제시되었다. 두 접합 커패시턴스 모델의 값을 그림 7에 나타내었고, 기판 회로망의 기판 저항과 인덕터 모델의 값을 그림 8에 나타냈다.

역-게이트 전압의 증가로 인해 기판쪽으로 공핍층이 넓어져 기판의 도핑 분포를 감소시켜 기판 저항의 감소를 초래하게 된다. 그림 7과 8의 모델 파라미터들에서 나타난 것과 같이 추출된 모델의 값들은 물

리적 의미의 값을 가지고 있다. 즉 DC 바이어스 조건에 종속적이며, 트랜지스터의 기하학적인 구조와 크기에도 연관성이 있음을 알 수 있다.

제안된 기판 모델의 타당성을 검증하기 위해 추출된 파라미터 값을 그림 4의 등가 회로에 적용하여 애질런트 ADS(Advanced Design System)로 가상실험을 수행하였다.

그림 9는 1.5V의 역-게이트 바이어스 조건 하에서 80 게이트 핑거를 갖는 n 채널 MOSFET 트랜지스터의 가상실험 결과이다. 측정치와 제안된 모델의 가상 실험된

Y-파라미터는 5%이내의 평균제곱(r.m.s) 오차를 가지며, 현재 그리고 미래의 RF 응용분야에 적합한 수십 GHz 주파수 범위까지 일치함을 보여 주고있다.

5. 결론

본 연구에서는 저항과 인덕터를 사용한 간단하고 정확한 RF용 MOSFET의 기판 모델과 그에 따른 측정치로부터 직접 파라미터 추출하는 방법을 제안했다. 기판 모델에 추가적으로 드레인과 소스 외부의 기생 저항과 인덕터 성분이 고려되었다.

MOS 트랜지스터의 바이어스 조건과 기하학적인 구조에 종속되는 모델 파라미터를 단순하게 추출하였고, 또한 제안된 기판 모델과 측정치의 Y-파라미터 가상실험을 비교한 타당성 검증에서 30GHz까지 일치함을 보였다. 제안된 기판 모델은 비록 BSIM3의 벌크 단자에 추가되는 부회로로 개발되었지만, 다른 RF MOSFET에도 적용할 수 있는 모델이다.

향후 연구에서 RF 응용 CAD 설계에 적용과 정확한 대신호 모델을 위해서 게이트 저항 모델이 요구된다.

참고 문헌

- [1] Semiconductor Industry Association : The national technology roadmap for semiconductors," 1997
- [2] J. Martin and S. Chu, "CMOS downsizing extends wireless," <http://www.planetanalog.com>
- [3] T. H. Lee, "CMOS RF:(Still) no longer an oxymoron(invited)," in *1999 IEEE Radio Frequency Integrated Circuits Symp.*, pp. 3-6, 1999.
- [4] S. H-M. Jen, C. C. Enz, D. R. Pehlke, M. Schroter, and B. J. Sheu, "Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz," *IEEE Trans. Electron Devices*, vol. ED-46, no. 11, pp. 2217-2227, Nov. 1999.
- [5] X. Zhang, "Extraction critical for RF design," <http://www.eetimes.com/stroy/>.
- [6] S. Lee and H. K. Yu, "A semianalytical parameter extraction of a SPICE BSIM3v3 for RF MOSFET's using S-parameters," *IEEE Trans. Microwave Theory Tech.*, vol. 48, no. 3, pp. 412-416 Mar. 2000.
- [7] S. F. Tin, A. A. Osman, K. Mayaram, and C. Hu, "A Simple Subcircuit extension of the BSIM3v3 model for CMOS RF design," *IEEE J. Solid-State Circuits*, vol. SC-35, no. 4, pp. 612-624, April 2000.
- [8] R. Sung, P. Bendix, and M. B. Das, "Extraction of high frequency equivalent circuit parameters of submicron gate-length MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-46, no. 8, pp. 1769-1775. July 1998.
- [9] W. Liu, R. Gharpurey, M. C. Chang, U. Erdogan, R. Aggarwal, and J. P. Mattia, "R. F. MOSFET modeling account for distributed substrate and channel resistances with emphasis on the BSIM3v3 SPICE model," in *Dig. Tech. Papers IEDM-97*, Dec. 1997, pp. 309-312.
- [10] J. J. Ou, X. Jin, I. Ma, C. Hu, and P. Gray, "CMOS RF modeling for GHz communication IC's," in *1998 VLSI Technology Symp.*, June 1998, pp. 94-222.
- [11] C. C. Enz and Yuhua Cheng, "MOS transistor modeling for RF IC design," *IEEE Trans. Solid-State Circuits*, vol. 35, no. 2, pp.186-201, Feb. 2000.

[12] M. Koolen, J. Geelen, and M. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," in *IEEE Bipolar Circuits and Technology Meeting*, 1991, pp.188-191.

[13] Y.-J. Chan, C.-H. Huang, C.-C. Weng, and B.-K. Liew, "Characteristics of deep-submicrometer MOSFET and its empirical nonlinear RF model," *IEEE Trans. Microwave Theory Tech.*, vol. 46, pp. 611-615, May 1998.

[14] C. E. Biber, M. L. Schmatz, T. Morf, U. Lott, and W. Bachtold, "A nonlinear microwave MOSFET model for Spice simulators," *IEEE Trans. Microwave Theory Tech.*, vol 46, pp. 604-610, May 1998.

[15] M. Bagheri and Y. Tsvividis, "A small signal dc-to-high frequency non-quasistatic model for the four-terminal MOSFET valid in all region of operation," *IEEE Trans. Electron Devices*, vol. ED-32, pp. 2383-2391, Nov. 1985.

[16] Q. Huang, "GSM Transceiver Front-End Circuits in 0.25-um CMOS," *IEEE Journal of Solid-State Circuits*, vol. 34, March 1999.



양진모(Jeen-Mo Yang)

1993년 12월 조지아 공학대학
대학원 졸업(Ph.D)

1994년 9월~현재 대구대학교
공과대학 정보통신공학부
부교수

관심분야 : RF Modeling, RF Power Amp
설계, 등



심용석(Yong-Suk Sim)

1996년 2월 대구대학교 전자
공학과 졸업(공학사)

1998년 2월 대구대학교 대학원
정보통신공학과 졸업
(공학석사)

1999년~현재 대구대학교 대학원 전자공학과(박
사과정)

관심분야 : RF MOSFET Modeling, RF
CMOS Applications, 등