

VHDL을 이용한 시스틀릭 FIR 디지털필터의 구현

이재진* 송기용*

요약 : 본 논문에서는 모듈성과 확장성을 갖는 시스틀릭 어레이를 이용한 FIR(finite impulse response) 디지털필터의 구현에 대하여 기술한다. 차분방정식 혹은 전달함수가 주어질 때 기본소자를 이용한 FIR 디지털필터 설계를 위한 2차원 DG(dependence graph)로부터 1차원 시스틀릭 어레이를 유도한 후 유도된 시스틀릭 어레이를 RT 수준에서 VHDL로 모델링하여 동작을 검증하였다. 검증된 시스틀릭 어레이를 이용한 FIR 디지털필터는 Hynix에서 제공하는 0.35 μ m 셀 라이브러리와 FPGA칩인 XCV200E을 사용하여 합성 및 구현되었다.

1. 서론

신호처리의 가장 기본적인 목적의 하나로 본래의 신호에 잡음이 첨가될 경우 주어진 측정신호로부터 본래의 신호를 찾아내는 것을 들 수 있다. 이러한 경우 관측된 신호에 어떠한 처리를 하여 그 중에서 필요한 성분만 추출해 내어야 하는데 이와 같은 처리를 필터링(filtering)이라 부른다. 그리고 이러한 처리를 하는 장치를 일반적으로 필터라고 부른다. 임펄스응답의 수열이 유한한 필터를 FIR 필터라고 한다. 비 재귀형의 FIR 필터는 귀한 루프가 필요 없으므로 안정성이 보장된다. 특히 선형위상특성의 스펙을 만족하므로 파형 전송 등의 응용에 널리 이용되고 있다. 그러나 FIR(finite impulse response) 필터로 IIR(infinite impulse response) 필터와 동일한 정도의 진폭특성을 얻으려고 하면 차수가 매우 커지기 때문에 메모리, 가산기, 승산기 등 하드웨어에 부담이 되는 문제점이 있다.

본 논문에서는 차분방정식 혹은 전달함수가 주어질 때 기본소자(가산기, 승산기, 지연 레지스터)를 이용한 직접형(direct form) 구성과 직접형 구성의 입력과 출력을 서로 바꾸어 놓은 전치형(transposed

form) 구성의 FIR 디지털필터 설계 방법에 대하여 기술한 후 성능향상을 위한 시스틀릭 어레이를 이용한 FIR 디지털 필터의 구현에 대하여 기술한다. 전치형 구성과 시스틀릭 어레이를 이용한 FIR 디지털 필터 각각을 RT 수준에서 VHDL로 모델링하여 동작을 검증하였다. 검증된 두 FIR 디지털필터는 Hynix에서 제공되는 0.35 μ m 셀 라이브러리와 FPGA칩인 XCV200E을 사용하여 합성 및 구현되었으며 면적과 성능 측면에서 비교 분석되었다.

2. 시스틀릭 어레이

시스틀릭 어레이[1][2]는 파이프라인 어레이 구조의 새로운 범주으로써 지역적으로 연결된 프로세서들이 규칙적으로 데이터를 계산하고 시스템을 통해 데이터를 전달하는 프로세서 네트워크라고 정의된다.[3] 규칙적이고, 지역적인 데이터의 흐름을 갖으며 계산량이 많은(computation-bound) 알고리즘에 적용될 수 있는 시스틀릭 어레이는 고도의 파이프라인 처리라는 점에서 폰노이만 컴퓨터와 다르다. 한 번 메모리로부터 읽어온 데이터는 하나의 PE(processing element)에서 사용된 후 어레이를 따라 다른 PE로 전달되어 각각의 PE에서 효과적으로 사용되며, 반면에 반복적인 방법으로 각 데이터에 대하여 다양한 연산이 수행될 수 있다. 시스틀릭

* 충북대학교 컴퓨터 공학과

어레이의 이런 특징은 계산 량이 많은 알고리즘 처리에 효과적이며, 폰노이만 컴퓨터에서 일반적으로 발생하는 고전적인 메모리 접근 병목현상을 피할 수 있게 한다. 시스틀릭 어레이의 기본적인 구성을 그림 1에 보인다.

시스틀릭 어레이의 특징은 동시성, 모듈성과 확장성, 공간적 지역성, 시간적 지역성이라 할 수 있다. 전역 클럭에 맞추어 동시에 각각의 PE에서 데이터가 규칙적이고 반복적으로 계산되고 네트워크를 통해 전달된다는 면에서 동시성, 동질의 상호연결을 가진 독자적인 기능을 수행하는 PE로 구성되어 있으며 이러한 구성에 기인하여 무한한 확장이 가능하다는 점에서 모듈성과 확장성, 또한 커뮤니케이션 가능한 상호연결 구조를 가진다는 점과 각 PE들 사이의 데이터 전달 과정에서 단위시간 이상의 지연이 존재한다는 점에서 공간적, 시간적 지역성을 갖는다.

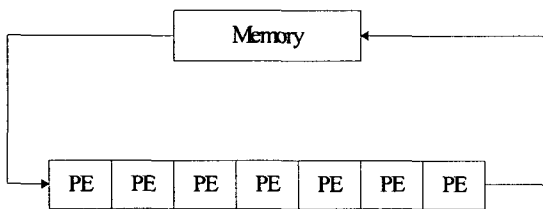


그림 1. 시스틀릭 어레이의 기본 구조

3. FIR 디지털필터

상수 계수(coefficient)를 가지는 유한 임펄스 응답(finite impulse response)은 선형추이불변(linear time invariant) 디지털필터이다. 시간에 연속적인 입력 $x[n]$ 에 대하여 차수가 L 인 유한 임펄스 응답은 식 1에 보이는 것처럼 유한 컨벌루션(convolution)의 합으로 주어진다. [4]

$$y[n] = x[n] * f[n] = \sum_{k=0}^{L-1} x[k] f[n-k] \quad (1)$$

일반적으로 선형추이불변 시스템에 있어서 식1을 식2처럼 z -영역으로 나타내는 것이 시스템을 해

석하는데 편리하고 유용하다.

$$Y(z) = F(z)X(z) \quad (2)$$

위 식에서 $F(z)$ 는 z -영역에서 식 3으로 정의된 FIR의 전달함수(transfer function)이다.

$$F(z) = \sum_{k=0}^{L-1} f[k]z^{-k} \quad (3)$$

차수 $L=4$ 인 선형불변 FIR 디지털필터는 그림 2에 보인다. 그림에서 보이는 것처럼 FIR 디지털필터는 지연소자, 가산기, 승산기로 구성된 것을 볼 수 있으며 각 승산기의 연산자 중의 하나는 FIR의 계수이다. 이러한 구성을 트랜스버설 필터라고 부르기도 한다.

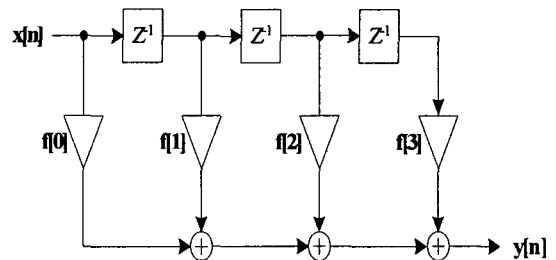


그림 2. 직접형 구성 FIR 디지털필터

직접형 구성 FIR 디지털필터의 변형을 전치형 구성 FIR 디지털필터라고 부르며 그림 2에 보이는 직접형 구성 FIR 디지털필터를 입력과 출력을 바꾼 후 신호의 흐름 방향(signal flow)을 역으로 바꾸고 분기점(fork)을 가산기로 그리고 가산기를 분기점으로 바꾸면 전치형 구성의 FIR 디지털필터를 얻을 수 있다. 위 방법으로 변형해서 얻어진 전치형 FIR 디지털필터를 그림 3에 보인다. 일반적으로 이 구성은 신호 $x[n]$ 을 위한 추가적인 쉬프트 레지스터를 사용할 필요가 없고 또한 고성능 처리를 위한 추가적인 가산기의 파이프라인 단계를 필요로 하지 않기 때문에 직접형 구성 FIR 디지털필터 보다 구현 측면에서 선호되고 있다.

DSP 알고리즘은 MAC(multiply-accumulate)의 집약적인 구성으로 이루어진다. 승산과 가산에 의한 충분한 동적인 공간을 유지하기 위해서 추가적인 k -

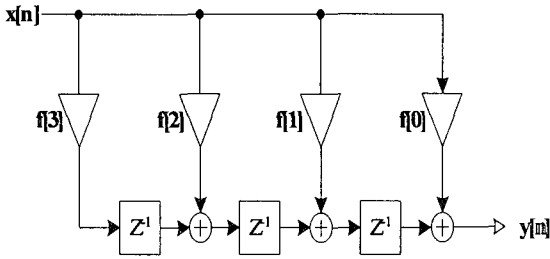


그림 3. 전치형 구성 FIR 디지털필터

비트의 보호 비트가 필요하게 된다. 이때 추가적인 보호 비트는 차수가 L 이고 입력신호와 계수가 unsigned 데이터인 경우는 $\log_2(L)$ 로 주어지고 signed 데이터인 경우는 $\log_2(L)-1$ 로 주어진다. 예를 들어 차수 L 이 4이고 입력과 계수가 9-비트 signed 데이터일 경우 승산과 가산에 의한 충분한 동적 공간을 유지하기 위해 가산기는 $9+9+\log_2(4)-1 = 19$ 비트 크기를 가져야 한다.

4. FIR 디지털필터를 위한 시스틀릭 어레이

이 장에서는 FIR 디지털필터를 위한 시스틀릭 어레이의 유도 과정을 기술한다.

식 1을 이용하여 얻어진 DG(dependence graph)는 그림 4(a)에 보인다. 그림에서 보이는 것처럼 계수 $f(i)$ 는 열들을 따라서 변하지 않고 남아 있게 된다. 이것은 DG를 k -방향으로 프로젝션해서 얻어진 SFG(signal flow graph), 즉 그림 4(b)에 보이는 것처럼 계수 $f(i)$ 가 i 번째 PE에 상수로 저장될 수 있음을 의미한다.

위에서 얻어진 SFG는 PE들 사이의 데이터 전달 과정에서 단위시간 이상의 지연이 존재해야 한다는 시스틀릭 어레이의 특징인 시간적 지역성을 만족하지 않기 때문에 시스틀릭화(systolization)과정을 적용해야 한다. 위에서 얻어진 SFG를 시스틀릭 어레이로 만들기 위해서 cut-sets으로 나눈 SFG를 그림 5(a)에 보인다. 만약 지연(delay)을 2배, 즉 $D \rightarrow 2D'$ 로 스케일링하면 cut-sets 안에서 하나의 지연을 왼쪽으로 나가는 에지(edge)에서 오른쪽으로 나가는 에지로 전달할 수 있다. 위 과정을 통해

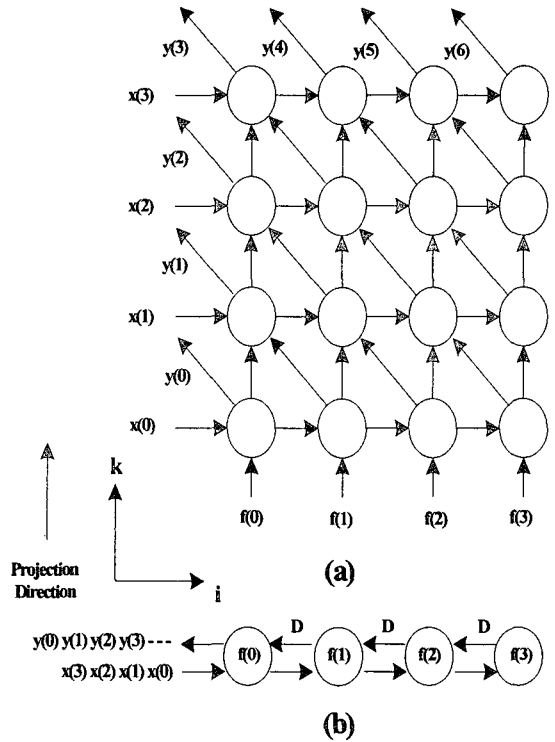


그림 4. (a) FIR 디지털필터를 위한 DG
(b) k -방향으로 프로젝션해서 얻어진 SFG

그림 5(b)와 같은 FIR 디지털필터를 위한 시스틀릭 어레이를 얻을 수 있다. 이때 얻어진 시스틀릭 어레이의 파이프라인 간격(pipeline period), α ,은 2이다.

FIR 디지털필터를 위한 시스틀릭 어레이는 그림 5(b)에 보이는 것처럼 동일한 기능을 수행하는 PE들로 연결되어 있으며 각 PE의 내부 구조는 그림 5(c)에 보인다.

5. 시뮬레이션, 합성 및 구현

본 논문에서는 차수 L 이 4이고 입력과 계수가 9-비트 signed 데이터인 Daubechies DB4 필터를 전치형 방법과 시스틀릭 어레이를 사용한 방법으로 구현하여 면적과 성능을 비교 분석하였다. Daubechies DB4 필터에 대한 계수는 식 4와 같이 주어지며 계수를 9-비트(sign비트 포함)로 양자화(quantization)해서 얻어진 계수는 식 5에 보인다.

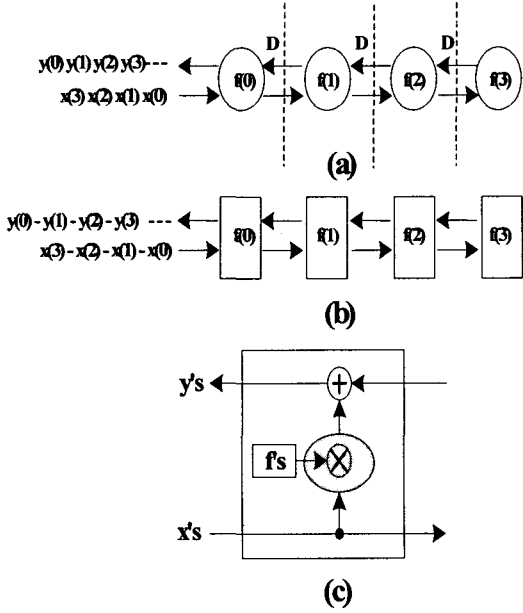


그림 5. (a)FIR 디지털 필터를 위한 SFG
 (b) FIR 디지털필터를 위한 시스톨릭 어레이
 (c) 시스톨릭 어레이의 PE

$$F(z) = (124 + 214z^{-1} + 57z^{-2} - 33z^{-3}) / 256$$

$$= \frac{124}{256} + \frac{214}{256} z^{-1} + \frac{57}{256} z^{-2} + \frac{-33}{256} z^{-3}$$

입력 \$x[n] = 50, 100, 150, 200\$ 이고 계수 \$f[n] = 0.09375, 0.8359375, 0.22265625, 0.12890625\$인 경우에 대한 이론적인 \$y[n]\$의 계산은 표 1에 보이고 전치형 구성 FIR 디지털필터와 시스톨릭 어레이를 이용한 FIR 디지털필터의 VHDL[5] 시뮬레이션 결과를 그림 6과 그림 7에 보인다.

검증된 각 FIR 디지털필터는 Hynix에서 제공되는 \$0.35\mu\text{m}\$ 셀 라이브러리를 사용하여 Synopsys design compiler[6][7]로 합성된 후 FPGA칩인 XCV200E칩[8] 상에 구현되었다. 각 FIR 디지털필터에 대한 합성 Schematic은 그림 8과 그림 9에 보인다. 전치형 구성을 이용한 구현 Schematic과 시스톨릭 어레이를 이용한 구현 Schematic은 그림 10과 그림 11에 보이며 두 디자인의 면적 및 성능 분석은 표 2에 보인다.

$$F(z) = \left\{ (1 + \sqrt{3}) + (3 + \sqrt{3})z^{-1} + (3 - \sqrt{3})z^{-2} + (1 - \sqrt{3})z^{-3} \right\} \frac{1}{4\sqrt{2}} \quad (4)$$

표 1. \$y(n) = x(n) * f(n)\$

\$y(0)\$	\$y(1)\$	\$y(2)\$	\$y(3)\$	\$y(4)\$	\$y(5)\$	\$y(6)\$
24.2188	90.2344	167.3828	238.0859	187.6953	25.1953	-25.7813

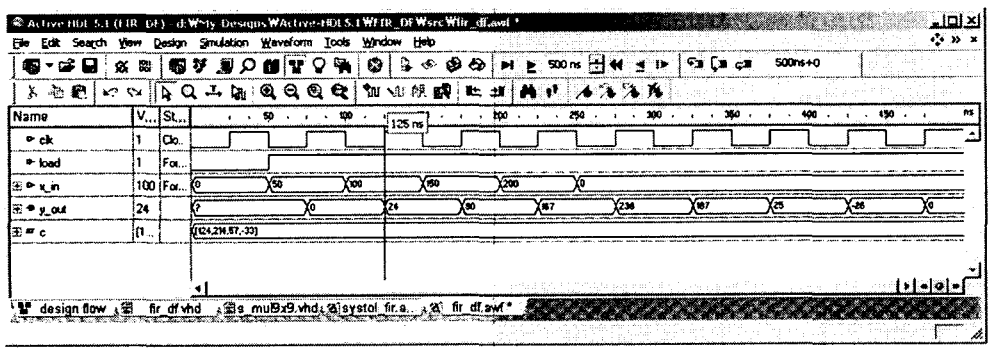


그림 6. 전치형 구성 FIR 디지털필터 시뮬레이션 결과

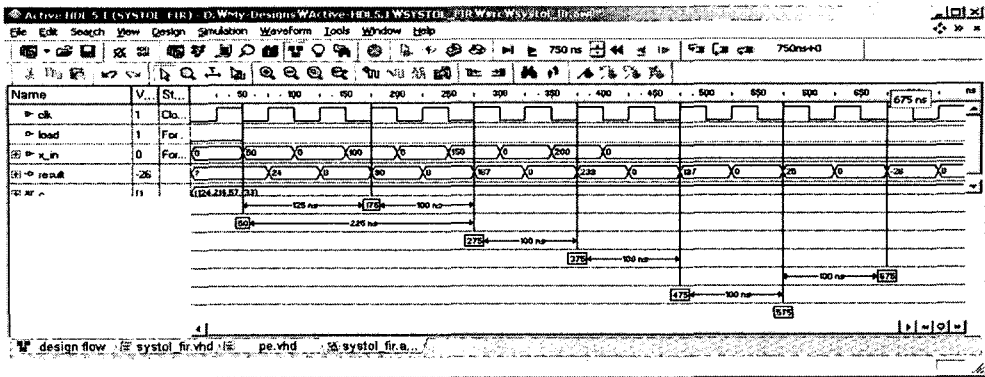


그림 7. 시스틀릭 어레이를 이용한 FIR 디지털필터의 시뮬레이션 결과

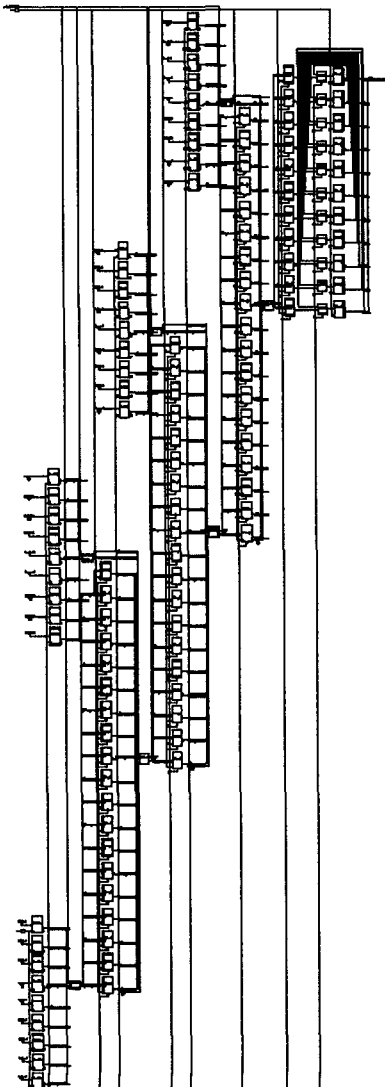


그림 8. 전치형 구성 FIR 디지털필터의 합성 Schematic

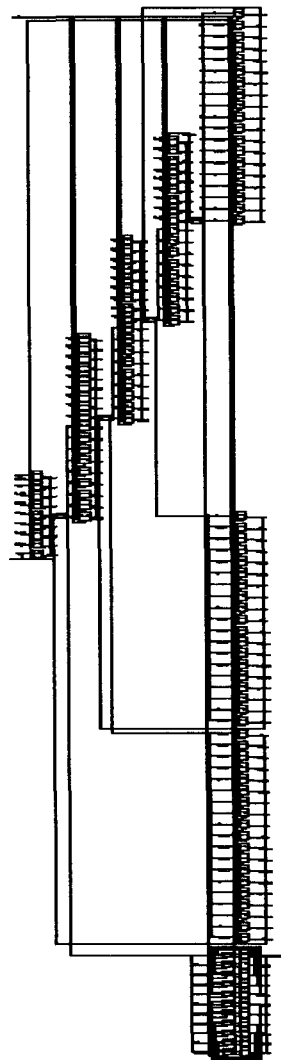


그림 9. 시스틀릭 어레이를 이용한 FIR 디지털필터의 합성 Schematic

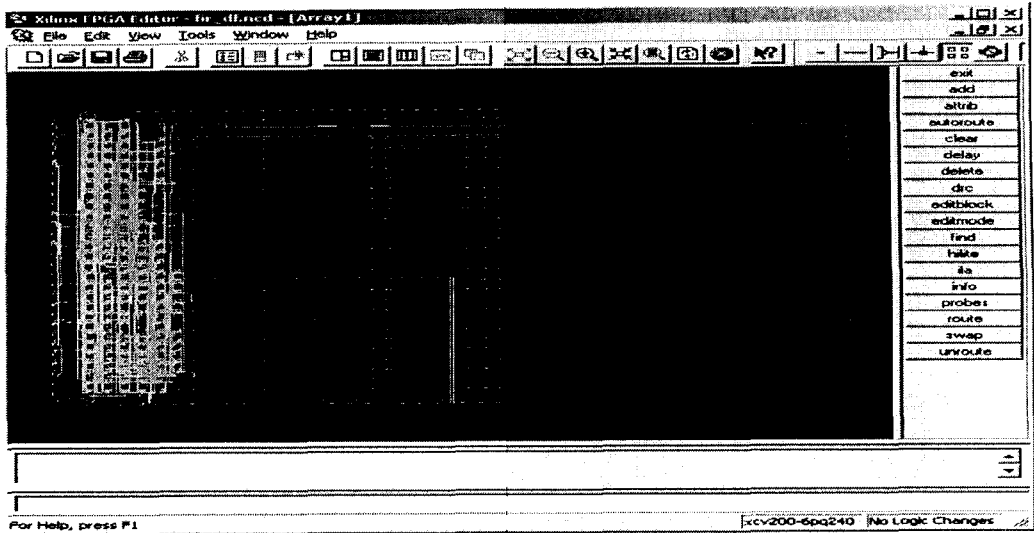


그림 10. 전치형 구성 FIR 디지털필터 구현 Schematic

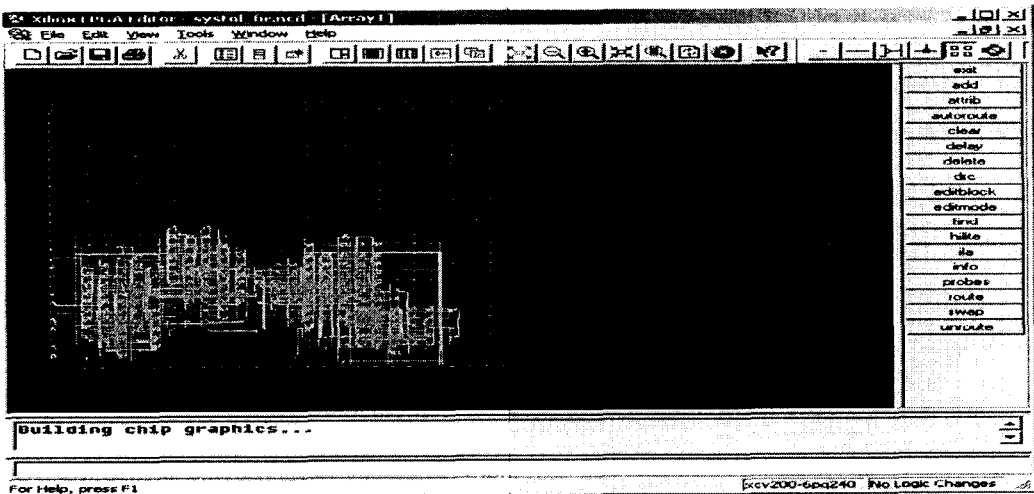


그림 11. 시스틀릭 어레이를 이용한 FIR 디지털필터 구현 Schematic

표 2. FPGA 구현정보

구현정보 \ 구현방법	전치형	시스틀릭 어레이
SLICE	218 / 2352	235 / 2352
Average Connection Delay	1.908 ns	1.388 ns
Maximum Pin Delay	6.584 ns	3.958 ns
Average Connection Delay (10 worst nets)	4.424 ns	2.718 ns

6. 결 론

본 논문에서는 차분방정식 혹은 전달함수가 주어질 때 기본소자(가산기, 승산기, 지연 레지스터)를 이용한 전치형 구성과 성능향상을 위한 시스톨릭 어레이를 이용한 FIR 디지털 필터의 구현에 대하여 기술하였으며 FIR 디지털필터 각각은 RT 수준에서 VHDL로 모델링하여 검증하였다. 검증된 각 FIR 디지털필터는 Hynix에서 제공되는 0.35 μ m 셀 라이브러리와 FPGA칩인 XCV200E을 사용하여 합성 및 구현되었다. 표 2에 보이는 것처럼 시스톨릭 어레이를 이용한 디자인은 전치형 구성에 비해 더 많은 면적을 차지하지만 성능 면에서는 우수함을 알 수 있다. 필터의 차수가 커질수록 시스톨릭 어레이를 이용한 디자인은 전치형 구성의 디자인에 비해 성능 면에서 더 효율적일 것으로 기대된다.

Academic Press, 2000.

- [8] The Programmable Logic Data Book
Xilinx, Inc., 1999.

참고문헌

- [1] H. T. Kung and C. E. Leiserson, "Systolic array (for VLSI)," In sparse Matrix Symposium, pp. 256-282, SIAM, 1978.
- [2] H.T.Kung, "Why Systolic Architectures?," Computer Vol.15, No.1, pp.37-46, January 1982.
- [3] S.Y.Kung, VLSI Array Processors, Prentice Hall, 1988.
- [4] U.Meyer-Baese, Digital Signal Processing with Field Programmable Gate Arrays, Springer, 2001.
- [5] Y.C.Hsu, K.F.Tsai, J.T.Liu and E.S.Lin, VHDL Modeling for Digital Design Synthesis, Kluwer Academic Publishers, 1995.
- [6] K.C. Chang, Digital Systems Design with VHDL and Synthesis, IEEE Computer Society Press, 1999.
- [7] Weng Fook Lee, VHDL Coding and Logic Synthesis with Synopsys,