

Optimizing the Cobalt Deposition Condition using the Experiment Design

The University of Seoul

Seonghwee Cheong*

The University of Seoul

Ohsung Song

1. 서 론

최신 강자성 메모리 공정과 실리콘 비메모리 공정에서 Co, Ni, Fe 등 천이금속 계열의 증착 조건이 소자의 특성 향상 및 신뢰성 향상을 위하여 중요성이 점점 중요해 지고 있다. 강자성 메모리(MRAM)의 출현과 함께 Co, Ni, Fe 등의 수십 Å 두께를 전체 기판에 대해 균일하게 증착할 요구가 생겼다. MRAM에 요구되는 자기저항특성은 이러한 박막의 수 Å 두께 변화에 급격히 변화할 수 있으므로[1,2] 원하는 두께로 균일하게 증착할 수 있는 기술의 확보가 필요하다[3]. 또한 Co, Ni을 실리콘 기판전면에 증착하고 이를 열처리하여 CoSi₂, NiSi를 형성하여 MOSFET의 게이트와 활성화 영역의 접촉저항은 작게하는 비메모리 제품의 살리사이드 공정을 위해서도 직경 200 mm 기판에서의 기판전면에 균일한 코발트 금속박막의 증착은 중요하다. 일반적으로 박막의 균일성을 확보하기 위한 시도는 많은 실험 조건을 이용하여 수행함으로써, 비용이 증가하고 각 실험간의 결과 분석에도 많은 오류가 발생할 수 있다. 따라서 본 연구에서는 적은 실험 횟수에 비해 많은 양의 정보를 얻을 수 있고 실험결과에 대한 의미를 부여할 수 있는 통계적 실험방법을 사용함으로써, 코발트 박막의 균일도에 대한 공정조건 최적화 실험을 수행하였다.

2. 실험방법

Co 박막의 증착은 200 mm의 p형 (100)면을 가진 실리콘 기판 전면에 두께 100 nm의 균일한 열산화막을 생성시키고, DC-스퍼터기로 기판전면에 코발트 20 nm를 증착하였다. 코발트의 증착은 통계적 실험방법의 실험설계에 따라 독립변수인 공정변수는 증착온도, 증착압력, DC power의 세가지를 이용하였고 종속변수는 면저항과 면저항 균일도로 하였다. 실험 조건은 표 1과 같은 기본적인 설정([-1], [0], [+1])을 이용하여 통계 프로그램이 제공한 16가지의 실험조건으로 진행하였다. 면저항은 사점시험기를 사용하였으며, 면저항 균일도는 면저항의 3σ 기준으로 데이터를 수집하였다. 독립변수와 종속변수의 함수 관계는 이차 다항 관계로 표시되는 다음식과 같은 "quadratic model"를 이용하였으며, 두 변수의 함수관계는 이 model을 이용하여 분석하였다[4].

$$\eta = \beta_0 + \sum_{i=1}^{\kappa} \beta_i \chi_i + \sum_{i \leq j}^{\kappa} \beta_{ij} \chi_i \chi_j + \epsilon \quad \text{----- Eq.(1)}$$

여기서 각각 η 은 종속변수(response), β_0 는 함수의 상수(constant), κ 는 독립변수(independent value), β 는 이차 다항식의 계수(regression coefficient), ϵ 는 잔여 수치(residual value)를 나타낸다.

Table 1. Range of process parameters

experimental factor	experimental level		
	[-1]	[0]	[+1]
temperature(°C)	0	100	200
pressure(mTorr)	12	16	20
DC power(watt)	500	1000	1500

3. 실험결과 및 고찰

통계적 방법에 의한 실험 후 독립변수와 종속변수의 신뢰성을 RMS error와 결정계수에 의해 확인하였다. 모델의 신뢰성을 유의 수준 0.05로 하여 고찰해 보면 회귀에서 면저항과 면저항 균일도는 significance가 각각 0.0006과 0.0125로 0.05 이하가 되어 신뢰성이 우수하다는 것을 알 수 있었다. 또, 회귀 모델의 적합 정도를 조사할 수 있는 결정 계수(R-sq)는 적합화(fitting)의 수치가 면저항과 면저항 균일도에서 각각 0.9841과 0.9165로 1에 거의 가까워 회귀 방정식에 매우 우수한 일치성을 보였다. 종속변수에 대한 공정변수의 효과는 면저항에서 Fig. 1과 같이 공정 변수인 증착온도가 $-1.83 \Omega/\text{sq.}$ 의 감소효과, 증착압력이 $1.17 \Omega/\text{sq.}$ 의 증가 효과, DC power가 $-0.65 \Omega/\text{sq.}$ 의 감소 효과로 실험 구간에서 일정한 경향의 영향성을 보였다. 면저항 균일도에서는 Fig. 2와 같이 온도가 $25 \text{ }^\circ\text{C} \sim 147 \text{ }^\circ\text{C}$ 에서 -4.04% 의 감소 효과, 증착압력이 $14.5 \text{ mTorr} \sim 20 \text{ mTorr}$ 의 범위에서 -0.71% 의 감소 효과, DC power가 $500 \text{ watt} \sim 1500 \text{ watt}$ 에서 -0.89% 의 영향성을 보였다.

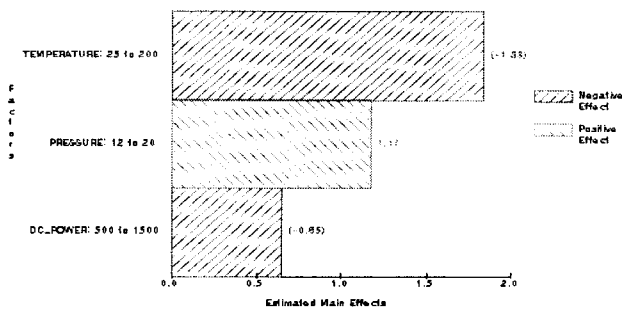


Fig. 1. The effect of three process parameters on sheet resistance.

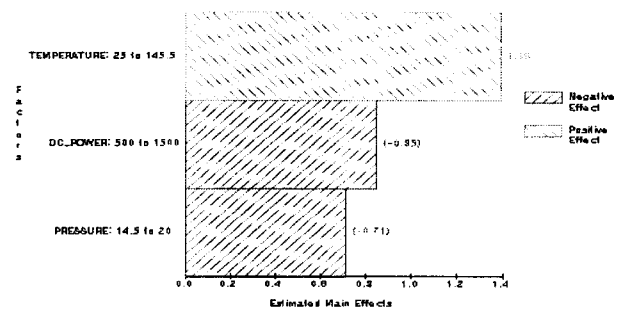


Fig. 2. The effect of three process parameters on sheet resistance uniformity.

4. 결론

직경 200 mm의 실리콘 기판에 균일한 코발트 금속박막을 증착하는 DC-스퍼터 장비에서 공정변수는 증착온도, 증착압력, DC power로 하고 종속변수는 면저항, 면저항 균일도로 하는 “통계적 실험방법”을 채택한 실험을 수행하여 코발트 박막의 공정 특성에 대해 다음과 같은 결과를 얻었다. 통계적 실험방법을 이용한 코발트 박막의 공정 특성을 조사하는 본 실험에서 면저항과 면저항 균일도는 0.05 이하의 significance 수치, 낮은 RMS error, 0.91 이상의 R-sq 수치로부터 실험의 우수한 신뢰성을 확인하였다. 면저항에 대한 공정변수의 영향성은 증착온도가 $-1.83 \Omega/\text{sq.}$ 의 감소효과, 증착압력이 $1.17 \Omega/\text{sq.}$ 의 증가 효과, DC power가 $-0.65 \Omega/\text{sq.}$ 의 감소 효과로 실험 구간에서 일정한 경향의 영향성을 보였으며, 면저항 균일도에서는 증착온도에 의해 $25 \text{ }^\circ\text{C} \sim 147 \text{ }^\circ\text{C}$ 에서 -4.04% 의 감소로 증착온도에 가장 민감함을 확인하였다. Co 박막의 최적 증착 조건은 증착온도 $25 \text{ }^\circ\text{C}$, 증착압력 12 mTorr , DC power 15 watt 로 예상되었다.

5. 참고문헌

- [1] T. Saito, M. Fujita, K. Fukuoka and Y. Syono, J. Jap. Inst. Metals, **62**(5), 457(1998).
- [2] S. Guruswamy, M.K. McCarter, J.E. Shield and V. Panchanathan, J. Appl. Phys. **79**(8), 4851(1996).
- [3] 이기영, 송오성, 한국자기학회, **12**(4), 127(2002).
- [4] R. Myers, D. Montgomery, Response Surface Methodology : Process and Product Optimization using Designed Experiments, Wiley & Sons, New York, (1997).