

황선환, 장호정

단국대학교 전자·컴퓨터학부

#### Abstract

$\text{Bi}_{3.3}\text{La}_{0.7}\text{Ti}_3\text{O}_{12}$ (BLT) 강유전체 박막을  $\text{Al}_2\text{O}_3/\text{Si}$  기판위에 졸-겔(sol-gel)법으로 스�핀 코팅하여 Metal-Ferroelectric-Insulator-Silicon (MFIS) 구조를 형성하였다. 박막의 결정화를 위해 as-coated 박막을 산소분위기에서  $650^\circ\text{C}$  및  $700^\circ\text{C}$ 에서 30분 동안 후속열처리를 실시하였다. BLT 박막의 열처리 온도를  $650^\circ\text{C}$ 에서  $700^\circ\text{C}$ 로 증가시킴에 따라서  $c$ 축으로 우선 배향되는 경향을 보였으며, FWHM 값이 감소하여 결정성이 향상됨을 확인할 수 있었다.  $700^\circ\text{C}$ 에서 열처리된 BLT 박막의 memory window는 약 2.5V (인가전압 5V)를 나타내었으며, 누설전류는 약  $1.5 \times 10^{-7}$  A/cm<sup>2</sup>를 나타내었다.

#### 1. Introduction

FRAM은 DRAM의 커패시터 재료를 상유전체 물질에서 강유전체 물질로 대체하여 전원 공급이 차단되어도 정보를 기억할 수 있고, 데이터의 고속 처리가 가능한 차세대 메모리 소자이다. 이러한 비휘발성 메모리 소자는 크게 두 가지로 나눌 수 있으며 1T-1C type과 MFIS-FET type을 들 수 있다. 1T-1C type은 destructive read-out 방식이고, large remnant polarization (Pr)의 강유전체 물질이 요구된다. 반면에 MF(I)SFET의 Non-destructive type은 gate의 +Pr, -Pr polarization에 의해서 반도체 표면의 전위를 바꾸어 source-drain 전류 값을 조절하는 방식으로 큰 Pr값을 필요로 하지는 않으며, 집적도 향상과 작은 소모 전력 등 많은 장점을 가지고 있다.[1,2] 그러나 Si 기판 위에 직접 강유전체 물질을 성장시키는데 있어서 계면트랩 전하의 증가와  $\text{SiO}_2$ 의 형성 및 상호확산에 의한 전하 주입효과로 인하여 양호한 전기적 성질을 얻기가 쉽지 않다.[3,4] 이러한 문제를 해결하기 위해 강유전체와 Si 사이에 완충막의 절연체를 도입하여 MF(I)SFET 구조의 소자가 제안되고 있다.[5]

FRAM의 커패시터로서 주로 연구되어지고 있는 물질로서는 Bi계 층상 구조를 지닌 SBT, BLT가 주로 연구 되어지고 있다. SBT의 경우에는 양호한 피로 특성과 낮은 누설 전류 값을 가지지만, 공정온도가 높은 단점을 가지고 있다. 또한  $(\text{Bi},\text{La})\text{Ti}_3\text{O}_{12}$  (BLT)라는 물질이 낮은 공정온도와 우수한 피로특성 등에 의해 비휘발성 메모리에 응용할 수 있는 유망한 물질로서 커다란 관심을 모으고 있다.[6,7]

본 연구에서는 열처리 과정에서 발생할 수 있는 계면반응을 줄이고, 동시에 전기적인 성질을 향상시키기 위해서 Si 기판위에  $\text{Al}_2\text{O}_3$  중간층을 증착한 기판을 사용하여, BLT 강유전체 박막을 졸-겔법으로 형성하였다. 제작된 BLT 박막에 대해 결정학적·전기적특성을 조사하였다.

#### 2. Experimental Procedure

일반적인 졸-겔 스�핀 코팅법으로  $\text{Al}_2\text{O}_3/\text{Si}$  기판위에 BLT 강유전체 박막을 형성하였다. 기판위에 도포한 박막시료는 용매를 제거하기 위해 열판 (hot plate)에서  $330^\circ\text{C}$ 의 온도로 약 3분간 건조

하였으며, 코팅과 건조를 5회 반복하여 약 1400Å의 박막 두께를 형성하였다. 열처리 온도에 따른 BLT 박막의 변화를 살펴보기 위해서 고온로 장치에서 650°C와 700°C 온도로 30분간 산소 분위기에서 열처리를 실시하였다. 열처리가 끝난 BLT 박막 시료는 전기적 특성을 측정하기 위하여 DC-sputtering으로 Pt 상부전극을 증착하였다. 인듐(In)을 사용하여 후면전극을 형성한 후 제작된 커패시터에 대해 전기적 특성을 측정하였다. BLT 강유전체 박막의 열처리 온도에 따른 결정학적 특성 변화를 알아보기 위하여 XRD(X-ray diffractometer) 분석을 실시하였다. 박막의 단면 형상은 FE-SEM(field emission scanning electron microscopy) 통하여 관찰하였다. AFM(atomic force microscopy) 분석을 통하여 열처리 온도에 따른 표면 거칠기의 변화를 확인하였다. 박막 커패시터의 누설전류 및 capacitance-voltage 특성을 측정하기 위해 HP4155B 와 HP4280A를 각각 이용하였다.

### 3. Results and Discussion

BLT 박막의 원자 몰비를 조사하기 위해서 EPMA 분석을 실시하였다. As-coated 된 BLT 박막은 EPMA 분석결과  $\text{Bi}_{3.3}\text{La}_{0.7}\text{Ti}_3\text{O}_{12}$ 의 몰비를 나타내었다. 700°C로 열처리된 박막의 경우 Bi 성분이 평균 약 7.6 mole% 감소하여, Bi 성분의 휘발을 확인할 수 있었다.

그림 1은 as-coated 박막과 650°C 및 700°C로 열처리된 BLT 박막의 XRD 분석결과를 나타내고 있다. 650°C 이상으로 열처리 온도를 증가시킴에 따라서 (00 $l$ ) 결정면의 회절강도가 크게 증가하여 c-축 배향성을 가진 결정립들이 주로 성장하였음을 의미한다. 또한 열처리 온도를 650°C에서 700°C로 증가시킴에 따라서 XRD 회절 피크강도가 증가하는 경향을 나타내었다. 또한 (006) 결정면에 대한 FWHM(full width at half maximum) 값이 0.49° 에서 0.38° 로 감소하였다. 이 결과는 열처리 온도의 증가에 따른 결정성의 개선에 기인한 것으로 판단된다.

그림 2은  $\text{Al}_2\text{O}_3/\text{Si}$  기판구조 위에 형성된 as-coated BLT 박막과 700°C 온도에서 열처리된 BLT 박막 시료의 FE-SEM 단면형상을 보여주고 있다. 열처리된 BLT 박막 시료의 경우 BLT 박막 두께는 약 1400Å으로 확인되었다.

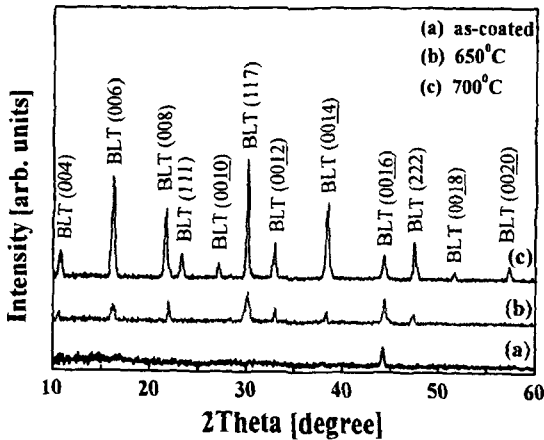


Fig. 1. XRD patterns of the (a) as-coated BLT thin films and annealed at (b) 650°C and (c) 700°C on  $\text{Al}_2\text{O}_3/\text{Si}$  substrate.

그림 3은  $\text{Al}_2\text{O}_3/\text{Si}$  기판구조 위에 형성된 as-coated 박막과 650°C 및 700°C의 온도에서 열처리된 BLT 박막에 대한 AFM 표면 형상을 보여 주고 있다. As-coated BLT 박막의 표면 거칠기를 나타내는  $R_{\text{rms}}$  값은 1.6Å으로 비교적 평탄한 표면 거칠기를 나타내었다. 그러나 650°C에서 700°C로

열처리 온도를 증가시키에 따라서 30 Å에서 60 Å으로  $R_{rms}$  값이 증가하였다. As-coated 박막 시료를 650°C 이상의 온도로 열처리함에 따라 결정립이 크게 성장하였으며, 이로 인해 BLT 박막의 표면 상태가 거칠게 변화됨을 알 수 있다.

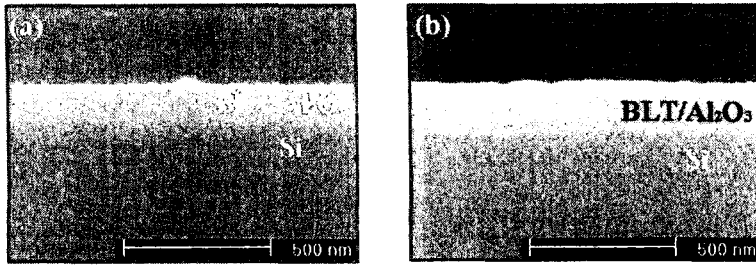


Fig. 2. FE-SEM cross-sectional micrographs of the (a) as-coated BLT film and the films annealed at (b) 700°C on  $Al_2O_3/Si$  substrate.

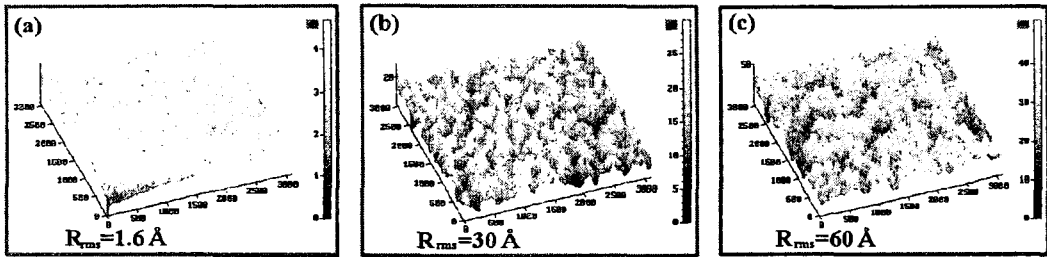


Fig. 3. AFM images of the (a) as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C on  $Al_2O_3/Si$  substrate.

그림 4은  $Al_2O_3/Si$  기판구조 위에 형성된 BLT 박막을 650°C 및 700°C의 온도에서 열처리한 경우의 누설전류 곡선을 보여주고 있다. 700°C의 온도에서 열처리한 BLT 박막의 경우 3V의 인가전압에서  $1.5 \times 10^{-7} A/cm^2$  으로 650°C에서 열처리한 경우에 비해서 누설 전류 값이 증가하였다. 이러한 결과는 AFM 분석 결과에서 알수 있듯이 표면 거칠기의 증가와 XRD 분석에서는 나타나지 않았으나 Pt 하부전극과 BLT 박막사이에 상호 반응층의 형성 등에 의한 것으로 사료된다.

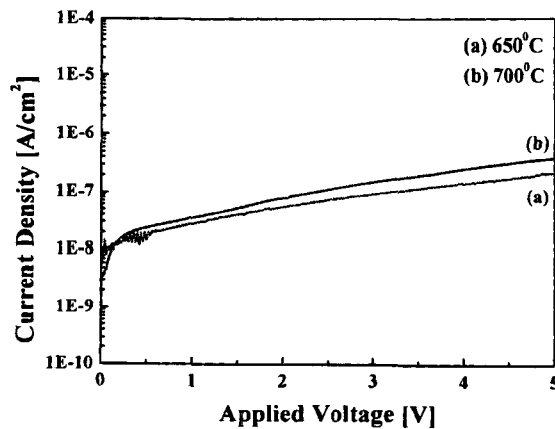


Fig. 4. The current densities of the BLT films as a function of the annealing temperatures of (a) 650°C and (b) 700°C.

그림 5는 700°C에서 열처리된 BLT 박막의 1MHz 주파수에서 C-V이력 곡선을 나타내고 있다. 곡선 모두 강유전성 이력현상을 나타내고 있으며 강유전체의 잔류분극에 의한 전계효과로 인한 것임을 알 수 있다. 700°C에서 열처리된 BLT 박막의 경우 5V의 인가전압에 대해서 약 2.5V의 memory window를 보여 주고 있다. 이러한 큰 memory window 값은 Al<sub>2</sub>O<sub>3</sub> buffer층이 유전율이 작은 중간상의 형성을 억제하며, c축 배향된 양호한 결정특성 등으로 인하여 전하주입에 의한 memory window 값의 감소를 막아 주기 때문인 것으로 판단된다.

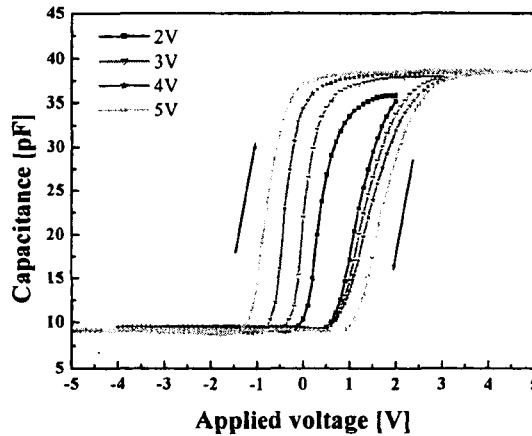


Fig. 5. Capacitance-Voltage characteristics of BLT thin films annealed at 700°C on Al<sub>2</sub>O<sub>3</sub>/Si substrate.

#### 4. Conclusions

Al<sub>2</sub>O<sub>3</sub>/Si 기판위에 BLT 박막을 졸-겔법으로 형성하였으며, 650°C 및 700°C 온도로 산소분위기에서 열처리를 실시하였다. 700°C로 열처리 온도를 증가 시킴에 따라서 c-축 배향성을 가진 결정립들이 크게 성장하였다. 700°C의 온도에서 열처리한 BLT 박막의 누설전류는 3V의 인가전압에서  $1.5 \times 10^{-7} \text{A/cm}^2$ 으로 650°C에서 열처리한 경우에 비해서 누설 전류 값이 증가하였다. 5V의 인가전압에 대해서 약 2.5V의 memory window 값을 보여 주었다.

#### Acknowledgments

This work was supported by a grant NO. R05-2000-000-00248-0 from Korea Science & Engineering Foundation.

#### References

- [1] B. M. Melnick, J. Gregory, & C. A. Paz-de Araujo, *Integr. Ferroelectric* 11, 145 (1995)
- [2] T. Nakamura, Y. Nakao, A. Kamisawa, & H. Takasu, *Ferroelectric* 11, 161 (1995)
- [3] S. Y. Wu *IEEE Trans. Electron Devices* 21, 499 (1974)
- [4] Y. Matsui, M. Okuyama, M. Noda & Y. Hamakawa *Appl. phys. A* 28, 161 (1982)
- [5] I. Sakai, E. Tokumitsu & L. Kammerdiner *MRS. Proc.* 200, 313 (1990)
- [6] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo, *Nature*, 401, 682 (1999).
- [7] S. H. Hwang and H. J. Chang, *J. Korean Phys. Soc.* 41, 1 (2002).