

30GHz대역 고안정/저 위상잡음 위상동기발전기 설계

°정인기, *장원일, *조낙양, **이영철
* (주)밀리트론, ** 경남대학교 정보통신공학과

Design of 30GHz High Stable and Low Phase Noise Phase-Locked Oscillator

°In-Ki Jeong, **Won-Il Chang, **Nack-Yang Cho, *Young-Chul Rhee
* Div.of Information & Comm. Eng., Kyungnam University
**Millitron, Inc.

E-mail : micropt@kyungnam.ac.kr, ikjeong@millitroninc.com

Abstract

본 논문에서는 샘플링 위상검파를 이용하여 고안정 마이크로파발전기를 설계하고 3체배시켜 30GHz대의 발전기를 설계하였다. 설계된 발전기는 병렬귀환 유전체공진과, 바랙터 다이오드를 이용하여 전압제어하므로써 자유발전 신호를 안정화 시켰다. 발전기의 저위상/고안정 특성을 위하여 마이크로파 샘플링 위상 검파회로를 이용하여 출력 주파수를 저위상/고안정 특성을 가지게 하였다. 병렬귀환 유전체공진발전기에 의한 마이크로파 샘플링 위상동기발전기는 발전주파수 9.733GHz 에서 10.17dBm의 출력값을 보였으며 3체배된 29.2GHz 발전기의 위상잡음은 $-95\text{dBc/Hz @}10\text{kHz}$ 와 $-105\text{dBc/Hz @}100\text{kHz}$ 의 우수한 특성을 나타내었다.

I. 서 론

정보통신 기술의 발전에 따라 준 밀리미터파 대역을 이용한 다양한 디지털 통신시스템의 개발 필요성이 요구되고 있으며 이러한 밀리미터파 대역에서 대용량의 정보를 고속으로 전송하기 위해 최근에는 K, Ka 대역을 이용하는 LMDS, B-WLL 등을 중심으로 디지털 무선통신 시스템의 개발이 진행되고 있다. 이러한 밀리미터파 통신시스템에서의 상·하향의 신호전송은 디지털 변조신호를 이용하여 기저대역신호를 마이크로파/밀리미터파의 반송파에 의하여 전송되므로 하향변환기단에서는 국부발전기의 특성에 따라 기저대역신호와의 C/N, 및 BER 특성에 커다란 영향을 미치므로 수신단의 국부발전기는 고안정(high stable) 저 위상잡음(low phase noise) 특성을 갖는 국부발전기가 요구된다[1,2]. 이러한 국부발전기를 설계하기 위하여 안정성 및 위상잡음이 우수한 유전체발전기(DRO)와 발전주파수의 안정화를 위해 위상동기발전

기(PL-DRO)가 요구된다[3]. 한편 마이크로파 샘플링에 의하여 자유발전신호와 위상차이를 검파하고 오차신호에 따라 전압제어하는 샘플링 위상동기방식은 주파수 분주기 형태에 비하여 위상잡음성능을 개선할 수 있는 특성이 있다[5,6]. 본 논문에서는 Ku-band 국부발전기를 고안정, 저 위상잡음의 특성을 가지기 위해 그림1과 같이 10MHz의 입력신호를 이용하여 97.33MHz의 위상고정된 신호를 얻기위해 PLL-IC를 이용하여 위상동기 시켰으며, 국부발전단은 SPD(sampling phase detector)를 사용하여 위상동기 시켰다.

본 연구에서는 고안정 특성과 저 위상잡음을 나타내는 위상동기발전기(phase locked loop oscillator: PLO)형태를 이용하여 국부발전기를 설계하고자 하며 설계된 Ku-대역 국부발전기에 주파수 체배시켜 밀리미터대역에 까지 국부발전기로서 이용할 수 있음을 보이고자 한다.

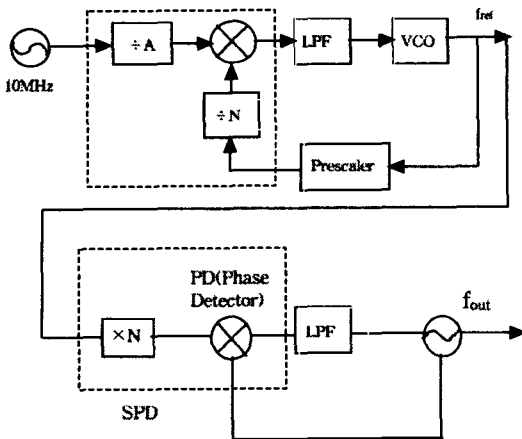


그림 1. Ku-band 위상동기 발진기의 구성도

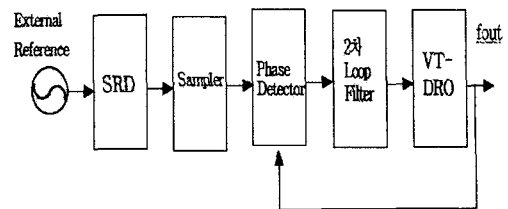


그림 2. SPD를 이용한 위상고정 발진기의 구성도

II. 마이크로파 위상동기 발진기의 구성

본 논문에서는 고안정/저위상 잡음 특성을 가지기 위하여 VCXO와 외부에서 인가되는 10MHz를 이용하여 안정된 97.33MHz의 기준주파수를 생성하였다. VCXO에 의해 발생한 발진주파수의 안정도를 높이기 위해 Analog Device의 PLL IC와 ATMEL의 Flash memory를 이용하여 루프를 구성하였다. 97.33MHz의 발진주파수는 PLL-IC내의 Prescaler에 의해 분주되어 PLL IC로 입력되고, Flash memory에 의해 PLL IC 내부의 programmable divider를 제어하여 333.333KHz로 분주된다. 기준주파수 10MHz는 Flash memory에 의해 30분주 되어 333.333KHz로 위상검출기에 인가된다. 위상검출기 출력은 PLL IC의 charge-pump 출력을 이용하였고, 최적의 위상잡음 특성을 갖도록 루프 대역폭을 선정하여, 루프필터를 설계하였다.

그림2는 본 논문에서 설계한 마이크로파 샘플링 위상검파 회로 구성도를 나타내고 있다. PLL-IC를 이용하여 생성시킨 97.33MHz의 주파수를 사용하며, 체배기를 구성하여 기준주파수의 하모닉들을 얻고, 발진기의 귀환된 출력 주파수와 아날로그 위상검출기에서 위상비교가 이루어진다. N 체배된 기준주파수의 하모닉 주파수와 귀환된 발진 주파수는 직접적으로 위상비교가 이루어지며, 차성분의 IF 주파수를 갖는 정현파신호를 오차신호로써 출력한다. 루프필터는 잡음과 고주파 성분을 제거하여 평균오차전압을 PL-DRO에 튜닝전압에 의하여 위상고정 발진을 얻게 된다. 또한 유전체 공진 발진기의 동조를 위해 바랙터 다이오드를 사용하였다.

마이크로파 위상검파(SPD) 회로의 구현은 balun, SRD, 커패시터, 그리고 Schottky diode 쌍으로 구성된 샘플링 브리지와 hold 및 결합 커패시터로 구성된다. PLL-IC에 의해 위상고정된 기준 신호인 97.335MHz의 주파수를 DRO의 발진주파수 근처로 체배하기 위하여 일반적으로 큰 입력레벨을 요구하므로[7,8], VHF대역의 증폭기를 이용하여 기준 주파수 신호레벨을 증폭시켰다. 또한 SRD의 낮은 입력임피던스(5Ω)를 정합시키기 위하여 9:5 balun을 구성하였다.

VHF 증폭기에 의해 증폭된 기준 주파수 신호에 의해 짧은 천이시간을 갖는 SRD가 구동되며, 결합 커패시터에 의해 짧은 시구간을 갖는 펄스 신호를 생성한다. 이 펄스신호는 쇼트키 다이오드쌍을 스위칭하며, 이때 PL-DRO의 RF 신호를 샘플링하고 hold 커패시터에 충전한다. locking 되지 않을 때의 SPD 출력은 SRD에 의해 N체배된 기준 주파수의 하모닉 성분과 RF 주파수의 차에 상응하는 IF 정현파 신호를 출력하며, locking 되었을 때, RF신호의 동일한 전압 포인트가 샘플되고, 안정된 IF출력 신호를 생성한다.

III. 9.733/29.2GHz 위상동기

마이크로파 발진기의 설계 및 실험

위상동기 발진기의 설계원리에 의하여 마이크로파 샘플링회로는 기준주파수(reference frequency) 97.33 MHz신호를 SRD(step recovery diode)에 의하여 체배시켜 9.733GHz의 임펄스 형태의 샘플러 신호를 생성하는 SRD회로와 스위칭 작용으로 위상비교(phase detection)기능을 하는 두 개의 쇼트키-다이오드에 의한 믹서로 구성되어 있으며 사용한 샘플링 위상검파소자는 Metelics 사의 SPD를 사용하였다.

그림 3은 VT-DRO의 구성도로써 병렬 귀환형으로

설계하였으며, 바랙터 다이오드 제어하여 주파수의 튜닝을 얻었다.

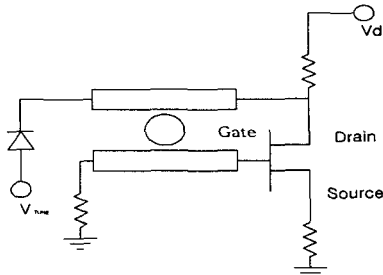


그림 3. 병렬커플링 바이어스 동조형 VT-DRO

실험에 사용한 소자는 NEC사의 NE72S01을 사용하였고 기판은 $\epsilon_r=3.38$, $t=0.508$, $H=0.018\text{mm}$ 인 테프론 기판을 사용하였다. 안정된 발진특성을 얻기 위해 두가지 주파수 동조방법을 이용하였는데 주파수 동조범위 내에서 DRO의 발진주파수를 얻어내기 위해 튜닝 스크류를 이용한 기계적 동조방법과 정확한 9.733GHz의 출력 주파수를 얻어내기 위해 PLL을 사용한 전기적 동조방법을 이용하였다. 그림 4는 VCXO와 외부의 10MHz신호를 이용하여 생성된 기준주파수인 97.33MHz의 위상잡음 특성을 보여주고 있다. 위상잡음 특성은 $-120\text{dBc}/\text{Hz}@10\text{KHz}$ 의 특성을 나타내고 있다. 그림 5는 제작된 발진기의 SPAN을 1KHz로 하였을때의 측정 스펙트럼이며, 그림 6은 발진기의 위상잡음을 보여주고 있다. 측정결과 출력 전력은 10.17dBm이 나왔으며 위상잡음은 발진 주파수에서 $-105\text{dBc}/\text{Hz}@10\text{KHz}$ 의 특성을 나타내고 있다. 그림7은 3체배기를 이용하여 29.2GHz의 발진주파수에서의 위상잡음 특성을 나타내고 있다. 체배기를 이용하여 위상잡음을 측정할 결과 $20\log(n)$ 의 위상잡음 저하가 나타남을 알 수 있다.

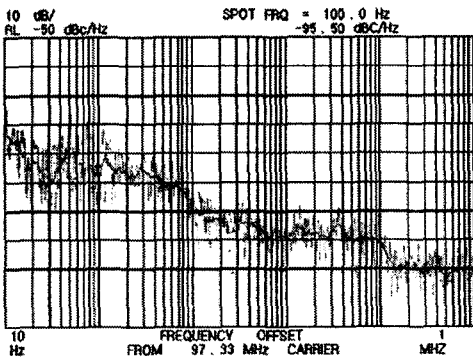


그림4. 97.33MHz VCXO의 위상잡음특성($-74.33\text{dBc}/\text{Hz}@10\text{KHz}$)

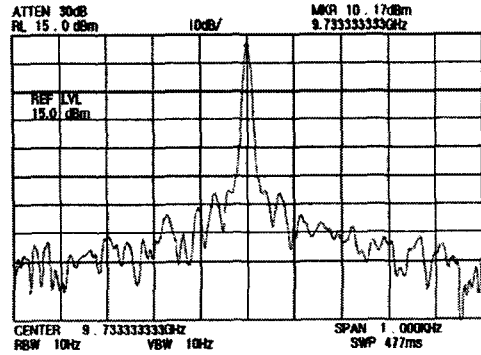


그림5. 9.733GHz Locked-PLDRO의 출력파형

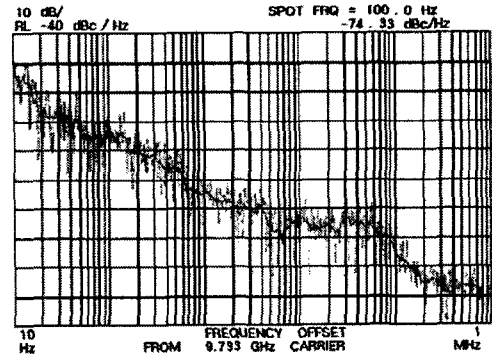


그림6. 9.733GHz PLDRO의

위상잡음특성($-74.33\text{dBc}/\text{Hz}@100\text{Hz}$)

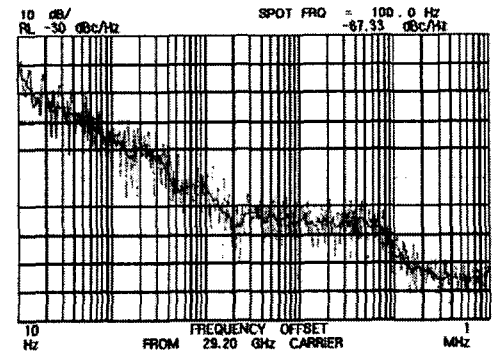


그림7. 체배된 PL-DRO(29.2GHz)의 위상잡음 특성

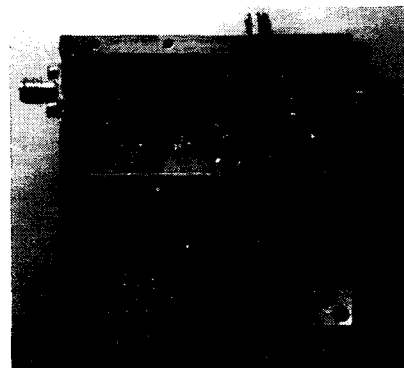


그림8. 제작된 PL-DRO의 실물사진

IV. 결 론

본 연구에서는 고안정/저위상 잡음의 특성을 가지는 29.2GHz의 Ka-대역 마이크로파 통신시스템에 적용시키기 위하여, PLL-IC를 이용하여 고안정의 기준주파수를 발생시키고 위상동기 유전체발진기를 마이크로파 샘플링 위상검파 방식으로 설계하였다. 마이크로파 샘플링신호는 기준주파수를 SRD로 체배시켜 바란스형태로 마이크로파 샘플링신호를 형성시켰으며 구성된 두 개의 쇼트키 다이오드 스위칭회로에서 DRO의 자유 발진신호와 샘플링 신호사이에서 위상동기가 이루어져 안정된 발진신호를 얻도록 설계하였다. 표1.은 실제 제작된 기준주파수 신호, 위상동기 발진주파수인 9.733GHz 3배수로 체배된 29.2GHz의 위상잡음을 측정된 결과이다.

본 논문에서는 9.733GHz의 고안정,저위상잡음의 신호를 이용하여 Ka-band 대역의 발진기로서 이용할 수 있음을 보였다.

표1. 위상동기 발진기의 위상잡음.

	97.33MHz	9.733GHz	29.2GHz
@10Hz	-80dBc	-55dBc	-43dBc
@100Hz	-95.5dBc	-74.33dBc	-67.33dBc
@1KHz	-110dBc	-95dBc	-85dBc
@10KHz	-118dBc	-105dBc	-95dBc
@100KHz	-121dBc	-115dBc	-105dBc
@1MHz	-130dBc	-125dBc	-112dBc

참고 문헌

[1] A. Demir, "Phase Noise in Oscillator: DAES and Coloured Noise Sources," Proc. International Conference on Computer Aided Design, IEEE ACM ,pp. 170-177,Nov. 1998.
 [2] M. K. Nazami, " Evaluate the Impact of Phase Noise on Receiver Performance," Microwave & RF, pp. 165-172, May 1998.
 [3] R. L. Howald, S. Kesler and M. Kam, " BER Performance Analysis of OFDM-QAM in Phase

Noise," Proc. Int. Conference on Information Theory, pp. 256, Aug. 1998.
 [4] T. A. Bos and F. Bayer, "A Low Cost 16.2Ghz Phase Locked Oscillator for Wireless LAN," IEEE MTT-S Int. Microwave Sympo., Digest, pp 1395-1398, June 1997.
 [5] T. Nakagawa and T. Ohira, "GaAs MMIC sampling phase detector for phase-locked oscillators up to 20GHz," Proc. 3rd Asia-Pacific Microwave Conference, pp. 1121-1123, Sept. 1990.
 [6] H. Okazaki, T. Nakagawa and M. Yamamoto,"Sampling Phase Detector Using a Resonant Tunneling High Electron Mobility Transistor for Microwave Phase-Locked oscillators," IEEE Trans. on Very Large Scale Integration Systems, Vol. 6, No.1, pp39-42 March 1998.
 [7] Avi Brilliant, "Understanding Phase-Locked DRO Design Aspects". Microwave Journal. pp 22-42 Sept. 1999.
 [8] J. Tusch, "On Frequency Sweeping in Phase-Locked Loops" IEEE Trans. on Communications, Vol.32, No.8, August 1984.
 [9] A. Blanchard, Phase-Locked Loops application to coherent receiver design, John Wiley & Sons Inc., 1976 New York.
 [10] J. S. Sun," Design and Analysis of Microwave Varactor-Tuned Oscillators," Microwave & RF, pp. 302-310, May 1999.
 [11] A. Kanda , T. Nagagawa and M. Nakamae, " An MMIC V-band Phase-Locked Oscillator Using a GaAs MMIC Sampling Phase Detector," IEEE Trans. on Microwave Theory and Techniques, Vol.45, No.5, pp.659-665, May 1997.
 [12] K. Madani and C. S. Aitchison, " A 20GHz Microwave Sampler," IEEE Trans.on Microwave Theory and Techniques,Vol.40,No.2 pp.1960-1963 Oct. 1992.